

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7554208号
(P7554208)

(45)発行日 令和6年9月19日(2024.9.19)

(24)登録日 令和6年9月10日(2024.9.10)

(51)国際特許分類	F I			
B 8 1 C 1/00 (2006.01)	B 8 1 C	1/00		
B 8 1 B 1/00 (2006.01)	B 8 1 B	1/00		
G 0 1 Q 60/38 (2010.01)	G 0 1 Q	60/38	1 1 1	
B 8 1 C 99/00 (2010.01)	B 8 1 C	99/00		

請求項の数 11 (全16頁)

(21)出願番号	特願2021-560709(P2021-560709)	(73)特許権者	521446990 スマートティップ ビーブイ オランダ国, エンスヘーデー エヌエム 7 5 2 2 , デ フェルドマート 1 7
(86)(22)出願日	令和2年4月7日(2020.4.7)	(74)代理人	100079108 弁理士 稲葉 良幸
(65)公表番号	特表2022-528781(P2022-528781 A)	(74)代理人	100109346 弁理士 大貫 敏史
(43)公表日	令和4年6月15日(2022.6.15)	(74)代理人	100117189 弁理士 江口 昭彦
(86)国際出願番号	PCT/NL2020/050237	(74)代理人	100134120 弁理士 内藤 和彦
(87)国際公開番号	WO2020/209716	(72)発明者	サラジッチ, エディン オランダ国, ズトフェン エーエー 7 2 0 4 , プリンセス マライケラーン 2 最終頁に続く
(87)国際公開日	令和2年10月15日(2020.10.15)		
審査請求日	令和5年2月21日(2023.2.21)		
(31)優先権主張番号	2022939		
(32)優先日	平成31年4月12日(2019.4.12)		
(33)優先権主張国・地域又は機関	オランダ(NL)		

(54)【発明の名称】 ピラミッド状突起を含むMEMSデバイスを提供する方法、及び型

(57)【特許請求の範囲】

【請求項1】

多数のMEMS方法ステップを使用して、三角錐状突起を含むMEMSデバイス(100)を提供する方法であって;

型(200)が使用され、前記型(200)は、

- 第1の側面(211)及び第2の側面(212)を画成し、

- ベース基板を含み、前記型の前記第1の側面(211)では、前記ベース基板の表面が、前記第1の側面(211)と平行な主平面を画成し、前記主平面が、単結晶シリコンの<111>平面を画成し、

- 前記型(200)の前記第1の側面において、前記ベース基板の上部に犠牲層(220)を含み、前記犠牲層(220)は、多結晶シリコン及び非晶質シリコンから選択され;

- 前記型(200)の前記第1の側面(211)にピット(235)を含み、前記ピット(235)は、

- 前記犠牲層(220)を通して前記ベース基板内へと延在し、及び

- <111>結晶面と平行な3つの壁部分を含み、前記3つの壁部分のそれぞれは、他の2つの壁部分と交差し、及び

- 前記ピット(235)の底部分の頂点(251')を含み;

前記MEMSデバイス(100)を提供する前記方法は、

- 前記型(200)の前記第1の側面(211)において、前記ピット(235)外

10

20

の第1の副区域から、前記ピット(235)の前記頂点(251')を含む第2の副区域まで延在する区域に、突起材料の層を提供すること、

- 前記突起材料の層を所望の形状にパターンニングすること、及び
- 前記MEMSデバイス(100)を少なくとも前記型(200)の前記ベース基板から分離するために、前記犠牲層(220)をエッチングできる等方性エッチャントによって、前記型の前記犠牲層(220)を等方的にエッチングすることを含む、方法。

【請求項2】

前記型は、中間生成物(200')に複数の方法ステップを受けさせて、型を形成することによって準備され、前記中間生成物(200')は、

- 第1の側面(211)及び第2の側面(212)を画成し、及び
- ベース基板を含み、前記中間生成物(200')の前記第1の側面(211)では、前記ベース基板の前記表面が、前記第1の側面(211)と平行な主平面を画成し、前記主平面が、単結晶シリコンの<111>平面を画成し；

前記複数の方法ステップは、

- 前記中間生成物(200')の前記ベース基板に、前記第1の側面(211)において、第1の材料の犠牲層(220)を提供するステップであって、前記第1の材料は、非単結晶シリコンであるステップ、

- 前記中間生成物(200')の前記犠牲層(220)に、前記第1の材料とは異なる第2の材料のマスキング層(230)を提供するステップ、

- 前記中間生成物(200')に、前記第1の側面(211)から前記ベース基板内へ延在する止まり穴(235)を提供するステップ、

- 前記中間生成物(200')に、シリコン基材層(110)の前記<111>結晶面の異方性エッチングの速度と少なくとも同じ速度で、前記主平面に対して平行ないずれの方向においても前記犠牲層(220)をエッチングできるエッチャントを使用して、前記シリコンの異方性エッチングを受けさせるステップであって、3つのピラミッド状の壁部分を含むピット(235)を形成するようにするステップ、

- 前記第2の材料の前記マスキング層(230)を除去するステップ、

- 前記中間生成物(200')の前記ピット(235)に成形層(240)を提供するステップであって、前記成形層(240)は、前記型を形成するために、前記3つの壁部分によって画成された前記ピット(235)の頂点(251')を形成するステップを含む、請求項1に記載の方法。

【請求項3】

前記成形層(240)を提供する前記ステップは、前記成形層(240)を成長させることを含む、請求項2に記載の方法。

【請求項4】

前記中間生成物(200')に、前記主平面に対して平行ないずれの方向においても前記犠牲層(220)をエッチングできるエッチャントを使用して、前記シリコンの異方性エッチングを受けさせる前記ステップは、前記ピット(235)を形成するために、前記<111>シリコン基材層(110)の異方性エッチングの速度を上回る速度でエッチング

【請求項5】

前記MEMSデバイス(100)と前記型(200)の分離後、前記成形層(240)はエッチングによって除去される、請求項2～4のいずれか1項に記載の方法。

【請求項6】

前記マスキング層(230)は、i)窒化ケイ素、及びii)酸化ケイ素から選択される、請求項2～5のいずれか1項に記載の方法。

【請求項7】

前記突起材料の層は、i)窒化ケイ素、及びii)ダイヤモンドから選択される材料を含む、請求項1～6のいずれか1項に記載の方法。

10

20

30

40

50

【請求項 8】

前記突起材料の前記層は、副層のスタックとして形成され、前記方法は、第 1 の突起材料の第 1 の副層を提供すること、それに続いて、前記第 1 の突起材料とは異なる第 2 の突起材料の第 2 の副層を提供することを含む、請求項 1 ~ 7 のいずれか 1 項に記載の方法。

【請求項 9】

前記 MEMS デバイス (1 0 0) はプローブ (1 0 0) である、請求項 1 ~ 8 のいずれか 1 項に記載の方法。

【請求項 1 0】

MEMS デバイスを製造するための型 (2 0 0) であって；

前記型 (2 0 0) は、

- 第 1 の側面 (2 1 1) 及び第 2 の側面 (2 1 2) を画成し、
- ベース基板を含み、前記型 (2 0 0) の前記第 1 の側面 (2 1 1) では、前記ベース基板は、前記第 1 の側面 (2 1 1) と平行な主平面を画成する表面を含み、前記主平面が、単結晶シリコンの $\langle 1 1 1 \rangle$ 平面を画成し、
- 前記型 (2 0 0) の前記第 1 の側面では、前記ベース基板の上部に犠牲層 (2 2 0) を含み、前記犠牲層 (2 2 0) は、多結晶シリコン及び非晶質シリコンから選択され、及び
- 前記型 (2 0 0) の前記第 1 の側面 (2 1 1) にピット (2 3 5) を含み、前記ピット (2 3 5) は、
 - 前記犠牲層 (2 2 0) を通って前記ベース基板内へと延在し、及び
 - $\langle 1 1 1 \rangle$ 結晶面と平行な 3 つの壁部分を含み、前記 3 つの壁部分のそれぞれは、他の 2 つの壁部分と交差し、及び
 - 前記ピット (2 3 5) の底部分の頂点 (2 5 1 ') を含むことを特徴とする、型 (2 0 0) 。

【請求項 1 1】

前記犠牲層 (2 2 0) は、成形層 (2 4 0) によって少なくとも部分的に覆われており、前記成形層 (2 4 0) は、前記ピット (2 3 5) の前記頂点 (2 5 1 ') を形成する、請求項 1 0 に記載の型 (2 0 0) 。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、多数の MEMS 方法ステップを使用して、三角錐状突起を含む MEMS デバイスを提供する方法に関する。

【背景技術】

【0 0 0 2】

当該技術分野では、突起を含む MEMS デバイスを製造する方法が知られている。この典型例は、プローブ、例えば走査に使用されるプローブである。近頃では、そのようなプローブは、基材として $\langle 1 0 0 \rangle$ シリコンウエハを用い、異方性エッチングを使用して、大量生産される。

【0 0 0 3】

概して、ピラミッド状チップを製造するために、2 つの方法が認められ得る：

- 1) シリコンエッチングによってチップを生じるシリコンチップの製造。
- 2) 走査型プローブ顕微鏡法 (S P M : scanning probe microscopy) 電界エミッター、真空エレクトロニクス、又はトンネリングベースのデバイスで使用されるもののような、非常に鋭いチップを生産するための、周知のナノファブリケーション方法であるチップ成形。チップ成形は、犠牲基板 (一般にシリコン) にピラミッド状のピットをエッチングすること、型に所望の薄膜材料を堆積すること、堆積した材料に、片持ちアームなどの他の特徴を画成するようにさらに処理すること、その後、犠牲基板を除去して、ピラミッド状のチップの姿を見せるようにすることからなる。最も一般的な型の幾何学的形状は、 $\langle 1 0 0 \rangle$ S i ウエハが異方性エッチングによってエッチングされて得られる方錐 (四角

10

20

30

40

50

錐)である。

【0004】

チップ成形技術にはいくつかの利点がある：

1) チップ材料は、用途に応じて選択できる。材料は、シリコンよりも硬質に/より耐摩耗性を高くできる。チップ材料はまた、シリコンとは異なる誘電特性を有してもよい。チップ材料は、例えば、窒化ケイ素、ダイヤモンド、金属又はポリマーとし得る。

2) 片持ち梁特性は、より良好に制御できる。それらは、剛性がより正確に定義された、より小さい及び/又はより軟質の片持ち梁とし得る(成形プローブの厚さは、エッチングによるよりも堆積による方が、簡単に制御できるため)。

3) いずれの能動構成要素も、MEMSデバイス(プローブ)に簡単に組み込まれる。そのような能動構成要素の例は、ヒータ、センサー、及びアクチュエータである。

10

【0005】

公知の方法の欠点は、4つの平面を含むピラミッド形状の、結果として生じる突起が、1つの先端を有するのではなく、2つの先端か(それぞれ3つの平面によって形成される)又は1つのリッジを有することである。換言すると、ピラミッド状チップは、先端が1つのみであった場合ほどには鋭くない。これは、3つの $\langle 111 \rangle$ 平面によって画成されたピットを形成するために、Si(311)ウエハをエッチングすることによって三面チップを製造することについて開示している論文“Advances in Manufacturing of Molded Tips for Scanning Probe Microscopy”([2012] N. Moldovan et al in JOURNAL OF MICROELECTROMECHANICAL SYSTEMS, VOL. 21, NO. 2, APRIL 2012では、楔と呼ばれている。この方法を使用して生産されたチップは比較的大きい円錐角を有し、それらのチップを、AFMプローブなどの走査目的にはあまり適さないものにする。この問題は、“Advanced Micromachining Schemed for Scanning Probe Tips”(PhD Thesis Rolf Vermeer [2016])において、及び論文“Fabrication of novel AFM probe with High-Aspect-Ratio Ultra-Sharp Three-Face Silicon Nitride Tips”(R. Vermeer et al in 14TH IEEE INTERNATIONAL CONFERENCE ON NANOTECHNOLOGY, IEEE, 18 August 2014, pages 229-233, XP032690978, 001: 10.1109/NANO.2014.6967957)から、取り込まれており、これは、プローブ用の三角錐チップの製造のために $\langle 111 \rangle$ シリコンを使用することを開示している。このプロセスは、基材を除去するためにドライエッチングを使用しているため、製造のコスト及び速度に悪影響を与える。

20

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の目的は、三面突起を含むMEMSデバイスの信頼性高く且つ迅速な製造を大規模で可能にする方法を提供することであり、突起は、比較的小さいハーフコーンアングル(half-cone angle)及び単一の先端を有する。

【課題を解決するための手段】

【0007】

この目的に向けて、前文による方法は、型が使用され、前記型は、

- 第1の側面及び第2の側面を画成し、
- ベース基板を含み、型の第1の側面では、ベース基板の表面が、第1の側面と平行な主平面を画成し、前記主平面が、単結晶シリコンの $\langle 111 \rangle$ 平面を画成し、
- 型の第1の側面において、ベース基板の上部に犠牲層を含み、前記犠牲層は、多結晶シリコン及び非晶質シリコンから選択され；
- 型の第1の側面にピットを含み、前記ピットは、
 - 犠牲層を通過して[出願時の本出願のpage 3 lines 18-19]ベース基板内へと延在し、及び
 - $\langle 111 \rangle$ 結晶面と平行な3つの壁部分を含み、3つの壁部分のそれぞれは、他の2つの壁部分と交差し、及び
 - ピットの底部分の頂点を含み；

40

50

MEMSデバイスを提供する方法は、

- 型の第1の側面において、ピット外の第1の副区域から、ピットの頂点を含む第2の副区域まで延在する区域に、突起材料の層を提供すること、
- 突起材料の層を所望の形状にパターンニングすること、及び
- MEMSデバイスを少なくとも型のベース基板から分離するために、犠牲層をエッチングできる等方性エッチャントによって、型の犠牲層を等方的にエッチングすることを含むことを特徴とする。

【0008】

それゆえ、鋭い先端を含む突起を含むMEMSデバイスが生産され得る。ベース基板は、突起を含む多数のMEMSデバイスを好都合に生産するために使用され得る。

10

【0009】

本方法の別の利点は、シリコン基材全体を溶解することなくデバイスを得ることができることであり、シリコン基材全体の溶解は、 $\langle 111 \rangle$ 方位のシリコンであることを考えると、幾分時間がかかる。

【0010】

典型的な方法は、MEMSデバイスを最終加工するためのさらなるステップを含む。

【0011】

ピットは、第1から犠牲層を通過してベース基板まで延在する。

【0012】

プローブを含む大容量記憶デバイスの製作方法が、米国特許出願公開第2006/003493A1号から知られており、ここでは、プローブは、基板に動作可能に接続された第1の端部領域と、第1の端部領域の反対側になるような方向に回転される第2の端部領域とを有する、片持ち梁を有する。第2の端部領域にはチップが配置され、チップは、第1の端部領域とは反対側の方向を指している。

20

【0013】

鋭いチップを生産する方法が、米国特許第8701211B2号から知られている。チップは、3面の、1つ又は複数の三面体若しくは三角錐状型、又は1つ若しくは複数の刻み目を形成するために結晶エッチャントによってエッチングされている、露出 $\{311\}$ 面を備える犠牲結晶性半導体基板に形成された1つ又は複数の型に堆積することによって、形成される。

30

【0014】

好都合な実施形態によれば、型は、中間生成物に複数の方法ステップを受けさせて型を形成することによって準備され、中間生成物は、

- 第1の側面及び第2の側面を画成し、及び
- ベース基板を含み、中間生成物の第1の側面では、ベース基板の表面が、第1の側面と平行な主平面を画成し、前記主平面が、単結晶シリコンの $\langle 111 \rangle$ 平面を画成し；複数の方法ステップは、

- 第1の側面において、中間生成物のベース基板に第1の材料の犠牲層を提供するステップであって、前記第1の材料は非単結晶シリコンであるステップ、

- 中間生成物の犠牲層に、第1の材料とは異なる第2の材料のマスキング層を提供するステップ、

40

- 中間生成物に、第1の側面からベース基板内へと延在する止まり穴を提供するステップ、

- 中間生成物に、シリコン基材層の $\langle 111 \rangle$ 結晶面の異方性エッチングの速度と少なくとも同じ速度で、主平面に対して平行ないずれの方向においても犠牲層をエッチングできるエッチャントを使用して、シリコンの異方性エッチングを受けさせるステップであって、3つのピラミッド状の壁部分を含むピットを形成するようにするステップ、

- 第2の材料のマスキング層を除去するステップ、

- 中間生成物のピットに、成形層を提供するステップであって、成形層は、型を形成するために、3つの壁部分によってピットの頂点を形成するステップ

50

を含む。

【0015】

低圧化学蒸着 (L P C V D : Low Pressure Chemical Vapor Deposition) は、犠牲層として多結晶シリコンの層を堆積するために使用され得る。これは、多結晶シリコン及び < 1 1 1 > シリコン基材をエッチングするための T M A H 又は K O H などの異方性エッチャントによって、等方的にエッチングされる。

【0016】

ピットに成形層を提供するステップは、成形層を堆積すること、又は成形層を成長させることを含み得る。

【0017】

一般に、マスクング層は、成形層を提供するステップの前に除去される。

【0018】

止まり穴を形成するために、開口部、一般に円形開口部がマスクング層に作られ得る。その後、止まり穴が、複数層スタック (例えば酸化ケイ素、多結晶シリコン及び単結晶シリコン) の方向性エッチングによって、例えば反応性イオンエッチング (R I E : Reactive Ion Etching) 及びディープ反応性イオンエッチング (D R I E : Deep Reactive Ion Etching) と組み合わせて作られて、主平面に直角の壁のある止まり穴を得ることができる。止まり穴の深さは、後で突起の高さを決定する。

【0019】

基材から M E M S デバイスを分離する際に成形層が除去されていない場合、このステップは、単一の先端を有する突起を含む M E M S デバイスを生じるように、実施される。

【0020】

成形層は、一般に、比較的薄く (例えば 1 μ m) 、且つ大きな表面領域が露出されているため、ここは、非常に時間のかかる < 1 1 1 > 平面に沿ったエッチングを必要とする Vermeer の方法 (上記) における基材の除去と比べて、比較的迅速に行われ得る。

【0021】

成形層として、酸化ケイ素の場合、好都合なことに、ウェットエッチングによって除去される。好適なエッチャントはバッファードフッ酸 (B H F : Buffered HydroFluoric acid) である。

【0022】

好都合な実施形態によれば、成形層を提供するステップは、成形層を成長させることを含む。

【0023】

これは、最終的な突起の先端を非常に鋭く画成するのを支援する。

【0024】

成形層は、酸化ケイ素を含み得、これは、シリコンベースの犠牲層及び < 1 1 1 > シリコンから簡単に成長する。

【0025】

好都合な実施形態によれば、中間生成物に、主平面に対して平行ないずれの方向においても犠牲層をエッチングできるエッチャントを使用して、シリコンの異方性エッチングを受けさせるステップは、ピットを形成するために、 < 1 1 1 > シリコン基材層の異方性エッチングの速度よりも速い速度で、エッチングすることを含む。

【0026】

形成されたピットは、ピラミッド状チップ壁部分によって画成された平面を越えて (平面外へ) 延在するチップ底面部分を含む。換言すると、比較的広いチップ底面部分が形成され、これは、チップの強度に関して好都合である。

【0027】

好都合な実施形態によれば、 M E M S デバイスと型の分離後、成形層は、エッチングによって除去される。

【0028】

10

20

30

40

50

成形層は、一般に、比較的薄く（例えば1 μm）、大きな表面領域が露出されているため、ここは、Vermeerの方法（上記）における（1 1 1）の除去と比較して、比較的迅速に行われ得る。

【0029】

成形層として、酸化ケイ素の場合、ウェットエッチングによって好都合に除去される。好適なエッチャントはバッファードフッ酸（BHF）である。

【0030】

好都合な実施形態によれば、マスキング層は、i) 窒化ケイ素、及びii) 酸化ケイ素から選択される。

【0031】

成形層は酸化ケイ素であり、及び突起材料は窒化ケイ素であることが好ましい。そのようなマスキング層は、バッファードHF（BHF）によって簡単に除去され得るが、犠牲層及びシリコン基材を残す。

【0032】

好都合な実施形態によれば、突起材料の層は、i) 窒化ケイ素、及びii) ダイヤモンドから選択される材料を含む。

【0033】

これらは、鋭くて耐摩耗性の突起を作るのに優れた硬質材料である。

【0034】

好都合な実施形態によれば、突起材料の層は、副層のスタックとして形成され、方法は、第1の突起材料の第1の副層を提供すること、それに続いて、第1の突起材料とは異なる第2の突起材料の第2の副層を提供することを含む。

【0035】

それゆえ、突起の特性は、MEMSデバイスに対する特定の要件に合わせられ得る。第1の副層は、例えば、耐摩耗性の層を提供するためにダイヤモンドとしてもよい。第1の副層はまた、導電層を提供するために金属としてもよい。

【0036】

第2の材料は、例えば、第1の材料によっては得られない所望の機械的特性を備えた、MEMSプローブのチップ及び片持ち梁を提供するために、窒化ケイ素としてもよい。

【0037】

好都合な実施形態によれば、MEMSデバイスはプローブである。

【0038】

これは、本発明の方法には非常に重要な応用分野である。突起の鋭い先端は、より正確な測定を可能にする。

【0039】

最後に、本発明は、MEMSデバイスを製造するための型に関し；

前記型は、

- 第1の側面及び第2の側面を画成し、
- ベース基板を含み、型の第1の側面では、ベース基板の表面が、第1の側面と平行な主平面を画成し、前記主平面が、単結晶シリコンの<111>平面を画成し、

- 型の第1の側面では、ベース基板の上部に犠牲層を含み、前記犠牲層は、多結晶シリコン及び非晶質シリコンから選択され、

及び

- 型の第1の側面にピットを含み、前記ピットは、
 - 犠牲層を通してベース基板内へと延在し、及び
 - <111>結晶面と平行な3つの壁部分を含み、3つの壁部分のそれぞれは、他の2つの壁部分と交差し、及び
 - ピットの底部分の頂点を含む。

【0040】

そのような型は、本発明による方法に非常に有用である。一般に、ウエハは、複数の型

10

20

30

40

50

を含み、且つ本発明による方法において使用され得る。

【0041】

ピットは、第1から犠牲層を通過してベース基板内へ延在する。

【0042】

好都合な実施形態によれば、犠牲層は、成形層によって少なくとも部分的に覆われ、成形層は、ピットの頂点を形成する。

【0043】

そのため、形成されるべきチップの形状は、正に犠牲層のみで可能であるよりも大幅に制御され得、及び/又は犠牲層は、分離速度に関してより選択され得、且つ成形層は、チップの形状をより良好に制御するために選択され得る。

10

【0044】

本発明を、ここで、図面を参照して説明する。

【図面の簡単な説明】

【0045】

【図1】MEMSデバイス(プローブ)の断面図を示す。

【図2A】図1のプローブの製造方法を示す。

【図2B】図1のプローブの製造方法を示す。

【図2C】図1のプローブの製造方法を示す。

【図2D】図1のプローブの製造方法を示す。

【図2E】図1のプローブの製造方法を示す。

20

【図2F】図1のプローブの製造方法を示す。

【図2G】図1のプローブの製造方法を示す。

【図2H】図1のプローブの製造方法を示す。

【図2I】図1のプローブの製造方法を示す。

【図2J】図1のプローブの製造方法を示す。

【図2K】図1のプローブの製造方法を示す。

【図2L】図1のプローブの製造方法を示す。

【図2M】図1のプローブの製造方法を示す。

【図2N】図1のプローブの製造方法を示す。

【図3】図2Fのチップ型のチップ型部分の走査型電子顕微鏡写真である。

30

【発明を実施するための形態】

【0046】

図1は、MEMSデバイス100の断面図を示し、ここで、プローブ100は、プローブ本体110と、近位端121及び遠位端122のある片持ち梁120と、遠位端部分に、チップユニット130とを含む。

【0047】

チップユニット130は、チップ底面131と、先端133を備えるピラミッド状チップ132とを含む。ピラミッド状チップ132は、四面体チップ132である、すなわち先端133で接する3つの側面を有する。ハーフコーン角度は20°である。

【0048】

本発明による方法を、ここで、図2A~図2Nを使用して説明し、ここで、各図面は、ステップを、上面図及び断面図の双方で示す。方法ステップは、図1のプローブ100の製造を例示する。

40

【0049】

製作プロセスは、出発原料として<111>シリコンウエハ210(図2A)を使用して、型200の製造から始まる。型200が完成するまで、型の半生成物を、中間生成物200'と呼ぶ。ウエハ210は、第1の主側面211及び第2の主側面212を含む。

【0050】

ウエハ210上には、低圧化学蒸着(LPCVD)を使用して、厚さ1µmの多結晶シリコン(ポリシリコン)犠牲層220が堆積される(図2B)。

50

【 0 0 5 1 】

概して、ポリシリコン層の厚さが選択されるとき、成形層が堆積される方法が考慮される必要がある。成形層（酸化ケイ素）が熱成長すると、ポリシリコン層は、熱酸化プロセス中に壊されて（consumed）しまう。ポリシリコン層は、熱酸化後に、ポリシリコン層の一部がウエハ上に残るように、十分に厚い必要がある。現実的なアプローチは、1 μm のポリシリコンで始まり、且つ熱酸化による約1 μm 厚さの酸化ケイ素層の成長後、約500 nm厚さのポリシリコンがウエハに残ることである。その後、この残っている層を、MEMSプローブ放出のための犠牲層として使用する。

【 0 0 5 2 】

続いて、マスク層230が堆積される（図2C）。この層は、後で、シリコンの異方性ウェットエッチング中に、ポリシリコン層を保護する働きをする。この実施形態では、酸化ケイ素は、高温熱酸化（15分間の1000度のウェット酸化、約150 nmのSiO₂層を生じる）を使用してポリシリコン犠牲層220上で成長されたマスク層として使用される。代替的な方法は、SiO₂を堆積するために、LPCVD堆積を使用することである。別のオプションは、マスク層として窒化ケイ素を使用することである。酸化ケイ素及び窒化ケイ素は双方とも、後で、シリコンの異方性エッチング（例えばKOH又はTMAHによる）に使用される化学エッチャントに対して、安定したマスク層材料である。

【 0 0 5 3 】

標準的なリソグラフィ技術（図示せず）による円形開口部のパターニング後、反応性イオンエッチング（RIE）とディープ反応性イオンエッチング（DRIE）の組み合わせを使用して、複数層スタックの方向性エッチングによって、シリンダー状穴235が作られる（図2D）。シリンダー状ピット235の寸法（及び下記で説明する成形層240の厚さ）は、チップユニット130の高さ（片持ち梁120から先端133まで）を決定する要因である。シリンダー状ピット235の底部は、ピラミッド状チップ132の三角形の底面の正三角形の辺長を決定する要因である。ピット235のシリコンの異方性エッチング中、ピラミッド状チップ132の三角形の辺は、最も遠い<111>平面に到達するときに、決定される。3つの側面全てでこれが発生すると、正三角形がチップ底面131に形成される。それは、ピット235の形状が、正三角形を得るために完全にシリンダー状である必要はないことを意味する。<111>平面間の角度は、単結晶シリコン基材の結晶構造によって決定される。シリコンの<111>平面はまた、異方性エッチャントでエッチングされ（平面の他の迅速なエッチングよりも遥かにゆっくりではあるが）、そのため、三角形の底面の辺の最終的な長さは、シリンダー状ピットの初期形状によって決まるだけでなく、異方性エッチング時間によっても決まる。

【 0 0 5 4 】

シリンダー状ピット235の方向性エッチング後、ウエハは、水酸化カリウム（KOH）に浸された。KOHは、ポリシリコンを同位的に（topically）、すなわち全ての方向において同じエッチ速度で、エッチングする。他方では、基材層110の<111>シリコンは、非同位的に（anisotropically）エッチングされる。その場合には、<111>平面は、他の結晶平面よりも遥かにゆっくりとエッチングされる。このようにして、四面体チップユニット型250が形成される（図2E）。

【 0 0 5 5 】

チップユニット型250の底部分は、非常に滑らかな壁を有する四面体型部分250'である。四面体型のこの底部分は、正三角形である。

【 0 0 5 6 】

ポリシリコン犠牲層と<111>シリコンの同時エッチングは、チップユニット型250の最上部分をより幅広にする。その理由は、ポリシリコンのエッチ速度が速いため、（111）結晶面にエッチング速度が追い付かない、第1の側面から、基材の<111>シリコンのエッチングを可能にするからである。

【 0 0 5 7 】

10

20

30

40

50

シリコンの他の異方性エッチャントは、型を形成するために使用され得る（例えば T M A H ）。

【 0 0 5 8 】

K O H エッチングの期間中にポリシリコン層 2 2 0 を保護したマスキング層 2 3 0 の酸化ケイ素は、高濃度の H F （ 5 0 % H F ）を使用して除去され、ポリシリコン及び < 1 1 1 > シリコン基材を残す。

【 0 0 5 9 】

次いで、酸化ケイ素成形層 2 4 0 が、堆積によって、成長されることによって、又はそれら双方によって、共形的に（すなわち、水平面部分上又は傾斜面部分上にあるかどうかに関わらず、同じ厚さを有する）提供される（図 2 G ）。酸化ケイ素層は、L P C V D によって堆積され得るか（オルトケイ酸テトラエチルから堆積された酸化ケイ素、いわゆる T E O S 堆積）、又は熱酸化によって成長され得る。T E O S 堆積と熱酸化の組み合わせも使用できる。成形に関するより多くの情報は、Vermeerの P h D 論文（上記の chapter 3.3 参照）に見出され得る。酸化ケイ素層は、底のチップユニット型部分 2 5 0 ' の底を完全に補充し、チップユニット型の頂点 2 5 1 ' が形成されるように、十分に厚い必要があり、それにより、鋭い A F M チップ 1 3 2 を得ることができるようにする。ここで型 2 0 0 は、M E M S デバイスの製造準備が整う。

【 0 0 6 0 】

鋭いピットを備えるチップユニット型 2 5 0 を含む型 2 0 0 が作られた後、突起材料の構造層 2 6 0 が堆積され（図 2 H ）、この実施形態では、窒化ケイ素が L P C V D によって厚さ 6 0 0 n m で堆積される。

【 0 0 6 1 】

構造層がパターニングされて（図 2 I ）、標準的なコンタクトリソグラフィを R I E と組み合わせて使用して、片持ち梁 1 2 0 及び片持ち梁基部 2 7 1 を作り出す。

【 0 0 6 2 】

パターニング後、シリコンウエハは、陽極ボンディングによって予備的にさいの目に切り込みが入れられたガラスウエハ 2 8 0 にボンディングされる（図 2 J ）。

【 0 0 6 3 】

ここで、M E M S デバイスは、型 2 0 0 の基材から分離される（すなわち解放される）必要がある。

【 0 0 6 4 】

この目的に向けて、片持ち梁 1 2 0 及び片持ち梁基部 2 7 1 の真下にある犠牲ポリシリコン層 2 2 0 が、ウェット化学エッチングを使用して除去され（この実施形態では 9 0 で 2 5 重量%の T M A H ）、これはまた、チップユニット 1 3 0 の周りのシリコンベース基板をエッチングする。このようにして、基材を完全にエッチングする必要なく、プローブ全体が基材から放出される - すなわち型 2 0 0 のほとんどが除去される（図 2 K ）。これは時間を節約する、なぜなら、特に、ウェットエッチングによるか又はドライエッチングによるかに関わらず、< 1 1 1 > 方位のシリコンはゆっくりとエッチングされるためである。5 0 0 u m 厚さの（ 1 0 0 ）シリコンウエハを完全に溶解する - これは、四角錐状チップを有する M E M S デバイスの製造中に行われる - ためには、約 8 時間のウェットエッチングを要する。< 1 1 1 > シリコンウエハ材料の完全な除去は、1 0 0 倍時間がかかり、それゆえ、8 0 0 時間程度かかる。

【 0 0 6 5 】

放出された M E M S デバイスは、それ自体当該技術分野で公知のように、ガラス基板がいくつかの方向において完全にさいの目に切られていないため（図示せず）、依然として一緒に接続されている。また、シリコンウエハのエッジは、型 2 0 0 の製造中にそこに犠牲シリコン層が堆積されなかったため、依然としてガラス基板と接続されている（図示せず）。

【 0 0 6 6 】

型 2 0 0 からの M E M S デバイスの放出後、バッファード H F （ B H F ）を使用して酸

10

20

30

40

50

化ケイ素成形層 240 が除去される (図 2 L)。

【 0067 】

この実施形態では、MEMSプローブは、金属層 290 の堆積によって金属化される (本出願人は、反射コーティングとして Ti / Au 二層を使用する。Ti 層は、厚さ 10 nm の接着層である。金の反射層は 50 nm 厚さである)。この金属層 290 は、AFM 撮像用の片持ち梁 120 上の反射層の働きをする。

【 0068 】

或いは、パターニングにより多くの加工ステップを費やすことで、プロセスの早期にそのような反射層を (窒化ケイ素構造層 260 の上部に) 堆積することが可能である。いずれの場合も、副層のスタックが形成される。

【 0069 】

プロセスのさらに早期に副層を、例えば成形層 240 の上部の第 1 の副層として、堆積することも可能である。これは例えば、突起に、片持ち梁の構造材料とは異なる材料でコーティングされている先端を設ける必要がある場合に、例えばダイヤモンドでコーティングされているチップを有することが望ましい場合に、行われる。

【 0070 】

ここで、MEMSデバイス 100 は使用準備が整い、且つダイシングによって取り外され得る。片持ち梁が折れるリスクを低下させるために、第 1 の主側面に粘着性のある箔 (UVダイシング箔) を貼る公知の技術が使用される。箔を除去することによって、MEMSプローブが取り外される。このようにして、全MEMSプローブが箔へ移される。UV箔をUV光へ曝露することによって、箔の粘着性が低下される。曝露後、個々のMEMSプローブが、ピンセットを使用して、箔から集められ得る。

【 0071 】

図 3 は、第 1 の主側面 211 から第 2 の主側面 212 の方へ向かって見るような、KOHエッチングによるマスキング層の除去後 (図 2 F) の、チップユニット型 250 のチップユニット型部分 250 ' の走査型電子顕微鏡の写真である。中心には、チップユニット型部分 250 ' を画成する 3 つの < 111 > 平面があり、且つその周りには、チップユニット型 250 のより幅広の最上部分がある。第 1 の主側面 211 では、チップユニット型 250 のより幅広の最上部分は、(実質的に) 円形の外周を有している。

10

20

30

40

50

【図面】
【図 1】

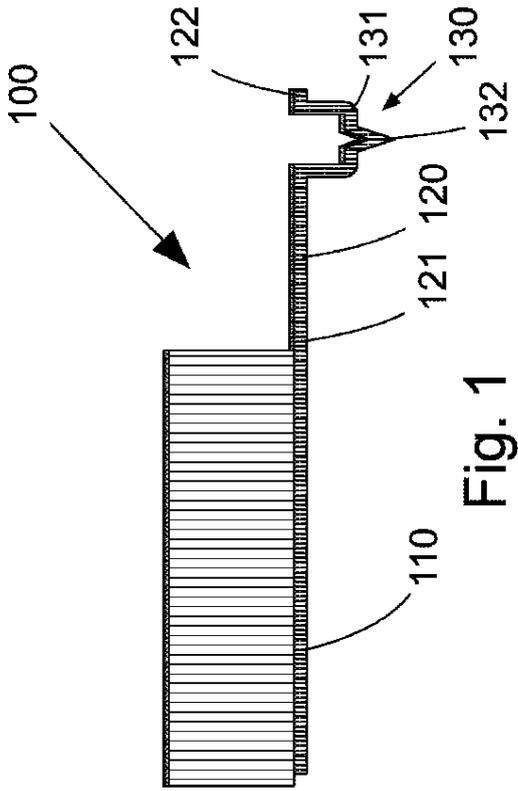


Fig. 1

【図 2 A】

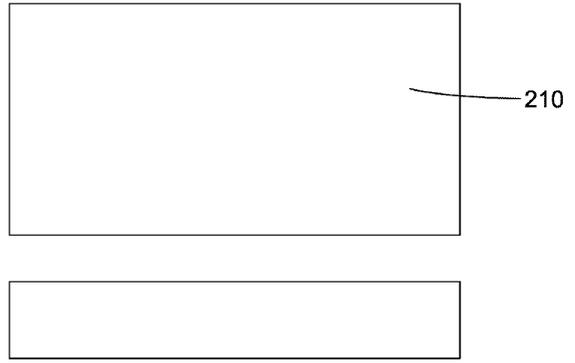


Fig. 2A

【図 2 B】

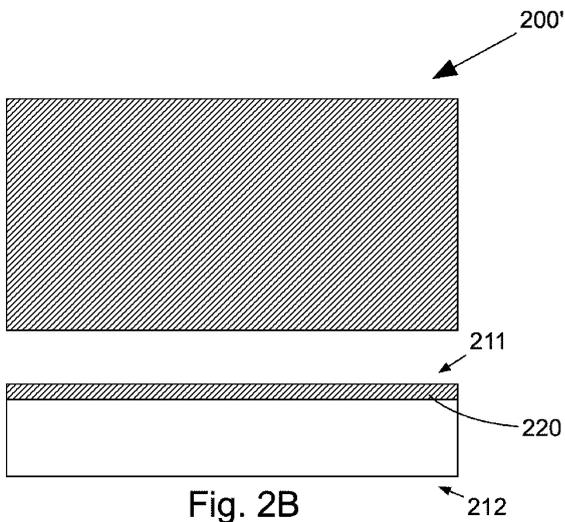


Fig. 2B

【図 2 C】

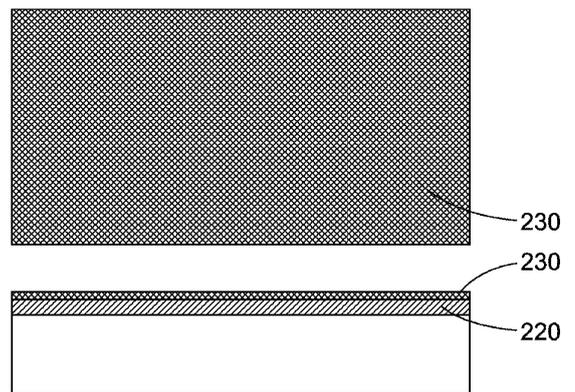


Fig. 2C

10

20

30

40

50

【 2 D 】

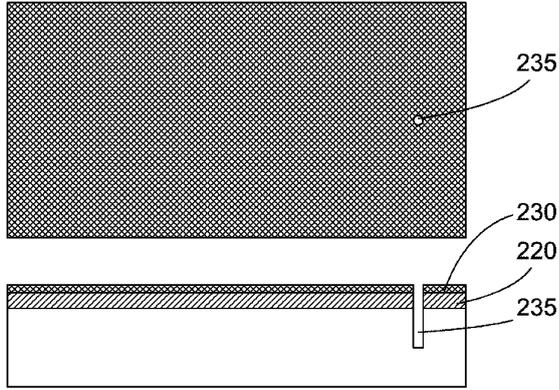


Fig. 2D

【 2 E 】

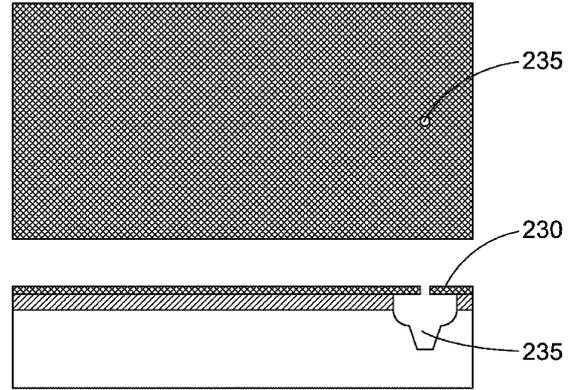


Fig. 2E

200'

10

【 2 F 】

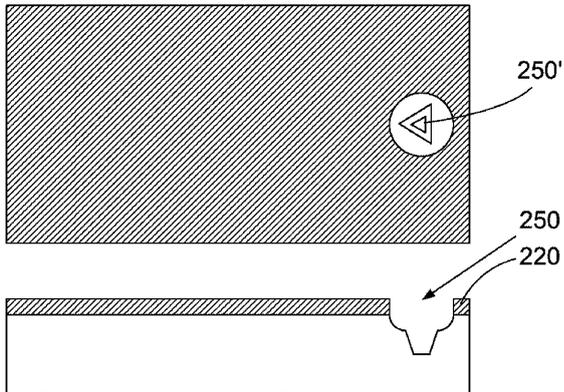


Fig. 2F

【 2 G 】

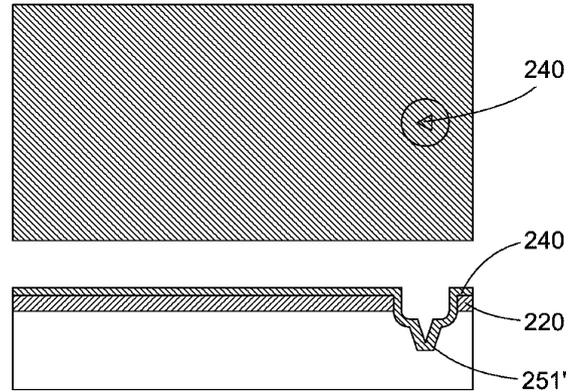


Fig. 2G

200

20

30

40

50

【 2 H 】

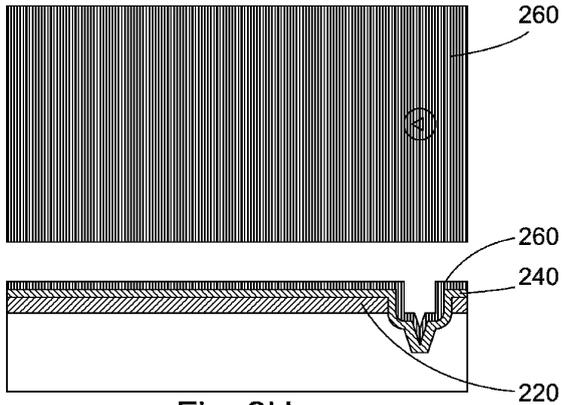


Fig. 2H

【 2 I 】

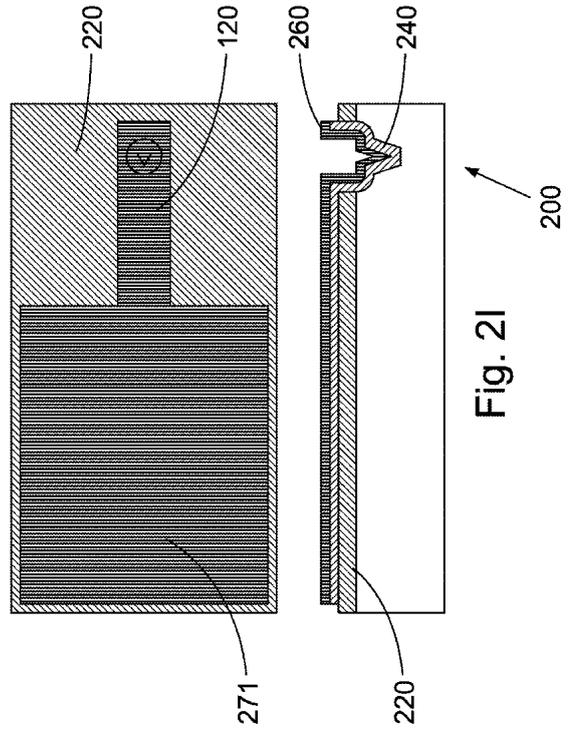


Fig. 2I

【 2 J 】

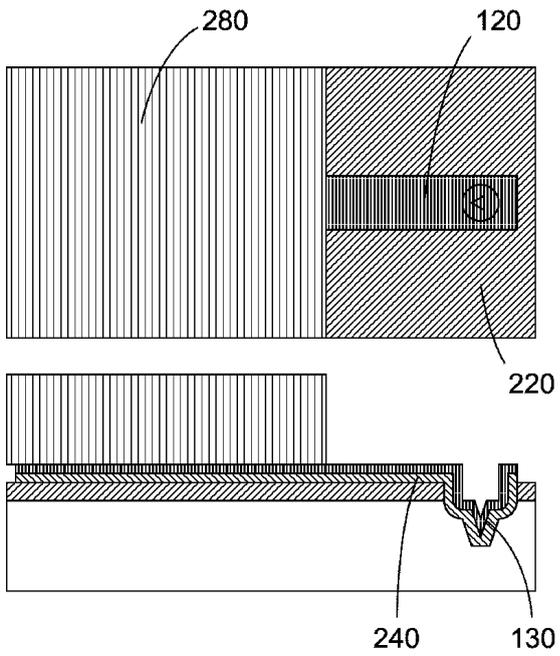


Fig. 2J

【 2 K 】

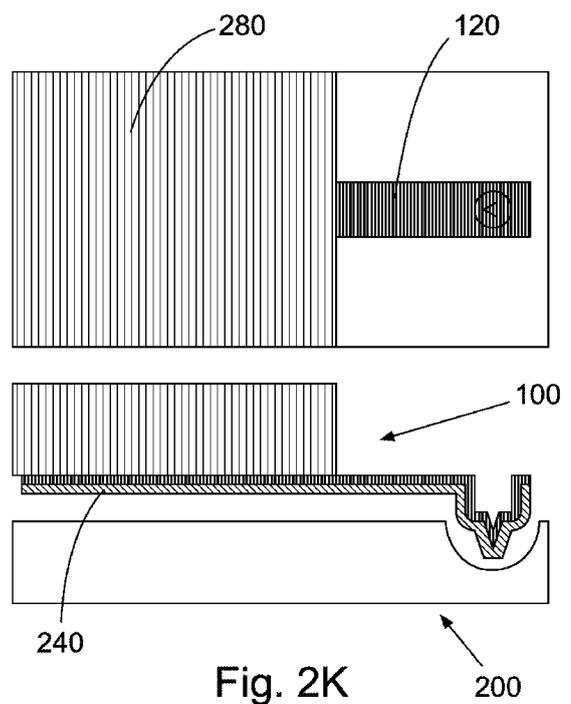


Fig. 2K

10

20

30

40

50

【 2 L 】

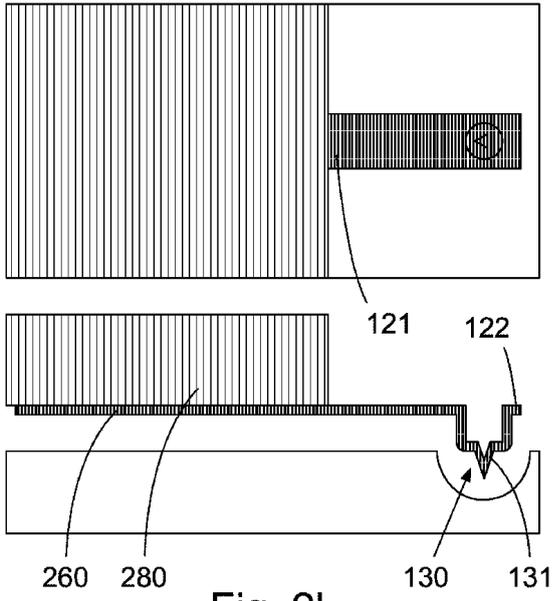


Fig. 2L

【 2 M 】

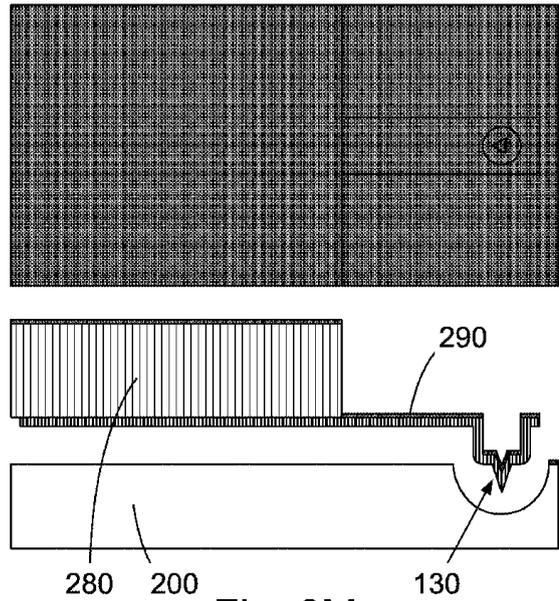


Fig. 2M

10

20

【 2 N 】

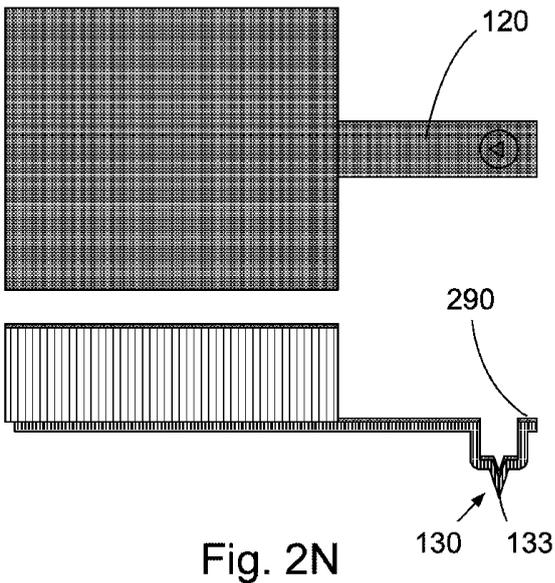


Fig. 2N

【 3 】

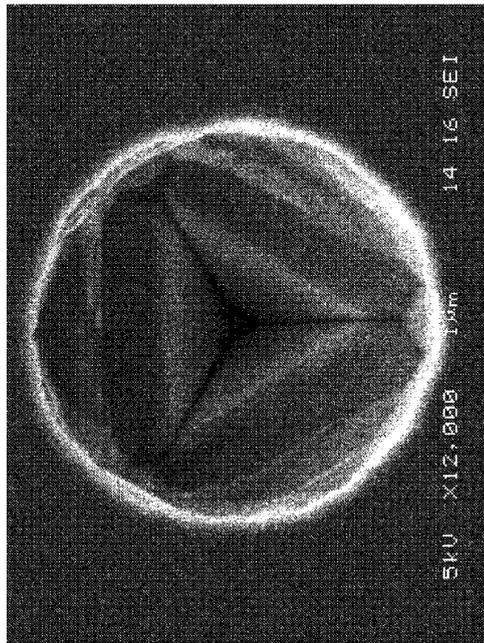


Fig. 3

30

40

50

フロントページの続き

審査官 永井 友子

(56)参考文献 特開 2 0 1 1 - 0 3 8 7 8 0 (J P , A)

特表 2 0 1 1 - 5 1 1 2 7 0 (J P , A)

特開平 0 7 - 0 3 5 5 4 0 (J P , A)

米国特許第 0 5 2 4 2 7 1 1 (U S , A)

VERMEER, Rolf , et al. , Fabrication of Novel AFM Probe with High-Aspect-Ratio Ultra-Sharp Three -Face Silicon Nitride Tips , Proceedings of the 14th IEEE International Conference on Nanotechnology , 2014年08月 , pp. 229-233

(58)調査した分野 (Int.Cl. , D B 名)

B 8 1 C 1 / 0 0

B 8 1 B 1 / 0 0

G 0 1 Q 6 0 / 3 8

B 8 1 C 9 9 / 0 0