



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년05월03일
(11) 등록번호 10-1142752
(24) 등록일자 2012년04월25일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) G09G 3/30 (2006.01)
(21) 출원번호 10-2010-0033822
(22) 출원일자 2010년04월13일
심사청구일자 2010년04월13일
(65) 공개번호 10-2011-0114266
(43) 공개일자 2011년10월19일
(56) 선행기술조사문헌
JP2009271308 A
KR1020080053646 A
KR1020090085231 A

(73) 특허권자
삼성모바일디스플레이주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
서미숙
충청남도 천안시 서북구 변영로 467 (성성동)
(74) 대리인
신영무

전체 청구항 수 : 총 9 항

심사관 : 김주승

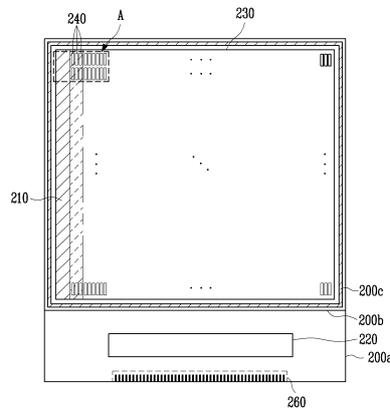
(54) 발명의 명칭 평판표시장치

(57) 요약

본 발명은, 데드 스페이스가 감소된 평판표시장치에 관한 것이다.

본 발명에 의한 평판표시장치는, 각각 빛을 방출하는 발광영역 및 하나 이상의 트랜지스터를 포함하는 화소회로로 이루어진 화소들과, 다수의 상기 화소들이 구비된 화소부와, 상기 화소들을 구동하기 위한 주사 구동부 및 데이터 구동부 중 적어도 하나의 구동회로가 형성된 내장회로부를 포함하되, 상기 내장회로부는, 상기 화소부에 포함된 화소들 중 일부 화소들의 발광영역과 중첩되도록 배치됨을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

각각 빛을 방출하는 발광영역 및 하나 이상의 트랜지스터를 포함하는 화소회로로 이루어진 화소들과,
다수의 상기 화소들이 구비된 화소부와,

상기 화소들을 구동하기 위한 주사 구동부 및 데이터 구동부 중 적어도 하나의 구동회로가 형성된 내장회로부를 포함하되,

상기 내장회로부는, 상기 화소부에 포함된 화소들 중 일부 화소들의 발광영역과 중첩되도록 배치됨을 특징으로 하는 평판표시장치.

청구항 2

제1항에 있어서,

상기 화소들 각각은 상기 화소회로의 상부에서 상기 화소회로에 전기적으로 연결되는 제1 전극과; 상기 제1 전극과 대향되는 제2 전극;을 포함하고,

상기 내장회로부는, 상기 화소들 중 일부 화소들의 제1 전극 및 제2 전극과 중첩되도록 배치됨을 특징으로 하는 평판표시장치.

청구항 3

제2항에 있어서,

상기 내장회로부는, 상기 화소회로에 포함된 트랜지스터와 동일한 레이어에 형성된 다수의 트랜지스터들을 포함하며,

상기 다수의 트랜지스터들 중 일부는 상기 일부 화소들의 제1 전극 및 제2 전극의 하부에서 이들과 중첩되도록 배치되는 평판표시장치.

청구항 4

제2항에 있어서,

상기 화소들은, 상기 제1 전극 및 상기 제2 전극의 중첩영역에서 빛을 방출하여 영상을 표시하는 평판표시장치.

청구항 5

제1항에 있어서,

상기 화소들 각각은, 구동 트랜지스터를 포함하는 상기 화소회로; 및 상기 구동 트랜지스터의 상부에서 상기 구동 트랜지스터에 전기적으로 연결되는 제1 전극과, 상기 제1 전극 상에 형성되는 발광층과, 상기 발광층 상에 형성되는 제2 전극을 포함하는 유기 발광 다이오드;를 구비하며,

상기 내장회로부는, 상기 화소들 중 일부 화소들의 제1 전극, 발광층 및 제2 전극과 중첩되도록 배치됨을 특징으로 하는 평판표시장치.

청구항 6

제1항에 있어서,

상기 화소들 각각은, 하나 이상의 트랜지스터를 포함하는 상기 화소회로와; 상기 트랜지스터의 상부에서 상기 트랜지스터에 전기적으로 연결되는 화소전극과; 상기 화소전극과 대향되도록 상기 화소전극 상에 배치되는 공통전극과; 상기 화소전극과 상기 공통전극 사이에 개재되는 액정층;을 포함하며,

상기 내장회로부는, 상기 화소들 중 일부 화소들의 화소전극, 액정층 및 공통전극과 중첩되도록 배치됨을 특징으로 하는 평판표시장치.

청구항 7

제1항에 있어서,

상기 화소들 각각은 상기 화소회로의 상부에서 상기 화소회로에 전기적으로 연결되는 제1 전극과; 상기 제1 전극과 대향되는 제2 전극;을 포함하며, 상기 제1 전극과 상기 제2 전극의 중첩영역 내에 상기 발광영역이 설정되

되,
상기 화소들 중 적어도 일부의 화소들에서, 상기 화소회로가 형성된 화소회로영역과, 상기 발광영역이 어긋나게 배치되는 평판표시장치.

청구항 8

제7항에 있어서,

상기 발광영역의 피치(pitch)가 상기 화소회로영역의 피치보다 넓게 설정되는 평판표시장치.

청구항 9

제7항에 있어서,

상기 화소들 중 일부 화소들은, 상기 화소회로영역과 상기 발광영역이 중첩되지 않도록 배치되되, 상기 발광영역이 주변 화소의 화소회로영역 또는 상기 내장회로부와 적어도 일부 중첩되도록 배치됨을 특징으로 하는 평판표시장치.

명세서

기술분야

[0001] 본 발명은 평판표시장치에 관한 것으로, 특히 데드 스페이스가 감소된 평판표시장치에 관한 것이다.

배경기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 이와 같은 평판표시장치로는 액정표시장치, 전계방출표시장치, 플라즈마표시패널 및 유기전계발광표시장치 등이 있다.

[0003] 일반적으로 평판표시장치의 패널은 다수의 화소들을 구비하는 화소부와, 화소들과 함께 패널 상에 형성되어 상기 화소들로 전기적 신호를 인가하는 내장회로부를 포함한다.

[0004] 일례로, 내장회로부는 화소들로 순차적으로 주사신호를 공급하기 위한 주사 구동부를 포함하여 구성될 수 있다.

[0005] 이러한 내장회로부는 화소들로 주사신호 등의 전기적 신호를 인가하고, 화소들은 상기 전기적 신호에 대응하여 영상을 표시한다.

[0006] 한편, 패널의 전체영역 중 화소부를 제외한 영역을 데드 스페이스(Dead Space)라 하는데, 데드 스페이스에는 내장회로부와 더불어, 신호선들이나 전원선들 등의 배선들이 배치된다.

[0007] 이러한 데드 스페이스는 패널의 전체영역 중 화소부가 차지하는 면적의 비율을 제한하므로, 데드 스페이스를 감소시키고자 하는 시도가 계속되고 있다.

발명의 내용

해결하려는 과제

[0008] 따라서, 본 발명의 목적은 데드 스페이스가 감소된 평판표시장치를 제공하는 것이다.

과제의 해결 수단

- [0009] 이와 같은 목적을 달성하기 위하여 본 발명은, 각각 빛을 방출하는 발광영역 및 하나 이상의 트랜지스터를 포함하는 화소회로로 이루어진 화소들과, 다수의 상기 화소들이 구비된 화소부와, 상기 화소들을 구동하기 위한 주사 구동부 및 데이터 구동부 중 적어도 하나의 구동회로가 형성된 내장회로부를 포함하되, 상기 내장회로부는, 상기 화소부에 포함된 화소들 중 일부 화소들의 발광영역과 중첩되도록 배치됨을 특징으로 하는 평판표시장치를 제공한다.
- [0010] 여기서, 상기 화소들 각각은 상기 화소회로의 상부에서 상기 화소회로에 전기적으로 연결되는 제1 전극과; 상기 제1 전극과 대향되는 제2 전극;을 포함하고, 상기 내장회로부는, 상기 화소들 중 일부 화소들의 제1 전극 및 제2 전극과 중첩되도록 배치될 수 있다.
- [0011] 이때, 상기 내장회로부는, 상기 화소회로에 포함된 트랜지스터와 동일한 레이어에 형성된 다수의 트랜지스터들을 포함하며, 상기 다수의 트랜지스터들 중 일부는 상기 일부 화소들의 제1 전극 및 제2 전극의 하부에서 이들과 중첩되도록 배치될 수 있다.
- [0012] 또한, 상기 화소들은, 상기 제1 전극 및 상기 제2 전극의 중첩영역에서 빛을 방출하여 영상을 표시할 수 있다.
- [0013] 또한, 상기 화소들 각각은, 구동 트랜지스터를 포함하는 상기 화소회로; 및 상기 구동 트랜지스터의 상부에서 상기 구동 트랜지스터에 전기적으로 연결되는 제1 전극과, 상기 제1 전극 상에 형성되는 발광층과, 상기 발광층 상에 형성되는 제2 전극을 포함하는 유기 발광 다이오드;를 구비하며, 상기 내장회로부는, 상기 화소들 중 일부 화소들의 제1 전극, 발광층 및 제2 전극과 중첩되도록 배치될 수 있다.
- [0014] 또한, 상기 화소들 각각은, 하나 이상의 트랜지스터를 포함하는 상기 화소회로와; 상기 트랜지스터의 상부에서 상기 트랜지스터에 전기적으로 연결되는 화소전극과; 상기 화소전극과 대향되도록 상기 화소전극 상에 배치되는 공통전극과; 상기 화소전극과 상기 공통전극 사이에 개재되는 액정층;을 포함하며, 상기 내장회로부는, 상기 화소들 중 일부 화소들의 화소전극, 액정층 및 공통전극과 중첩되도록 배치될 수 있다.
- [0015] 또한, 상기 화소들 각각은 상기 화소회로의 상부에서 상기 화소회로에 전기적으로 연결되는 제1 전극과; 상기 제1 전극과 대향되는 제2 전극;을 포함하며, 상기 제1 전극과 상기 제2 전극의 중첩영역 내에 상기 발광영역이 설정되되, 상기 화소들 중 적어도 일부의 화소들에서, 상기 화소회로가 형성된 화소회로영역과, 상기 발광영역이 어긋나게 배치될 수 있다.
- [0016] 이때, 상기 발광영역의 피치(pitch)가 상기 화소회로영역의 피치보다 넓게 설정될 수 있다.
- [0017] 또한, 상기 화소들 중 일부 화소들은, 상기 화소회로영역과 상기 발광영역이 중첩되지 않도록 배치되되, 상기 발광영역이 주변 화소의 화소회로영역 또는 상기 내장회로부와 적어도 일부 중첩되도록 배치될 수 있다.

발명의 효과

- [0018] 이와 같은 본 발명에 의하면, 내장회로부가 화소부와 일부 중첩되도록 배치함으로써, 영상을 표시하기 위한 발광영역을 확보하면서도 데드 스페이스를 효과적으로 감소시킬 수 있다.

도면의 간단한 설명

- [0019] 도 1은 평판표시장치의 구성을 개략적으로 도시한 블럭도.
- 도 2a 및 도 2b는 도 1에 도시된 평판표시장치에 구비된 화소의 실시예들을 도시한 회로도.
- 도 3은 본 발명의 실시예에 의한 평판표시장치의 패널을 도시한 평면도.
- 도 4는 도 3의 A 영역에 대한 요부 확대도.
- 도 5는 도 3에 도시된 패널의 일례를 도시한 요부 단면도.
- 도 6은 도 3에 도시된 패널의 다른 예를 도시한 요부 단면도.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.
- [0021] 도 1은 평판표시장치의 구성을 개략적으로 도시한 블럭도이다.
- [0022] 도 1을 참조하면, 평판표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 위치되는 다수의 화소들(140)을 포함하는 화소부(130)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(110)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(120)와, 주사 구동부(110) 및 데이터 구동부(120)를 제어하기 위한 타이밍 제어부(150)를 포함한다.
- [0023] 주사 구동부(110)는 타이밍 제어부(150)로부터 주사 구동제어신호(SCS)를 공급받는다. 주사 구동제어신호(SCS)를 공급받은 주사 구동부(110)는 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 순차적으로 공급한다.
- [0024] 데이터 구동부(120)는 타이밍 제어부(150)로부터 데이터 구동제어신호(DCS) 및 데이터(Data)를 공급받는다. 데이터 구동제어신호(DCS) 및 데이터(Data)를 공급받은 데이터 구동부(120)는 데이터 신호를 생성하고, 생성된 데이터 신호를 주사신호와 동기되도록 데이터선들(D1 내지 Dm)로 공급한다.
- [0025] 타이밍 제어부(150)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(150)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동부(120)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(110)로 공급된다.
- [0026] 여기서, 데이터 구동제어신호(DCS)에는 소스 스타트 펄스, 소스 쉬프트 클럭, 소스 출력 인에이블 신호 등이 포함될 수 있고, 주사 구동제어신호(SCS)에는 게이트 스타트 펄스, 게이트 쉬프트 클럭, 게이트 출력 인에이블 신호 등이 포함될 수 있다.
- [0027] 화소부(130)는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 위치되는 다수의 화소들(140)을 구비한다. 화소들(140)은 자신과 접속된 주사선(S)으로 주사신호가 공급될 때 선택되어, 데이터선(D)으로부터 공급되는 데이터 신호에 대응하는 휘도의 빛을 외부로 방출하고, 이에 따라 화소부(130)에서 영상이 표시된다.
- [0028] 이와 같은 평판표시장치로는 유기전계발광표시장치 및 액정표시장치 등을 들 수 있다.
- [0029] 도 2a 및 도 2b는 도 1에 도시된 평판표시장치에 구비된 화소의 실시예들을 도시한 회로도이다.
- [0030] 여기서, 도 2a는 평판표시장치 중 유기전계발광표시장치에 구비된 화소의 일례를 도시한 것이며, 도 2b는 평판표시장치 중 액정표시장치에 구비된 화소의 일례를 도시한 것이다. 편의상, 도 2a 및 도 2b에서는 제n 주사선(Sn) 및 제m 데이터선(Dm)과 접속된 화소를 도시하기로 한다.
- [0031] 우선, 도 2a를 참조하면, 화소(140)는 유기 발광 다이오드(OLED)와, 데이터선(Dm) 및 주사선(Sn)에 접속되어 유기 발광 다이오드(OLED)를 제어하는 화소회로(142)를 구비한다.
- [0032] 유기 발광 다이오드(OLED)의 애노드 전극은 화소회로(142), 특히 구동 트랜지스터(M2)에 접속되고, 캐소드 전극은 제2 화소전원(ELVSS)에 접속된다. 이와 같은 유기 발광 다이오드(OLED)는 화소회로(142)로부터 공급되는 전류에 대응하는 휘도의 빛을 생성한다.
- [0033] 화소회로(142)는 주사선(Sn)에 주사신호가 공급될 때 데이터선(Dm)으로부터 공급되는 데이터신호에 대응하여 유기 발광 다이오드(OLED)로 공급되는 전류량을 제어한다.
- [0034] 이를 위해, 화소회로(142)는 주사선(Sn) 및 데이터선(Dm)에 접속되는 스위칭 트랜지스터(M1)와, 제1 화소전원(ELVSS)과 유기 발광 다이오드(OLED)의 애노드 전극 사이에 접속되는 구동 트랜지스터(M2)와, 구동 트랜지스터(M2)의 게이트 전극과 소스 전극 사이에 접속되는 스토리지 커패시터(Cst)를 구비한다.
- [0035] 스위칭 트랜지스터(M1)의 제1 전극은 데이터선(Dm)에 접속되고, 제2 전극은 구동 트랜지스터(M2)의 게이트 전극 및 스토리지 커패시터(Cst)의 일 전극에 접속된다. 여기서, 스위칭 트랜지스터(M1)의 제1 전극과 제2 전극은 서로 다른 전극으로, 예를 들어, 제1 전극이 소스 전극이면 제2 전극은 드레인 전극이다. 그리고, 스위칭 트랜지

스터(M1)의 게이트 전극은 주사선(Sn)에 접속된다.

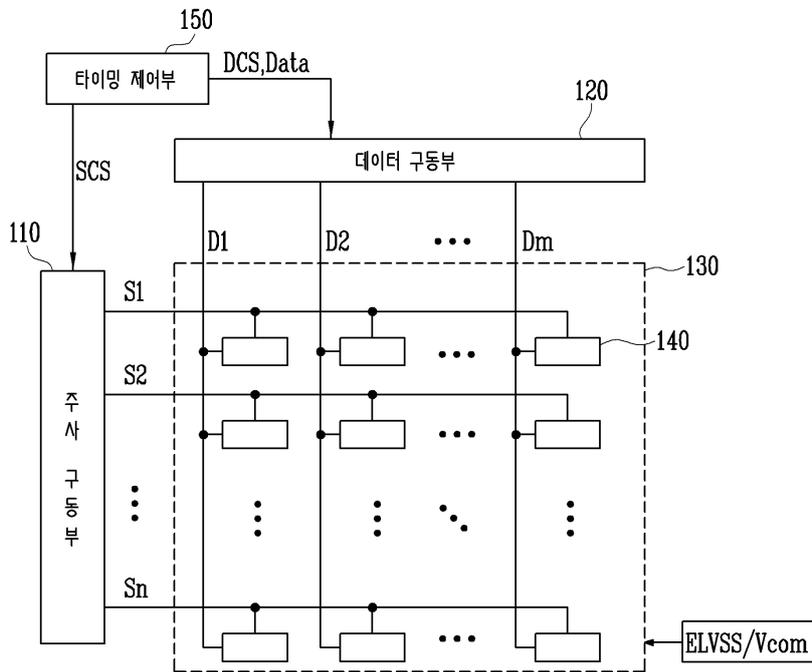
- [0036] 이와 같은 스위칭 트랜지스터(M1)는 주사선(Sn)으로부터 주사신호가 공급될 때 턴-온되어, 데이터선(Dm)으로부터 공급되는 데이터 신호를 스토리지 커패시터(Cst)로 공급한다. 이때, 스토리지 커패시터(Cst)에는 데이터 신호에 대응되는 전압이 충전된다.
- [0037] 구동 트랜지스터(M2)의 제1 전극은 제1 화소전원(ELVDD)에 접속되고, 제2 전극은 유기 발광 다이오드(OLED)의 애노드 전극에 접속된다. 그리고, 구동 트랜지스터(M2)의 게이트 전극은 스토리지 커패시터(Cst)의 일 전극에 접속된다.
- [0038] 이와 같은 구동 트랜지스터(M2)는 스토리지 커패시터(Cst)에 저장된 전압값에 대응하여 제1 화소전원(ELVDD)으로부터 유기 발광 다이오드(OLED)를 경유하여 제2 화소전원(ELVSS)으로 흐르는 전류량을 제어한다.
- [0039] 이때, 유기 발광 다이오드(OLED)는 구동 트랜지스터(M2)로부터 공급되는 전류량에 대응되는 빛을 생성한다.
- [0040] 이와 같은 도 2a에 도시된 화소(140)는 비교적 단순한 구조를 갖는 유기전계발광표시장치의 화소의 일례를 개시한 것으로, 실제의 화소(140)의 구조는 다수의 트랜지스터들이 포함되도록 다양하게 변경 실시될 수도 있음은 물론이다.
- [0041] 한편, 도 2b를 참조하여 액정표시장치에 구비된 화소의 예를 설명하면, 화소(140')는 액정 커패시터(C1c)와, 액정 커패시터(C1c)에 접속되어 액정 커패시터(C1c)를 제어하기 위한 화소회로(142')를 포함한다.
- [0042] 액정 커패시터(C1c)는 화소회로(142')에 구비되는 트랜지스터(TFT)의 제2 전극 및 스토리지 커패시터(Cst')에 접속되는 것으로, 화소전극 및 공통전극과 이들의 사이에 개재된 액정층을 등가적으로 표현한 것이다.
- [0043] 이와 같은 액정 커패시터(C1c)는 트랜지스터(TFT)의 턴-온에 의해 스토리지 커패시터(Cst)에 저장되는 전압에 대응하여 액정의 광 투과율을 제어한다.
- [0044] 화소회로(142')는 주사선(Sn) 및 데이터선(Dm)에 접속되는 트랜지스터(TFT)와, 상기 트랜지스터(TFT)에 접속되는 스토리지 커패시터(Cst')를 구비한다.
- [0045] 트랜지스터(TFT)의 제1 전극은 데이터선(Dm)에 접속되고, 제2 전극은 스토리지 커패시터(Cst') 및 액정 커패시터(C1c)의 일 전극에 접속된다. 여기서, 트랜지스터(TFT)의 제1 전극과 제2 전극은 서로 다른 전극으로, 예를 들어, 제1 전극이 드레인 전극이면 제2 전극은 소스 전극이다. 그리고, 트랜지스터(TFT)의 게이트 전극은 주사선(Sn)에 접속된다.
- [0046] 이와 같은 트랜지스터(TFT)는 주사선(Sn)으로부터 주사신호가 공급될 때 턴-온되어, 데이터선(Dm)으로부터 공급되는 데이터 신호를 스토리지 커패시터(Cst')로 공급한다.
- [0047] 그러면, 스토리지 커패시터(Cst')에는 트랜지스터(TFT)를 경유하여 공급되는 데이터 신호에 대응되는 전압이 충전되고, 상기 충전된 전압은 한 프레임 동안 유지된다.
- [0048] 도 3은 본 발명의 실시예에 의한 평판표시장치의 패널을 도시한 평면도이고, 도 4는 도 3의 A 영역에 대한 요부 확대도이다.
- [0049] 우선, 도 3을 참조하면, 패널은, 다수의 화소들(240)이 구비된 화소부(230)와, 상기 화소들(240)을 구동하기 위한 구동회로가 형성된 내장회로부(210)가 형성됨과 아울러, 구동 IC(220) 등이 실장되며, 일측에 패드부(260)가 형성된 하부기판(200a)과; 적어도 화소부(230) 및 내장회로부(210)가 형성된 영역의 하부기판(200a) 상에 배치된 상부기판(200b)과; 상기 하부기판(200a)과 상부기판(200b) 사이에서 이들이 중첩된 영역의 가장자리를 따라 개재되어 적어도 화소부(230) 및 내장회로부(210)를 밀봉하는 실링재(200c);를 포함한다.
- [0050] 여기서, 내장회로부(210)는 주사 구동부 및/또는 발광제어 구동부 등과 같이 화소들을 구동하기 위한 구동회로가 형성되는 영역으로, 경우에 따라서는 검사회로 등을 더 포함할 수 있다.
- [0051] 이와 같은 내장회로부(210)는 화소부(230)의 적어도 일측에 형성되는 것으로, 예컨대 화소부(230)의 좌측 또는 우측, 혹은 서로 대향되는 좌우 양측에 형성될 수 있다.
- [0052] 이러한 내장회로부(210)는 다수의 트랜지스터들을 포함하여 형성될 수 있는 것으로, 하부기판(200a) 상에 화소들(240)을 형성하는 과정에서 상기 화소들(240)과 동반 형성될 수 있다.

- [0053] 예컨대, 내장회로부(210)는 화소들(240)에 구비된 트랜지스터(도 2a의 M1, M2 또는 도 2b의 TFT 등) 및 커패시터(도 2a Cst 또는 도 2b의 Cst' 등)를 형성하는 과정에서, 이들과 동시에 하부기관(200a) 상에 형성될 수 있다.
- [0054] 즉, 내장회로부(210)는 화소들(240)에 구비된 트랜지스터 등과 동일한 레이어에 동시 형성되는 다수의 트랜지스터를 포함하여 구성될 수 있다.
- [0055] 여기서, 다수의 트랜지스터들을 구비하며 내장회로부(210) 내에 형성될 수 있는 주사 구동부 및/또는 발광제어 구동부 등의 회로구성에 대한 다양한 실시예들은 이미 공지된 기술이므로 이에 대한 상세한 설명은 생략하기로 한다.
- [0056] 구동 IC(220)는 데이터 구동부 등을 포함하여 구성될 수 있는 것으로, 패널의 일측에 실장될 수 있다.
- [0057] 패드부(260)는 외부로부터의 구동전원들 및 구동신호들을 전달받기 위한 다수의 패드들을 포함하며, 구동 IC(220)와 인접한 하부기관(200a)의 일측 가장자리(예컨대, 하측 가장자리)에 배치될 수 있다.
- [0058] 단, 본 발명에서, 내장회로부(210)는 화소부(230)와 일부 중첩되도록 배치된다.
- [0059] 특히, 내장회로부(210)는 하나 이상의 트랜지스터를 포함하는 화소회로가 형성되는 화소회로영역과는 중첩되지 않도록 배치되며, 화소회로의 상부에서 상기 화소회로와 전기적으로 연결되어 상기 화소회로의 제어에 대응하는 빛을 방출하는 발광영역과 중첩되도록 배치된다.
- [0060] 일례로, 도 4에 도시된 바와 같이, 적색, 녹색 및 청색 부화소를 포함하는 화소(240)에 있어서, 내장회로부(210) 측에 위치되는 일부 화소들의 적색, 녹색 및 청색 부화소의 발광영역(240a, 240b, 240c)은 내장회로부(210)와 중첩되도록 내장회로부(210)의 상부에 배치되며, 상기 일부 화소들의 적색, 녹색 및 청색 부화소의 화소회로가 형성되는 화소회로영역(240a1, 240b1, 240c1)은 내장회로부(210)와 중첩되지 않도록 배치될 수 있다.
- [0061] 즉, 화소들(240) 중 일부 화소들은 화소회로영역(240a1, 240b1, 240c1)과 발광영역(240a, 240b, 240c)이 중첩되지 않도록 배치되며, 그의 발광영역(240a, 240b, 240c)이 주변 화소의 화소회로영역 또는 내장회로부(210)와 적어도 일부 중첩되도록 배치될 수 있다.
- [0062] 이를 위해, 화소들(240) 중 적어도 일부의 화소들에서, 화소회로가 형성된 화소회로영역(240a1, 240b1, 240c1)과, 발광영역(240a, 240b, 240c)은 서로 어긋나게 배치되며, 연결라인(242)을 통해 전기적으로 될 수 있다.
- [0063] 특히, 영상을 표시하기 위한 발광영역을 확보하면서도 데드 스페이스를 효과적으로 감소시키기 위하여 발광영역의 피치(pitch)는 그대로 유지하면서, 내장회로부(210)가 화소부(230) 내부로 들어오는 만큼 화소회로영역의 피치는 감소될 수 있다.
- [0064] 즉, 본 발명에서 발광영역(240a, 240b, 240c)의 피치는 화소회로영역(240a1, 240b1, 240c1)의 피치보다 넓게 설정될 수 있다.
- [0065] 한편, 편의상 도 4에서는 각 수평라인 별로 적색, 녹색 및 청색 부화소를 포함하는 하나의 단위 화소(240)의 발광영역(240a, 240b, 240c)이 내장회로부(210)와 중첩되는 것을 도시하였지만, 내장회로부(210)와 중첩되는 화소(240)의 수는 다양하게 변경될 수 있을 것이며, 단위 화소(240) 중 일부 부화소의 발광영역만이 내장회로부(210)와 중첩될 수도 있음은 물론이다.
- [0066] 전술한 바와 같은 본 발명에 의하면, 내장회로부(210)가 화소부(230)와 일부 중첩되도록 배치함으로써, 영상을 표시하기 위한 발광영역을 확보하면서도 데드 스페이스를 효과적으로 감소시킬 수 있다.
- [0067] 도 5는 도 3에 도시된 패널의 일례를 도시한 요부 단면도로서, 특히 유기전계발광표시장치의 패널의 일례를 도시한 것이다. 편의상, 도 5에서 본원발명의 설명에 불필요한 요소들의 도시는 생략하기로 한다.
- [0068] 도 5를 참조하면, 하부기관(200a) 상의 내장회로부에는 다수의 트랜지스터들(202')들이 형성되고, 화소들의 각 화소회로영역에는 하나 이상의 트랜지스터(202)를 포함하는 화소회로가 형성된다.
- [0069] 이때, 화소회로에는 도 2a에 도시된 바와 같이 스위칭 트랜지스터(M1), 구동 트랜지스터(M2) 및 스토리지 커패시터(Cst) 등이 구비될 수 있는데, 편의상 도 5에서는 유기 발광 다이오드의 제1 전극(206a)과 전기적으로 연결되는 구동 트랜지스터만을 도시하기로 한다.

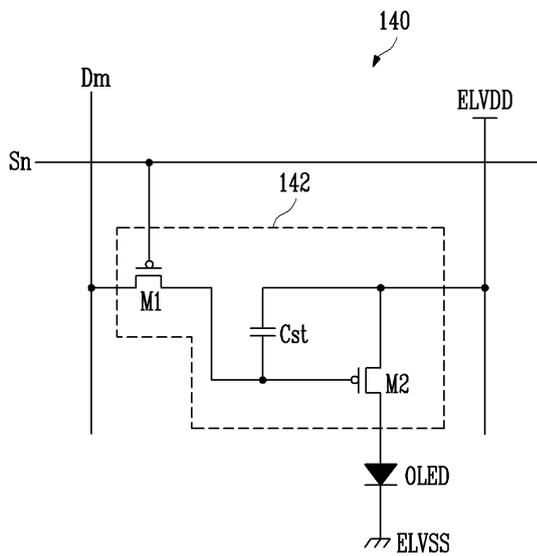
- [0070] 이러한 구동 트랜지스터(202)와 내장회로부(210)에 포함된 트랜지스터들(202')은 동일한 레이어에 동시 형성될 수 있는 것으로, 이들은 각각 하부기관(200a)의 버퍼층(201) 상에 형성된 반도체층(202a, 202a')과, 게이트 절연막(203)을 사이에 개재하고 반도체층(202a, 202a') 상에 형성된 게이트 전극(202b, 202b')과, 층간절연막(204)을 사이에 개재하고 반도체층(202a, 202a') 및 게이트 전극(202b, 202b') 상에 형성된 게이트 절연막(203) 및 층간절연막(204)을 관통하는 컨택홀에 의해 각각의 반도체층(202a, 202a')과 연결되는 소스 및 드레인 전극(202c, 202d, 202c', 202d')을 포함한다.
- [0071] 화소회로 및 내장회로부의 트랜지스터들(202, 202') 상부에는 평탄화 절연막(205)이 형성된다. 이때, 평탄화 절연막(205)은 무기절연막(205a)과 유기절연막(205b)의 적층구조 등으로 구현될 수 있다.
- [0072] 평탄화 절연막(205) 상에는, 구동 트랜지스터(202)에 전기적으로 연결되는 제1 전극(예컨대, 애노드 전극)(206a)과, 제1 전극(206a) 상에 형성된 발광층(206b)과, 발광층(206b) 상에 형성되며 제1 전극(206a)과 대향되는 제2 전극(예컨대, 캐소드 전극)(206c)을 포함하는 유기 발광 다이오드(OLED)가 형성된다.
- [0073] 여기서, 제1 전극(206a)은 화소 단위로 발광 영역에 패터닝되고, 각 화소들의 제1 전극 사이에는 화소정의막(207)이 형성된다. 이러한 화소정의막(207)은 제1 전극(206a)의 가장자리 영역 상부와 중첩되도록 형성되며, 화소의 발광 영역에서 제1 전극(206a)을 노출하도록 형성된다.
- [0074] 그리고, 발광층(206b)은 제1 전극(206a)의 노출된 영역을 포함한 영역에 형성되고, 제2 전극(206c)은 화소 단위로 패터닝되지 않고 화소부 상에 전면적으로 형성될 수 있다.
- [0075] 이때, 각각의 화소들은 제1 전극(206a) 및 제2 전극(206b)의 중첩영역, 특히 제1 전극(206a), 발광층(206b) 및 제2 전극(206b)의 중첩에 의해 유기 발광 다이오드(OLED)가 구현되는 영역에서, 구동 트랜지스터(202)로부터 공급되는 전류에 대응하는 휘도의 빛을 방출하여 영상을 표시한다.
- [0076] 단, 본 발명에서, 화소들 중 일부 화소들의 발광영역은 내장회로부와 중첩되도록 배치된다. 그리고, 내장회로부의 트랜지스터들(202')과 동일한 레이어에 배치되는 구동 트랜지스터(202)를 구비한 화소회로는 내장회로부와 중첩되지 않도록 발광영역과 어긋나게 배치되며 애노드 메탈 등을 이용하여 상기 발광영역의 제1 전극(206a)에 전기적으로 연결되도록 형성된다.
- [0077] 보다 구체적으로, 화소들 각각은, 구동 트랜지스터(202)와 같이 하나 이상의 트랜지스터를 포함하는 화소회로와, 상기 화소회로의 상부에서 상기 화소회로에 전기적으로 연결되는 제1 전극(206a)과, 상기 제1 전극(206a)과 대향되는 제2 전극(206c)을 포함하며, 제1 전극(206a)과 제2 전극(206c)의 중첩영역 내에 발광영역이 설정된다.
- [0078] 그리고, 화소들 중 적어도 일부의 화소들에서, 화소회로가 형성된 화소회로영역이 발광영역과 어긋나게 배치되며, 특히 이러한 화소들의 발광영역은 주변 화소의 화소회로영역이나 내장회로부와 적어도 일부 중첩되도록 배치된다.
- [0079] 즉, 일부 화소들에서는 도 5에 도시된 바와 같이 화소회로영역에 형성된 구동 트랜지스터(202)와 연결되는 유기 발광 다이오드(OLED)가 내장회로부의 트랜지스터(202') 상에 배치되고, 상기 구동 트랜지스터(202)의 상부에는 인접 화소의 유기 발광 다이오드(OLED')가 적어도 일부 중첩되도록 배치될 수 있다.
- [0080] 이때, 내장회로부와 중첩되도록 배치되는 화소들의 경우, 제1 전극(206a) 및 제2 전극(206c)이 내장회로부와 적어도 일부 중첩되도록 배치된다. 즉, 내장회로부에 구비되는 다수의 트랜지스터들(202') 중 적어도 일부는, 일부 화소들의 제1 전극(206a) 및 제2 전극(206c)의 하부에서 이들과 중첩되도록 배치될 수 있다.
- [0081] 특히, 화소가 전술한 바와 같은 유기전계발광 표시장치의 화소인 경우, 내장회로부는 일부 화소들의 제1 전극(206a), 발광층(206b) 및 제2 전극(206c)과 중첩되도록 배치되어 상기 일부 화소들의 발광영역과 중첩 배치될 수 있다.
- [0082] 한편, 화소들 중 일부 화소들의 발광영역이 내장회로부와 중첩되도록 배치되는 본원발명의 기술사상은 액정표시장치 등의 다른 평판표시장치에도 적용될 수 있으며, 이에 대한 보다 상세한 설명은 도 6을 참조하여 후술하기로 한다.
- [0083] 도 6은 도 3에 도시된 패널의 다른 예를 도시한 요부 단면도로서, 특히 액정표시장치의 패널의 일례를 도시한 것이다. 도 6을 설명할 때, 도 5와 동일 또는 유사한 부분은 동일 부호를 부여하고, 이에 대한 상세한 설명은

도면

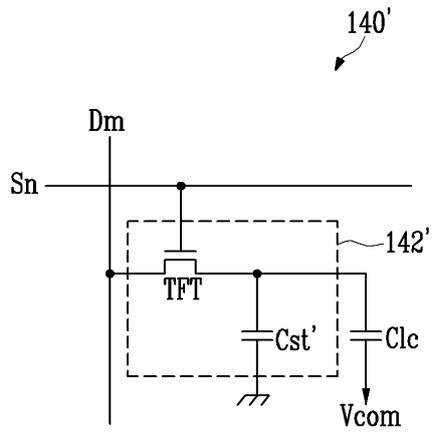
도면1



도면2a



도면2b



도면3

