



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0133781
(43) 공개일자 2011년12월14일

(51) Int. Cl. <i>G11C 7/22</i> (2006.01) <i>G11C 7/10</i> (2006.01) (21) 출원번호 10-2010-0053377 (22) 출원일자 2010년06월07일 심사청구일자 없음	(71) 출원인 삼성전자주식회사 경기도 수원시 영통구 매탄동 416 (72) 발명자 나태식 서울특별시 송파구 잠실동 리센츠 243동 502호 (74) 대리인 박상수
---	--

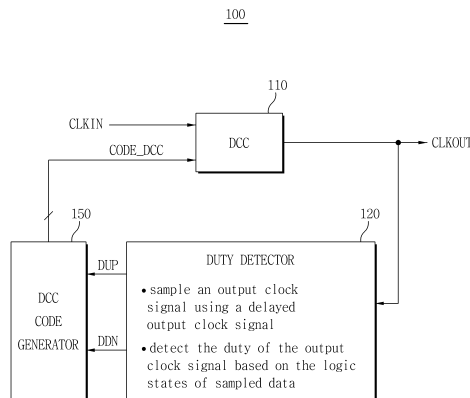
전체 청구항 수 : 총 10 항

(54) 듀티 검출기를 포함하는 듀티 보정 회로, 이를 포함하는 지연동기루프 회로 및 듀티 보정 방법

(57) 요약

디지털 방식의 듀티 검출기를 포함하는 듀티 보정회로 및 듀티 보정 방법이개시된다. 듀티 보정 회로는 듀티 사이클 보정부, 듀티 검출부 및 듀티보정 코드 발생기를 포함한다. 듀티 사이클 보정부는 듀티보정 코드에 응답하여 입력 클럭신호의 듀티 사이클을 보정하여 출력 클럭신호를 발생한다. 듀티 검출부는 출력 클럭신호의 지연 시간을 조절하여 샘플링 클럭신호를 발생하고, 샘플링 클럭신호에 응답하여 상기 출력 클럭신호를 샘플링하고 서로 180도 위상 차이를 갖는 샘플 데이터들을 발생하고, 샘플 데이터들의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출한다. 따라서, 듀티 보정회로는 정밀하게 출력 클럭신호의 듀티를 검출하고 듀티를 보정할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

듀티보정 코드에 응답하여 입력 클럭신호의 듀티 사이클을 보정하여 출력 클럭신호를 발생하는 듀티 사이클 보정부;

상기 출력 클럭신호의 지연 시간을 조절하여 샘플링 클럭신호를 발생하고, 상기 샘플링 클럭신호에 응답하여 상기 출력 클럭신호를 샘플링하고 서로 180도 위상 차이를 갖는 제 1 샘플 데이터(sampled data) 및 제 2 샘플 데이터를 발생하고, 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 듀티-업 신호 및 듀티-다운 신호를 발생하는 듀티 검출부; 및

상기 듀티-업 신호 및 상기 듀티-다운 신호에 응답하여 상기 듀티보정 코드를 발생하는 듀티보정 코드 발생기를 포함하는 듀티 보정 회로.

청구항 2

제 1 항에 있어서, 상기 듀티 검출부는

상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 상기 지연시간을 조절하는 것을 특징으로 하는 듀티 보정 회로.

청구항 3

제 1 항에 있어서, 상기 듀티 검출부는

상기 출력 클럭신호의 위상을 분리하여 제 1 클럭신호 및 상기 제 1 클럭신호와 반대의 위상을 갖는 제 2 클럭신호를 발생하는 위상 분리기;

지연-업 신호 및 지연-다운 신호에 응답하여 지연량을 조절하고, 상기 제 1 클럭신호를 지연시켜 제 3 클럭신호를 발생하는 제 1 지연 회로;

상기 지연-업 신호 및 상기 지연-다운 신호에 응답하여 지연량을 조절하고, 상기 제 2 클럭신호를 지연시켜 제 4 클럭신호를 발생하는 제 2 지연 회로;

상기 제 3 클럭신호에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 1 샘플 데이터를 발생하는 제 1 플립 플롭;

상기 제 4 클럭신호에 응답하여 상기 제 2 클럭신호를 샘플링하고 상기 제 2 샘플 데이터를 발생하는 제 2 플립 플롭; 및

상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 상기 지연-업 신호, 상기 지연-다운 신호, 상기 듀티-업 신호 및 상기 듀티-다운 신호를 발생하는 제어 회로를 포함하는 것을 특징으로 하는 듀티 보정 회로.

청구항 4

제 3 항에 있어서, 상기 듀티 검출부는

상기 제 1 및 제 2 샘플 데이터가 인에이블 상태이면 지연-업 신호를 발생하여 상기 출력 클럭신호의 상기 지연 시간을 증가시키고, 상기 제 1 및 제 2 샘플 데이터가 디스에이블 상태이면 지연-다운 신호를 발생하여 상기 출력 클럭신호의 상기 지연시간을 감소시키는 것을 특징으로 하는 듀티 보정 회로.

청구항 5

제 3 항에 있어서, 상기 듀티 검출부는

상기 제 1 샘플 데이터가 디스에이블 상태이고 상기 제 2 샘플 데이터가 인에이블 상태이면 상기 듀티-업 신호를 발생하여 상기 출력 클럭신호의 상기 듀티를 증가시키는 것을 특징으로 하는 듀티 보정 회로.

청구항 6

제 3 항에 있어서, 상기 듀티 검출부는

상기 제 1 샘플 데이터가 인에이블 상태이고 상기 제 2 샘플 데이터가 디스에이블 상태이면 상기 듀티-다운 신호를 발생하여 상기 출력 클럭신호의 상기 듀티를 감소시키는 것을 특징으로 하는 듀티 보정 회로.

청구항 7

제 1 항에 있어서, 상기 듀티 검출부는

상기 출력 클럭신호의 위상을 분리하여 제 1 클럭신호 및 상기 제 1 클럭신호와 반대의 위상을 갖는 제 2 클럭신호를 발생하는 위상 분리기;

지연-업 신호 및 지연-다운 신호에 응답하여 지연량을 조절하고, 상기 제 1 클럭신호를 지연시켜 제 3 클럭신호를 발생하는 지연 회로;

상기 제 3 클럭신호의 상승 에지(rising edge)에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 1 샘플 데이터를 발생하는 제 1 플립플롭;

상기 제 3 클럭신호의 하강 에지(falling edge)에 응답하여 상기 제 2 클럭신호를 샘플링하고 상기 제 2 샘플 데이터를 발생하는 제 2 플립플롭; 및

상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 상기 지연-업 신호, 상기 지연-다운 신호, 상기 듀티-업 신호 및 상기 듀티-다운 신호를 발생하는 제어 회로를 포함하는 것을 특징으로 하는 듀티 보정 회로.

청구항 8

제 1 항에 있어서, 상기 듀티 검출부는

상기 출력 클럭신호의 위상을 분리하여 제 1 클럭신호 및 상기 제 1 클럭신호와 반대의 위상을 갖는 제 2 클럭신호를 발생하는 제 1 위상 분리기;

지연-업 신호 및 지연-다운 신호에 응답하여 지연량을 조절하고, 상기 제 1 클럭신호를 지연시키는 지연 회로;

상기 지연 회로의 출력신호의 위상을 분리하여 서로 180도 위상 차이를 갖는 제 3 클럭신호 및 제 4 클럭신호를 발생하는 제 2 위상 분리기;

상기 제 3 클럭신호에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 1 샘플 데이터를 발생하는 제 1 플립플롭;

상기 제 4 클럭신호에 응답하여 상기 제 2 클럭신호를 샘플링하고 상기 제 2 샘플 데이터를 발생하는 제 2 플립플롭; 및

상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 상기 지연-업 신호, 상기 지연-다운 신호, 상기 듀티-업 신호 및 상기 듀티-다운 신호를 발생하는 제어 회로를 포함하는 것을 특징으로 하는 듀티 보정 회로.

청구항 9

제 1 항에 있어서, 상기 듀티 검출부는

지연-업 신호 및 지연-다운 신호에 응답하여 지연량을 조절하고, 상기 출력 클럭신호에 대응하는 제 1 클럭신호를 지연시켜 제 2 클럭신호를 발생하는 지연 회로;

상기 제 2 클럭신호의 상승 에지에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 1 샘플 데이터를 발생하는 제 1 플립플롭;

상기 제 2 클럭신호의 하강 에지에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 2 샘플 데이터를 발생하는 제 2 플립플롭; 및

상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 상기 지연-업

신호, 상기 지연-다운 신호, 상기 듀티-업 신호 및 상기 듀티-다운 신호를 발생하는 제어 회로를 포함하는 것을 특징으로 하는 듀티 보정 회로.

청구항 10

제 1 항에 있어서, 상기 듀티 검출부는

지연-업 신호 및 지연-다운 신호에 응답하여 지연량을 조절하고, 상기 출력 클럭신호에 대응하는 제 1 클럭신호를 지연시키는 지연 회로;

상기 지연 회로의 출력신호의 위상을 분리하여 서로 180도 위상 차이를 갖는 제 2 클럭신호 및 제 3 클럭신호를 발생하는 위상 분리기;

상기 제 2 클럭신호에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 1 샘플 데이터를 발생하는 제 1 플립 플롭;

상기 제 3 클럭신호에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 2 샘플 데이터를 발생하는 제 2 플립 플롭; 및

상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 상기 지연-업 신호, 상기 지연-다운 신호, 상기 듀티-업 신호 및 상기 듀티-다운 신호를 발생하는 제어 회로를 포함하는 것을 특징으로 하는 듀티 보정 회로.

명세서

기술분야

[0001] 본 발명은 클럭 발생기에 관한 것으로, 특히 듀티 검출기를 포함하는 듀티 보정 회로 및 듀티 보정 방법에 관한 것이다.

배경기술

[0002] 반도체 장치, 특히 반도체 메모리 장치에는 논리 회로들을 동작시키기 위한 클럭신호가 사용된다. 여러 가지 기능을 수행하는 내부 회로에서 클럭신호를 사용하기 위해서는 클럭 전송 경로를 고려하여 외부 입력 클럭신호와 동기되고 듀티가 보정된 내부 클럭신호가 필요하다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 목적은 고 정밀도를 가지는 디지털 방식의 듀티 검출기를 포함하는 듀티 보정회로를 제공하는 것이다.

[0004] 본 발명의 다른 목적은 상기 듀티 보정회로를 포함하는 지연동기루프 회로를 제공하는 것이다.

[0005] 본 발명의 또 다른 목적은 고 정밀도를 가지는 디지털 방식으로 출력 클럭신호의 듀티를 검출하고 듀티를 보정하는 듀티 보정 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위하여 본 발명의 하나의 실시형태에 따른 듀티 보정 회로는 듀티 사이클 보정부, 듀티 검출부 및 듀티보정 코드 발생기를 포함한다.

[0007] 듀티 사이클 보정부는 듀티보정 코드에 응답하여 입력 클럭신호의 듀티 사이클을 보정하여 출력 클럭신호를 발생한다. 듀티 검출부는 상기 출력 클럭신호의 지연 시간을 조절하여 샘플링 클럭신호를 발생하고, 상기 샘플링 클럭신호에 응답하여 상기 출력 클럭신호를 샘플링하고 서로 180도 위상 차이를 갖는 제 1 샘플 데이터(sampled data) 및 제 2 샘플 데이터를 발생하고, 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 듀티-업 신호 및 듀티-다운 신호를 발생한다. 듀티보정 코드 발생기는 상기 듀티-업 신호 및 상기 듀티-다운 신호에 응답하여 상기 듀티보정 코드를 발생한다.

- [0008] 본 발명의 하나의 실시예에 의하면, 상기 듀티 검출부는 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 상기 지연시간을 조절할 수 있다.
- [0009] 본 발명의 하나의 실시예에 의하면, 상기 듀티 검출부는 위상 분리기(phase splitter), 제 1 지연 회로, 제 2 지연 회로, 제 1 플립플롭, 제 2 플립플롭 및 제어 회로를 포함할 수 있다.
- [0010] 위상 분리는 상기 출력 클럭신호의 위상을 분리하여 제 1 클럭신호 및 상기 제 1 클럭신호와 반대의 위상을 갖는 제 2 클럭신호를 발생한다. 제 1 지연 회로는 지연-업 신호 및 지연-다운 신호에 응답하여 지연량을 조절하고, 상기 제 1 클럭신호를 지연시켜 제 3 클럭신호를 발생한다. 제 2 지연 회로는 상기 지연-업 신호 및 상기 지연-다운 신호에 응답하여 지연량을 조절하고, 상기 제 2 클럭신호를 지연시켜 제 4 클럭신호를 발생한다. 제 1 플립플롭은 상기 제 3 클럭신호에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 1 샘플 데이터를 발생한다. 제 2 플립플롭은 상기 제 4 클럭신호에 응답하여 상기 제 2 클럭신호를 샘플링하고 상기 제 2 샘플 데이터를 발생한다. 제어 회로는 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 상기 지연-업 신호, 상기 지연-다운 신호, 상기 듀티-업 신호 및 상기 듀티-다운 신호를 발생한다.
- [0011] 본 발명의 하나의 실시예에 의하면, 상기 제어 회로는 지연 제어회로 및 듀티 제어회로를 포함할 수 있다.
- [0012] 지연 제어회로는 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 지연-업 신호 및 상기 지연-다운 신호를 발생한다. 듀티 제어회로는 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 듀티-업 신호 및 상기 듀티-다운 신호를 발생한다.
- [0013] 본 발명의 하나의 실시예에 의하면, 상기 듀티 검출부는 상기 제 1 및 제 2 샘플 데이터가 인에이블 상태이면 지연-업 신호를 발생하여 상기 출력 클럭신호의 상기 지연시간을 증가시키고, 상기 제 1 및 제 2 샘플 데이터가 디스에이블 상태이면 지연-다운 신호를 발생하여 상기 출력 클럭신호의 상기 지연시간을 감소시킬 수 있다.
- [0014] 본 발명의 하나의 실시예에 의하면, 상기 듀티 검출부는 상기 제 1 샘플 데이터가 디스에이블 상태이고 상기 제 2 샘플 데이터가 인에이블 상태이면 상기 듀티-업 신호를 발생하여 상기 출력 클럭신호의 상기 듀티를 증가시킬 수 있다.
- [0015] 본 발명의 하나의 실시예에 의하면, 상기 제 1 샘플 데이터가 인에이블 상태이고 상기 제 2 샘플 데이터가 디스에이블 상태이면 상기 듀티-다운 신호를 발생하여 상기 출력 클럭신호의 상기 듀티를 감소시킬 수 있다.
- [0016] 본 발명의 하나의 실시예에 의하면, 상기 듀티 검출부는 위상 분리기, 지연 회로, 제 1 플립플롭, 제 2 플립플롭 및 제어 회로를 포함할 수 있다.
- [0017] 위상 분리는 상기 출력 클럭신호의 위상을 분리하여 제 1 클럭신호 및 상기 제 1 클럭신호와 반대의 위상을 갖는 제 2 클럭신호를 발생한다. 지연 회로는 지연-업 신호 및 지연-다운 신호에 응답하여 지연량을 조절하고, 상기 제 1 클럭신호를 지연시켜 제 3 클럭신호를 발생한다. 제 1 플립플롭은 상기 제 3 클럭신호의 상승 에지(rising edge)에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 1 샘플 데이터를 발생한다. 제 2 플립플롭은 상기 제 3 클럭신호의 하강 에지(falling edge)에 응답하여 상기 제 2 클럭신호를 샘플링하고 상기 제 2 샘플 데이터를 발생한다. 제어 회로는 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 상기 지연-업 신호, 상기 지연-다운 신호, 상기 듀티-업 신호 및 상기 듀티-다운 신호를 발생한다.
- [0018] 본 발명의 하나의 실시예에 의하면, 상기 듀티 검출부는 제 1 위상 분리기, 지연 회로, 제 2 위상 분리기, 제 1 플립플롭, 제 2 플립플롭 및 제어 회로를 포함할 수 있다.
- [0019] 제 1 위상 분리는 상기 출력 클럭신호의 위상을 분리하여 제 1 클럭신호 및 상기 제 1 클럭신호와 반대의 위상을 갖는 제 2 클럭신호를 발생한다. 지연 회로는 지연-업 신호 및 지연-다운 신호에 응답하여 지연량을 조절하고, 상기 제 1 클럭신호를 지연시킨다. 제 2 위상 분리는 상기 지연 회로의 출력신호의 위상을 분리하여 서로 180도 위상 차이를 갖는 제 3 클럭신호 및 제 4 클럭신호를 발생한다. 제 1 플립플롭은 상기 제 3 클럭신호에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 1 샘플 데이터를 발생한다. 제 2 플립플롭은 상기 제 4 클럭신호에 응답하여 상기 제 2 클럭신호를 샘플링하고 상기 제 2 샘플 데이터를 발생한다. 제어 회로는 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 상기 지연-업 신호, 상기 지연-다운 신호, 상기 듀티-업 신호 및 상기 듀티-다운 신호를 발생한다.
- [0020] 본 발명의 하나의 실시예에 의하면, 상기 듀티 검출부는 지연 회로, 제 1 플립플롭, 제 2 플립플롭 및 제어 회

로를 포함할 수 있다.

- [0021] 지연 회로는 지연-업 신호 및 지연-다운 신호에 응답하여 지연량을 조절하고, 상기 출력 클럭신호에 대응하는 제 1 클럭신호를 지연시켜 제 2 클럭신호를 발생한다. 제 1 플립플롭은 상기 제 2 클럭신호의 상승 에지에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 1 샘플 데이터를 발생한다. 제 2 플립플롭은 상기 제 2 클럭신호의 하강 에지에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 2 샘플 데이터를 발생한다. 제어 회로는 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 상기 지연-업 신호, 상기 지연-다운 신호, 상기 듀티-업 신호 및 상기 듀티-다운 신호를 발생한다.
- [0022] 본 발명의 하나의 실시예에 의하면, 상기 듀티 검출부는 지연 회로, 위상 분리기, 제 1 플립플롭, 제 2 플립플롭 및 제어 회로를 포함할 수 있다.
- [0023] 지연 회로는 지연-업 신호 및 지연-다운 신호에 응답하여 지연량을 조절하고, 상기 출력 클럭신호에 대응하는 제 1 클럭신호를 지연시킨다. 위상 분리기는 상기 지연 회로의 출력신호의 위상을 분리하여 서로 180도 위상 차이를 갖는 제 2 클럭신호 및 제 3 클럭신호를 발생한다. 제 1 플립플롭은 상기 제 2 클럭신호에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 1 샘플 데이터를 발생한다. 제 2 플립플롭은 상기 제 3 클럭신호에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 2 샘플 데이터를 발생한다. 제어 회로는 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 상기 지연-업 신호, 상기 지연-다운 신호, 상기 듀티-업 신호 및 상기 듀티-다운 신호를 발생한다.
- [0024] 본 발명의 하나의 실시예에 의하면, 상기 듀티 보정 회로는 상기 듀티 사이클 보정부와 상기 듀티 검출부 사이에 클럭 전송 경로를 더 포함할 수 있다.
- [0025] 본 발명의 하나의 실시예에 따른 지연동기루프 회로는 외부 클럭신호에 동기된 제 1 내부 클럭신호를 발생하는 지연동기루프, 및 상기 제 1 내부 클럭신호의 듀티 사이클을 보정하는 듀티 보정 회로를 포함한다. 상기 듀티 보정 회로는 듀티 사이클 보정부, 듀티 검출부 및 듀티보정 코드 발생기를 포함한다.
- [0026] 듀티 사이클 보정부는 듀티보정 코드에 응답하여 상기 제 1 내부 클럭신호의 듀티 사이클을 보정하여 출력 클럭신호를 발생한다. 듀티 검출부는 상기 출력 클럭신호의 지연 시간을 조절하여 샘플링 클럭신호를 발생하고, 상기 샘플링 클럭신호에 응답하여 상기 출력 클럭신호를 샘플링하고 서로 180도 위상 차이를 갖는 제 1 샘플 데이터(sampled data) 및 제 2 샘플 데이터를 발생하고, 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 상기 듀티-업 신호 및 듀티-다운 신호를 발생한다. 듀티보정 코드 발생기는 상기 듀티-업 신호 및 듀티-다운 신호에 응답하여 상기 듀티보정 코드를 발생한다.
- [0027] 본 발명의 하나의 실시예에 따른 반도체 장치는 외부 클럭신호에 동기되고 듀티 사이클 보정이 된 내부 클럭신호를 발생하는 지연동기루프 회로, 및 상기 내부 클럭신호에 응답하여 동작하는 내부 회로를 포함한다. 상기 지연동기루프 회로는 상기 외부 클럭신호에 대응하는 제 1 내부 클럭신호의 듀티 사이클을 보정하는 듀티 보정 회로를 포함한다. 상기 듀티 보정 회로는 듀티 사이클 보정부, 듀티 검출부 및 듀티보정 코드 발생기를 포함한다.
- [0028] 듀티 사이클 보정부는 듀티보정 코드에 응답하여 상기 제 1 내부 클럭신호의 듀티 사이클을 보정하여 출력 클럭신호를 발생한다. 듀티 검출부는 상기 출력 클럭신호의 지연 시간을 조절하여 샘플링 클럭신호를 발생하고, 상기 샘플링 클럭신호에 응답하여 상기 출력 클럭신호를 샘플링하고 서로 180도 위상 차이를 갖는 제 1 샘플 데이터(sampled data) 및 제 2 샘플 데이터를 발생하고, 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 상기 듀티-업 신호 및 상기 듀티-다운 신호를 발생한다. 듀티보정 코드 발생기는 상기 듀티-업 신호 및 상기 듀티-다운 신호에 응답하여 상기 듀티보정 코드를 발생한다.
- [0029] 본 발명의 하나의 실시예에 따른 듀티 보정 방법은 출력 클럭신호의 지연 시간을 조절하여 샘플링 클럭신호를 발생하는 단계, 상기 샘플링 클럭신호에 응답하여 상기 출력 클럭신호를 샘플링하고 서로 180도 위상 차이를 갖는 제 1 샘플 데이터(sampled data) 및 제 2 샘플 데이터를 발생하는 단계, 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 듀티-업 신호 및 듀티-다운 신호를 발생하는 단계, 상기 듀티-업 신호 및 상기 듀티-다운 신호에 응답하여 듀티보정 코드를 발생하는 단계, 및 상기 듀티보정 코드에 응답하여 입력 클럭신호의 듀티 사이클을 보정하여 출력 클럭신호를 발생하는 단계를 포함한다.
- [0030] 본 발명의 하나의 실시예에 의하면, 상기 듀티 보정 방법은 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 상기 지연시간을 조절할 수 있다.

[0031] 본 발명의 하나의 실시예에 의하면, 상기 듀티 보정 방법은 상기 출력 클럭신호의 위상을 분리하여 제 1 클럭신호 및 상기 제 1 클럭신호와 반대의 위상을 갖는 제 2 클럭신호를 발생하는 단계, 지연-업 신호 및 지연-다운 신호에 응답하여 제 1 지연회로의 지연량을 조절하는 단계, 상기 제 1 지연회로를 사용하여 상기 제 1 클럭신호를 지연시켜 제 3 클럭신호를 발생하는 단계, 상기 지연-업 신호 및 상기 지연-다운 신호에 응답하여 제 2 지연회로의 지연량을 조절하는 단계, 상기 제 2 지연회로를 사용하여 상기 제 2 클럭신호를 지연시켜 제 4 클럭신호를 발생하는 단계, 상기 제 3 클럭신호에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 1 샘플 데이터를 발생하는 단계, 상기 제 4 클럭신호에 응답하여 상기 제 2 클럭신호를 샘플링하고 상기 제 2 샘플 데이터를 발생하는 단계, 및 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 상기 지연-업 신호, 상기 지연-다운 신호, 상기 듀티-업 신호 및 상기 듀티-다운 신호를 발생하는 단계를 포함할 수 있다.

[0032] 본 발명의 하나의 실시예에 의하면, 상기 듀티 보정 방법은 상기 제 1 및 제 2 샘플 데이터가 인에이블 상태이면 지연-업 신호를 발생하여 상기 출력 클럭신호의 상기 지연시간을 증가시키고, 상기 제 1 및 제 2 샘플 데이터가 디스에이블 상태이면 지연-다운 신호를 발생하여 상기 출력 클럭신호의 상기 지연시간을 감소시킬 수 있다.

[0033] 본 발명의 하나의 실시예에 의하면, 상기 듀티 보정 방법은 상기 제 1 샘플 데이터가 디스에이블 상태이고 상기 제 2 샘플 데이터가 인에이블 상태이면 상기 듀티-업 신호를 발생하여 상기 출력 클럭신호의 상기 듀티를 증가시킬 수 있다.

[0034] 본 발명의 하나의 실시예에 의하면, 상기 듀티 보정 방법은 상기 제 1 샘플 데이터가 인에이블 상태이고 상기 제 2 샘플 데이터가 디스에이블 상태이면 상기 듀티-다운 신호를 발생하여 상기 출력 클럭신호의 상기 듀티를 감소시킬 수 있다.

발명의 효과

[0035] 본 발명의 실시예에 따른 듀티 검출기를 포함한 듀티 보정회로는 샘플된 데이터의 논리 상태에 기초하여 디지털 방식으로 샘플링 클럭신호의 지연 시간을 조절하고 출력 클럭신호의 듀티를 검출한다. 따라서, 본 발명의 실시예에 따른 듀티 보정회로는 정밀하게 출력 클럭신호의 듀티를 검출하고 듀티를 보정할 수 있다. 따라서, 본 발명의 실시예에 따른 듀티 보정회로를 포함한 반도체 장치는 전류 소모가 적다.

도면의 간단한 설명

- [0036] 도 1은 본 발명의 하나의 실시예에 따른 듀티 보정 회로를 나타내는 블록도이다.
- 도 2는 도 1의 듀티 보정 회로에 포함된 듀티 검출부의 하나의 예를 나타내는 회로도이다.
- 도 3은 도 2의 듀티 검출부에 포함된 제어 회로의 동작을 나타내는 진리표이다.
- 도 4 내지 도 8은 도 2의 듀티 검출부의 동작을 나타내는 타이밍도들이다.
- 도 9는 도 1의 듀티 보정 회로에 포함된 듀티 검출부의 다른 하나의 예를 나타내는 회로도이다.
- 도 10은 도 1의 듀티 보정 회로에 포함된 듀티 검출부의 또 다른 하나의 예를 나타내는 회로도이다.
- 도 11은 도 1의 듀티 보정 회로에 포함된 듀티 검출부의 또 다른 하나의 예를 나타내는 회로도이다.
- 도 12는 도 1의 듀티 보정 회로에 포함된 듀티 검출부의 또 다른 하나의 예를 나타내는 회로도이다.
- 도 13은 본 발명의 다른 하나의 실시예에 따른 듀티 보정 회로를 나타내는 블록도이다.
- 도 14는 본 발명의 실시예들에 따른 듀티 보정 회로를 포함하는 지연동기루프 회로의 하나의 예를 나타내는 블록도이다.
- 도 15는 도 14의 지연동기루프 회로를 포함하는 반도체 장치의 하나의 예를 나타내는 블록도이다.
- 도 16은 본 발명의 하나의 실시예에 따른 듀티 보정 방법을 나타내는 흐름도이다.
- 도 17은 본 발명의 다른 하나의 실시예에 따른 듀티 보정 방법을 나타내는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.
- [0038] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0039] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0040] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0041] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0042] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0043] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- [0044] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- [0045] 도 1은 본 발명의 하나의 실시예에 따른 듀티 보정 회로를 나타내는 블록도이다.
- [0046] 도 1을 참조하면, 듀티 보정 회로(100)는 듀티 사이클 보정부(110), 듀티 검출부(120) 및 듀티보정 코드 발생기(150)를 포함한다.
- [0047] 듀티 사이클 보정부(110)는 듀티보정 코드(CODE_DCC)에 응답하여 입력 클럭신호(CLKIN)의 듀티 사이클을 보정하여 출력 클럭신호(CLKOUT)를 발생한다. 듀티 검출부(120)는 출력 클럭신호(CLKOUT)의 지연 시간을 조절하여 샘플링 클럭신호를 발생하고, 샘플링 클럭신호에 응답하여 출력 클럭신호(CLKOUT)를 샘플링하고 서로 180도 위상 차이를 갖는 제 1 샘플 데이터(sampled data) 및 제 2 샘플 데이터를 발생하고, 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 출력 클럭신호(CLKOUT)의 듀티를 검출하고 듀티-업 신호(DUP) 및 듀티-다운 신호(DDN)를 발생한다. 듀티보정 코드 발생기(150)는 듀티-업 신호(DUP) 및 듀티-다운 신호(DDN)에 응답하여 듀티보정 코드(CODE_DCC)를 발생한다.
- [0048] 도 2는 도 1의 듀티 보정 회로(100)에 포함된 듀티 검출부(120)의 하나의 예를 나타내는 회로도이다.
- [0049] 도 2를 참조하면, 듀티 검출부(120a)는 위상 분리기(phase splitter)(121), 제 1 지연 회로(122), 제 2 지연 회로(123), 제 1 플립플롭(124), 제 2 플립플롭(125) 및 제어 회로(126)를 포함한다.
- [0050] 위상 분리기(121)는 출력 클럭신호(CLKOUT)의 위상을 분리하여 제 1 클럭신호(CLK1) 및 상기 제 1 클럭신호(CLK1)와 반대의 위상을 갖는 제 2 클럭신호(CLK1B)를 발생한다. 제 1 지연 회로(122)는 지연-업 신호(DLYUP)

및 지연-다운 신호(DLYDN)에 응답하여 지연량을 조절하고, 제 1 클럭신호(CLK1)를 지연시켜 제 3 클럭신호(DCLK1)를 발생한다. 제 2 지연 회로(123)는 지연-업 신호(DLYUP) 및 지연-다운 신호(DLYDN)에 응답하여 지연량을 조절하고, 제 2 클럭신호(CLK1B)를 지연시켜 제 4 클럭신호(DCLK1B)를 발생한다. 제 1 플립플롭(124)은 제 3 클럭신호(DCLK1)에 응답하여 제 1 클럭신호(CLK1)를 샘플링하고 제 1 샘플 데이터(SD)를 발생한다. 제 2 플립플롭(125)은 제 4 클럭신호(DCLK1B)에 응답하여 제 2 클럭신호(CLK1B)를 샘플링하고 제 2 샘플 데이터(SDB)를 발생한다. 제어 회로(126)는 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)의 논리 상태들에 기초하여 출력 클럭신호(CLKOUT)의 듀티를 검출하고 지연-업 신호(DLYUP), 지연-다운 신호(DLYDN), 듀티-업 신호(DUP) 및 듀티-다운 신호(DDN)를 발생한다.

- [0051] 제어 회로(126)는 지연 제어회로(128) 및 듀티 제어회로(127)를 포함한다. 지연 제어회로(128)는 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)의 논리 상태들에 기초하여 지연-업 신호(DLYUP) 및 지연-다운 신호(DLYDN)를 발생한다. 듀티 제어회로(127)는 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)의 논리 상태들에 기초하여 듀티-업 신호(DUP) 및 듀티-다운 신호(DDN)를 발생한다.
- [0052] 도 3은 도 2의 듀티 검출부(120a)에 포함된 제어 회로(126)의 동작을 나타내는 진리표이다.
- [0053] 도 3을 참조하면, 제어 회로(126)는 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)가 인에이블 상태이면 지연-업 신호(DLYUP)를 발생하여 출력 클럭신호(CLKOUT)의 지연시간을 증가시키고, 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)가 디스에이블 상태이면 지연-다운 신호(DLYDN)를 발생하여 출력 클럭신호(CLKOUT)의 지연시간을 감소시킨다.
- [0054] 또한, 제어 회로(126)는 제 1 샘플 데이터(SD)가 디스에이블 상태이고 제 2 샘플 데이터(SDB)가 인에이블 상태이면 듀티-업 신호(DUP)를 발생하여 출력 클럭신호(CLKOUT)의 듀티를 증가시킨다.
- [0055] 또한, 제어 회로(126)는 제 1 샘플 데이터(SD)가 인에이블 상태이고 제 2 샘플 데이터(SDB)가 디스에이블 상태이면 듀티-다운 신호(DDN)를 발생하여 출력 클럭신호(CLKOUT)의 듀티를 감소시킨다.
- [0056] 도 4 내지 도 8은 도 2의 듀티 검출부의 동작을 나타내는 타이밍도들이다.
- [0057] 도 4는 도 3의 표에서 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)가 인에이블 상태일 때, 도 2의 듀티 검출부(120a)의 동작을 나타낸다.
- [0058] 도 4를 참조하면, 제 1 지연 회로(122) 및 제 2 지연 회로(123)의 지연량을 최소 지연량(minimum delay)만큼 지연시킨 경우, 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)는 인에이블 상태를 갖는다. 이 조건에서, 듀티 검출부(120a)는 지연-업 신호(DLYUP)를 발생하여 출력 클럭신호(CLKOUT)의 지연량을 증가시킨다.
- [0059] 도 5는 도 3의 표에서 제 1 샘플 데이터(SD) 인에이블 상태이고, 제 2 샘플 데이터(SDB)가 디스에이블 상태일 때, 도 2의 듀티 검출부(120a)의 동작을 나타낸다.
- [0060] 도 5를 참조하면, 제 1 지연 회로(122) 및 제 2 지연 회로(123)의 지연량을 도 3의 경우보다 증가시킨 경우, 제 1 샘플 데이터(SD)는 인에이블 상태를 갖고, 제 2 샘플 데이터(SDB)는 디스에이블 상태를 갖는다. 이 조건에서, 듀티 검출부(120a)는 듀티-다운 신호(DDN)를 발생하여 출력 클럭신호(CLKOUT)의 듀티를 감소시킨다.
- [0061] 도 6은 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)가 인에이블 상태일 때, 도 2의 듀티 검출부(120a)의 동작을 나타낸다.
- [0062] 도 6을 참조하면, 듀티 검출부(120a)의 듀티를 도 5의 경우보다 감소시킨 경우, 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)는 인에이블 상태를 갖는다. 이 조건에서, 듀티 검출부(120a)는 지연-업 신호(DLYUP)를 발생하여 출력 클럭신호(CLKOUT)의 지연량을 증가시킨다.
- [0063] 도 7은 도 6의 경우보다 지연량을 증가시켜 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)가 디스에이블 상태일 때, 도 2의 듀티 검출부(120a)의 동작을 나타낸다.
- [0064] 도 7을 참조하면, 제 1 지연 회로(122) 및 제 2 지연 회로(123)의 지연량을 도 5의 경우보다 증가시킨 경우, 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)는 디스에이블 상태를 갖는다. 이 조건에서, 듀티 검출부(120a)는 지연-다운 신호(DLYDN)를 발생하여 출력 클럭신호(CLKOUT)의 지연량을 감소시킨다.
- [0065] 도 8은 도 3의 표에서 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)가 인에이블 상태일 때, 도 2의 듀티 검출부(120a)의 동작을 나타낸다.

- [0066] 도 8을 참조하면, 제 1 지연 회로(122) 및 제 2 지연 회로(123)의 지연량을 도 7의 경우보다 감소시킨 경우, 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)는 인에이블 상태를 갖는다. 이 조건에서, 듀티 검출부(120a)는 지연-업 신호(DLYUP)를 발생하여 출력 클럭신호(CLKOUT)의 지연량을 증가시킨다.
- [0067] 도 1에 도시된 본 발명의 실시예에 따른 듀티 보정 회로(100)는 도 4 내지 도 8에 도시된 타이밍도들에 나타낸 바와 같이, 지연-업, 지연-다운, 듀티-업, 듀티-다운 동작을 반복하면서 출력 클럭신호(CLKOUT)의 듀티를 보정한다. 본 발명의 실시예에 따른 듀티 보정 회로(100)는 반 클럭 주기(half clock period) 동안 자동 트래킹(self-tracking)을 수행하여 출력 클럭신호(CLKOUT)의 듀티를 보정할 수 있다.
- [0068] 도 9는 도 1의 듀티 보정 회로(100)에 포함된 듀티 검출부(120)의 다른 하나의 예를 나타내는 회로도이다.
- [0069] 도 9를 참조하면, 듀티 검출부(120b)는 위상 분리기(121), 제 1 지연 회로(122), 제 1 플립플롭(124), 제 3 플립플롭(125a) 및 제어 회로(126)를 포함한다.
- [0070] 위상 분리기(121)는 출력 클럭신호(CLKOUT)의 위상을 분리하여 제 1 클럭신호(CLK1) 및 제 1 클럭신호(CLK1)와 반대의 위상을 갖는 제 2 클럭신호(CLK1B)를 발생한다. 제 1 지연 회로(122)는 지연-업 신호(DLYUP) 및 지연-다운 신호(DLYDN)에 응답하여 지연량을 조절하고, 제 1 클럭신호(CLK1)를 지연시켜 제 3 클럭신호(DCLK1)를 발생한다. 제 1 플립플롭(124)은 제 3 클럭신호(DCLK1)의 상승 에지(rising edge)에 응답하여 제 1 클럭신호(CLK1)를 샘플링하고 제 1 샘플 데이터(SD)를 발생한다. 제 3 플립플롭(125a)은 상기 제 3 클럭신호(DCLK1)의 하강 에지(falling edge)에 응답하여 제 2 클럭신호(CLK1B)를 샘플링하고 제 2 샘플 데이터(SDB)를 발생한다. 제어 회로(126)는 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)의 논리 상태들에 기초하여 출력 클럭신호(CLKOUT)의 듀티를 검출하고 지연-업 신호(DLYUP), 지연-다운 신호(DLYDN), 듀티-업 신호(DUP) 및 듀티-다운 신호(DDN)를 발생한다. 도 2의 예에서와 마찬가지로, 제어 회로(126)는 지연 제어회로(128) 및 듀티 제어회로(127)를 포함한다.
- [0071] 도 10은 도 1의 듀티 보정 회로(100)에 포함된 듀티 검출부(120)의 또 다른 하나의 예를 나타내는 회로도이다.
- [0072] 도 10을 참조하면, 듀티 검출부(120c)는 제 1 위상 분리기(121), 제 1 지연 회로(122), 제 2 위상 분리기(129), 제 1 플립플롭(124), 제 2 플립플롭(125) 및 제어 회로(126)를 포함한다.
- [0073] 제 1 위상 분리기(121)는 출력 클럭신호(CLKOUT)의 위상을 분리하여 제 1 클럭신호(CLK1) 및 제 1 클럭신호(CLK1)와 반대의 위상을 갖는 제 2 클럭신호(CLK1B)를 발생한다. 제 1 지연 회로(122)는 지연-업 신호(DLYUP) 및 지연-다운 신호(DLYDN)에 응답하여 지연량을 조절하고, 제 1 클럭신호(CLK1)를 지연시킨다. 제 2 위상 분리기(129)는 제 1 지연 회로(122)의 출력신호의 위상을 분리하여 서로 180도 위상 차이를 갖는 제 3 클럭신호(DCLK1) 및 제 4 클럭신호(DCLK1B)를 발생한다. 제 1 플립플롭(124)은 제 3 클럭신호(DCLK1)에 응답하여 제 1 클럭신호(CLK1)를 샘플링하고 제 1 샘플 데이터(SD)를 발생한다. 제 2 플립플롭(125)은 제 4 클럭신호(DCLK1B)에 응답하여 제 2 클럭신호(CLK1B)를 샘플링하고 제 2 샘플 데이터(SDB)를 발생한다. 제어 회로(126)는 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)의 논리 상태들에 기초하여 출력 클럭신호(CLKOUT)의 듀티를 검출하고 지연-업 신호(DLYUP), 상기 지연-다운 신호(DLYDN), 듀티-업 신호(DUP) 및 듀티-다운 신호(DDN)를 발생한다. 도 2의 예에서와 마찬가지로, 제어 회로(126)는 지연 제어회로(128) 및 듀티 제어회로(127)를 포함한다.
- [0074] 도 11은 도 1의 듀티 보정 회로(100)에 포함된 듀티 검출부(120)의 또 다른 하나의 예를 나타내는 회로도이다.
- [0075] 도 11을 참조하면, 듀티 검출부(120d)는 제 1 지연 회로(122), 제 1 플립플롭(124), 제 2 플립플롭(125) 및 제어 회로(126)를 포함한다.
- [0076] 제 1 지연 회로(122)는 지연-업 신호(DLYUP) 및 지연-다운 신호(DLYDN)에 응답하여 지연량을 조절하고, 출력 클럭신호(CLKOUT)에 대응하는 제 1 클럭신호(CLK1)를 지연시켜 제 2 클럭신호(DCLK1)를 발생한다. 제 1 플립플롭(124)은 제 2 클럭신호(DCLK1)의 상승 에지에 응답하여 제 1 클럭신호(CLK1)를 샘플링하고 제 1 샘플 데이터(SD)를 발생한다. 제 2 플립플롭(125)은 제 2 클럭신호(DCLK1)의 하강 에지에 응답하여 제 1 클럭신호(CLK1)를 샘플링하고 제 2 샘플 데이터(SDB)를 발생한다. 제어 회로(126)는 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)의 논리 상태들에 기초하여 출력 클럭신호(CLKOUT)의 듀티를 검출하고 지연-업 신호(DLYUP), 상기 지연-다운 신호(DLYDN), 듀티-업 신호(DUP) 및 듀티-다운 신호(DDN)를 발생한다. 도 2의 예에서와 마찬가지로, 제어 회로(126)는 지연 제어회로(128) 및 듀티 제어회로(127)를 포함한다.
- [0077] 도 12는 도 1의 듀티 보정 회로(100)에 포함된 듀티 검출부(120)의 또 다른 하나의 예를 나타내는 회로도이다.
- [0078] 도 12를 참조하면, 듀티 검출부(120e)는 제 1 지연 회로(122), 제 2 위상 분리기(129), 제 1 플립플롭(124),

제 2 플립플롭(125) 및 제어 회로(126)를 포함한다.

- [0079] 제 1 지연 회로(122)는 지연-업 신호(DLYUP) 및 지연-다운 신호(DLYDN)에 응답하여 지연량을 조절하고, 출력 클럭신호(CLKOUT)에 대응하는 제 1 클럭신호(CLK1)를 지연시킨다. 제 2 위상 분리기(129)는 제 1 지연 회로(122)의 출력신호의 위상을 분리하여 서로 180도 위상 차이를 갖는 제 2 클럭신호(DCLK1) 및 제 3 클럭신호(DCLK1B)를 발생한다. 제 1 플립플롭(124)은 제 2 클럭신호(DCLK1)에 응답하여 제 1 클럭신호(CLK1)를 샘플링하고 제 1 샘플 데이터(SD)를 발생한다. 제 2 플립플롭(125)은 제 3 클럭신호(DCLK1B)에 응답하여 제 1 클럭신호(CLK1)를 샘플링하고 제 2 샘플 데이터(SDB)를 발생한다. 제어 회로(126)는 제 1 샘플 데이터(SD) 및 제 2 샘플 데이터(SDB)의 논리 상태들에 기초하여 출력 클럭신호(CLKOUT)의 듀티를 검출하고 지연-업 신호(DLYUP), 상기 지연-다운 신호(DLYDN), 듀티-업 신호(DUP) 및 듀티-다운 신호(DDN)를 발생한다. 도 2의 예에서와 마찬가지로, 제어 회로(126)는 지연 제어회로(128) 및 듀티 제어회로(127)를 포함한다.
- [0080] 도 13은 본 발명의 다른 하나의 실시예에 따른 듀티 보정 회로(200)를 나타내는 블록도이다.
- [0081] 도 13을 참조하면, 듀티 보정 회로(200)는 듀티 사이클 보정부(110), 듀티 검출부(120), 듀티보정 코드 발생기(150) 및 클럭 전송 경로(160)를 포함한다.
- [0082] 듀티 사이클 보정부(110)는 듀티보정 코드(CODE_DCC)에 응답하여 입력 클럭신호(CLKIN)의 듀티 사이클을 보정하여 출력 클럭신호(CLKOUT)를 발생한다. 클럭 전송 경로(160)는 버퍼 회로 및/또는 래치 회로 등으로 구성될 수 있으며, 듀티 사이클 보정부(110)와 듀티 검출부(120) 사이에 위치한다. 듀티 검출부(120)는 출력 클럭신호(CLKOUT)의 지연 시간을 조절하여 샘플링 클럭신호를 발생하고, 샘플링 클럭신호에 응답하여 출력 클럭신호(CLKOUT)를 샘플링하고 서로 180도 위상 차이를 갖는 제 1 샘플 데이터(sampled data) 및 제 2 샘플 데이터를 발생하고, 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 출력 클럭신호(CLKOUT)의 듀티를 검출하고 듀티-업 신호(DUP) 및 듀티-다운 신호(DDN)를 발생한다. 듀티보정 코드 발생기(150)는 듀티-업 신호(DUP) 및 듀티-다운 신호(DDN)에 응답하여 듀티보정 코드(CODE_DCC)를 발생한다.
- [0083] 도 14는 본 발명의 실시예들에 따른 듀티 보정 회로를 포함하는 지연동기루프 회로(300)의 하나의 예를 나타내는 블록도이다.
- [0084] 도 14를 참조하면, 지연동기루프 회로(300)는 지연동기루프(310) 및 듀티 보정 회로(320)를 포함한다. 지연동기루프(310)는 외부 클럭신호에 동기된 제 1 내부 클럭신호(ICLKP)를 발생하고, 듀티 보정 회로(320)는 제 1 내부 클럭신호(ICLKP)의 듀티 사이클을 보정하며, 본 발명의 실시예들에 따른 회로 구성들을 가질 수 있다.
- [0085] 도 15는 도 14의 지연동기루프 회로를 포함하는 반도체 장치(400)의 하나의 예를 나타내는 블록도이다.
- [0086] 도 15를 참조하면, 반도체 장치(400)는 지연동기루프 회로(410) 및 내부 회로(420)를 포함한다.
- [0087] 지연동기루프 회로(410)는 듀티 보정 회로를 포함하고, 외부 클럭신호에 동기되고 듀티 사이클 보정이 된 내부 클럭신호를 발생한다. 내부 회로(420)는 내부 클럭신호에 응답하여 동작한다. 지연동기루프 회로(410)는 도 14에 도시되어 있는 회로 구성을 가질 수 있다.
- [0088] 따라서, 본 발명의 실시예에 따른 듀티 검출기를 포함한 듀티 보정회로는 샘플된 데이터의 논리 상태에 기초하여 디지털 방식으로 샘플링 클럭신호의 지연 시간을 조절하고 출력 클럭신호의 듀티를 검출한다. 따라서, 본 발명의 실시예에 따른 듀티 보정회로는 보다 정밀하게 출력 클럭신호의 듀티를 검출하고 50:50의 듀티비를 갖는 출력 클럭신호를 발생할 수 있다.
- [0089] 도 16은 본 발명의 하나의 실시예에 따른 듀티 보정 방법을 나타내는 흐름도이다.
- [0090] 도 16을 참조하면, 본 발명의 실시예에 따른 듀티 보정 방법은 다음과 같다.
- [0091] 1) 출력 클럭신호의 지연 시간을 조절하여 샘플링 클럭신호를 발생한다(S1).
- [0092] 2) 상기 샘플링 클럭신호에 응답하여 상기 출력 클럭신호를 샘플링하고 서로 180도 위상 차이를 갖는 제 1 샘플 데이터(sampled data) 및 제 2 샘플 데이터를 발생한다(S2).
- [0093] 3) 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 듀티-업 신호 및 듀티-다운 신호를 발생한다(S3).
- [0094] 4) 상기 듀티-업 신호 및 상기 듀티-다운 신호에 응답하여 듀티보정 코드를 발생한다(S4).

- [0095] 5) 상기 듀티보정 코드에 응답하여 입력 클럭신호의 듀티 사이클을 보정하여 출력 클럭신호를 발생한다(S5).
- [0096] 도 17은 본 발명의 다른 하나의 실시예에 따른 듀티 보정 방법을 나타내는 흐름도이다.
- [0097] 도 17을 참조하면, 본 발명의 실시예에 따른 듀티 보정 방법은 다음과 같다.
- [0098] 1) 출력 클럭신호의 위상을 분리하여 제 1 클럭신호 및 상기 제 1 클럭신호와 반대의 위상을 갖는 제 2 클럭신호를 발생한다(S11).
- [0099] 2) 지연-업 신호 및 지연-다운 신호에 응답하여 제 1 지연회로의 지연량을 조절한다(S12).
- [0100] 3) 상기 제 1 지연회로를 사용하여 상기 제 1 클럭신호를 지연시켜 제 3 클럭신호를 발생한다(S13).
- [0101] 4) 상기 지연-업 신호 및 상기 지연-다운 신호에 응답하여 제 2 지연회로의 지연량을 조절한다(S14).
- [0102] 5) 상기 제 2 지연회로를 사용하여 상기 제 2 클럭신호를 지연시켜 제 4 클럭신호를 발생한다(S15).
- [0103] 6) 상기 제 3 클럭신호에 응답하여 상기 제 1 클럭신호를 샘플링하고 상기 제 1 샘플 데이터를 발생한다(S16).
- [0104] 7) 상기 제 4 클럭신호에 응답하여 상기 제 2 클럭신호를 샘플링하고 상기 제 2 샘플 데이터를 발생한다(S17).
- [0105] 8) 상기 제 1 및 제 2 샘플 데이터의 논리 상태들에 기초하여 상기 출력 클럭신호의 듀티를 검출하고 상기 지연-업 신호, 상기 지연-다운 신호, 상기 듀티-업 신호 및 상기 듀티-다운 신호를 발생한다(S18).

산업상 이용가능성

- [0106] 본 발명은 반도체 장치에 적용이 가능하며, 특히 반도체 장치의 클럭 발생 회로에 적용이 가능하다.
- [0107] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

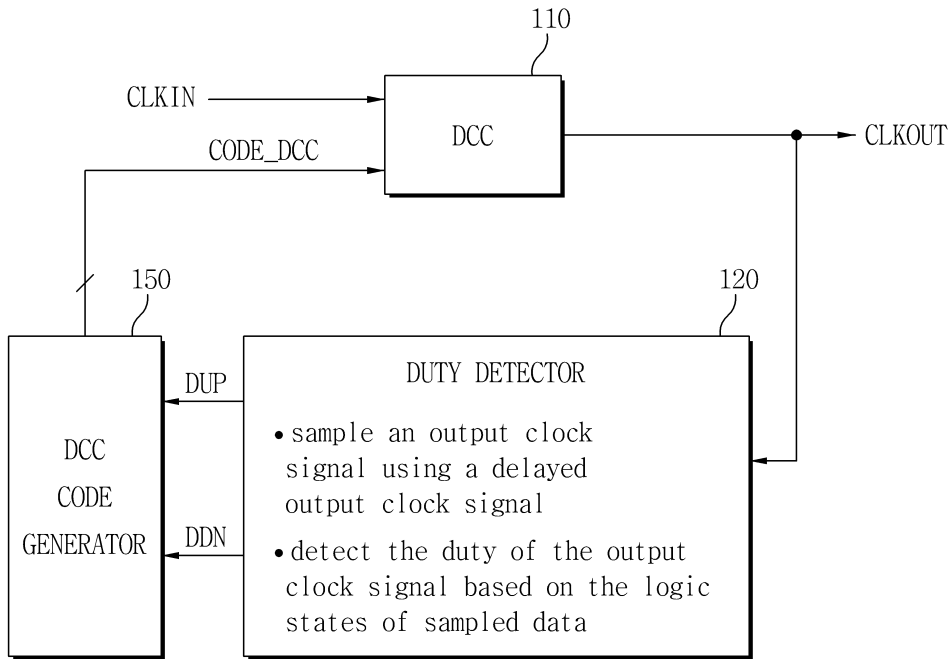
부호의 설명

- | | | |
|--------|-------------------------|---------------------|
| [0108] | 100, 200, 320: 듀티 보정 회로 | 110: 듀티 사이클 보정부 |
| | 120: 듀티 검출부 | 121, 129: 위상 분리기 |
| | 122, 123: 지연 회로 | 124, 125: 플립플롭 |
| | 126: 제어 회로 | 127: 듀티 제어회로 |
| | 128: 지연 제어회로 | 150: 듀티보정 코드 발생기 |
| | 160: 클럭 전송 경로 | 300, 410: 지연동기루프 회로 |
| | 310: 지연동기 루프 | 400: 반도체 장치 |
| | 420: 내부 회로 | |

도면

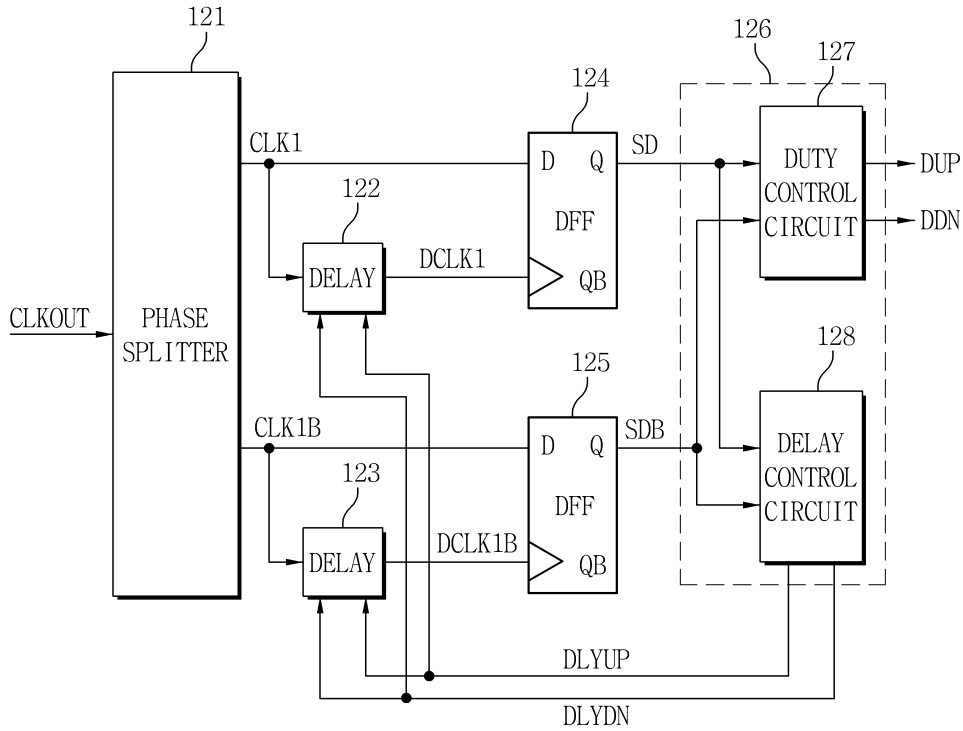
도면1

100



도면2

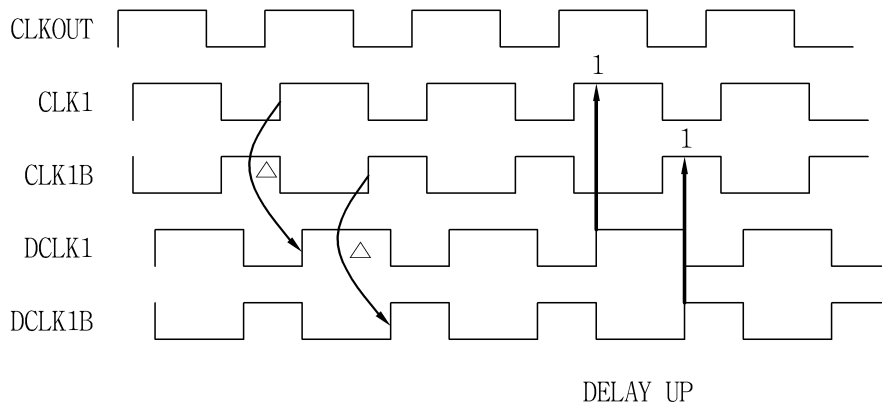
120a



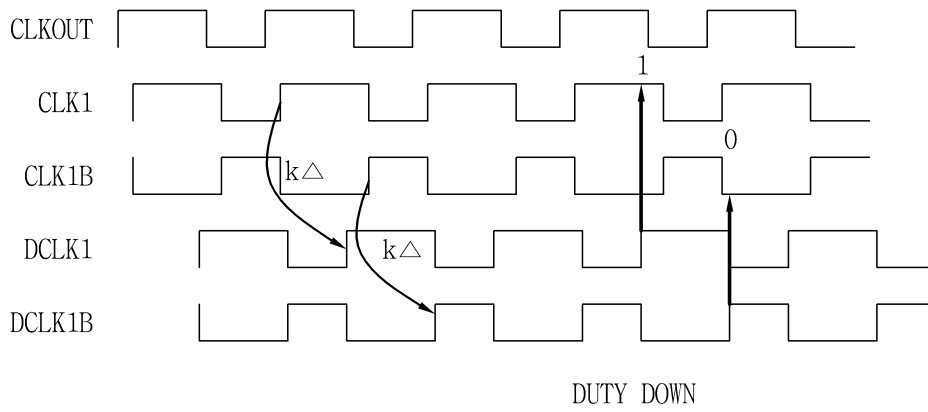
도면3

SD	SDB	CONTROL
1	1	delay up
0	0	delay down
0	1	duty up
1	0	duty down

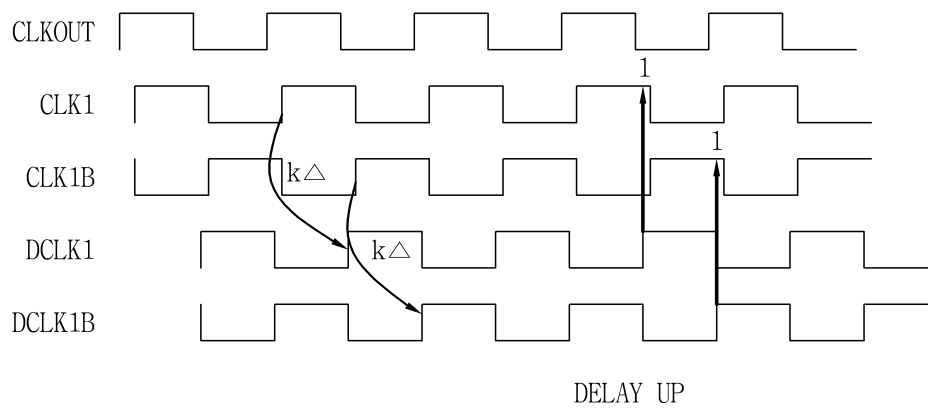
도면4



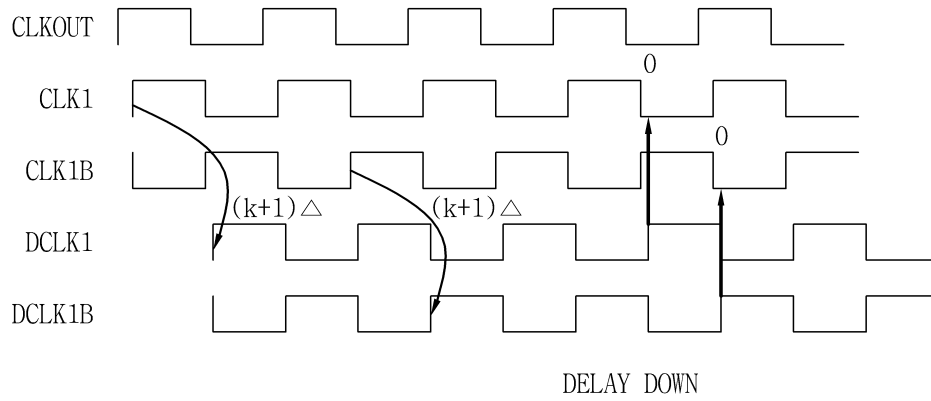
도면5



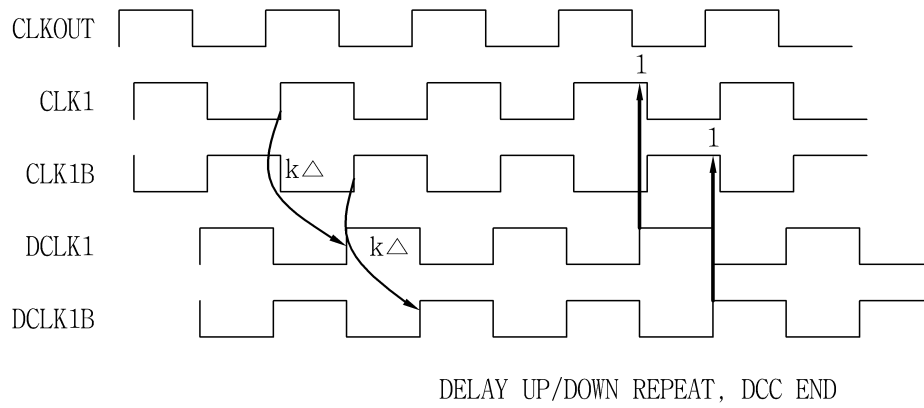
도면6



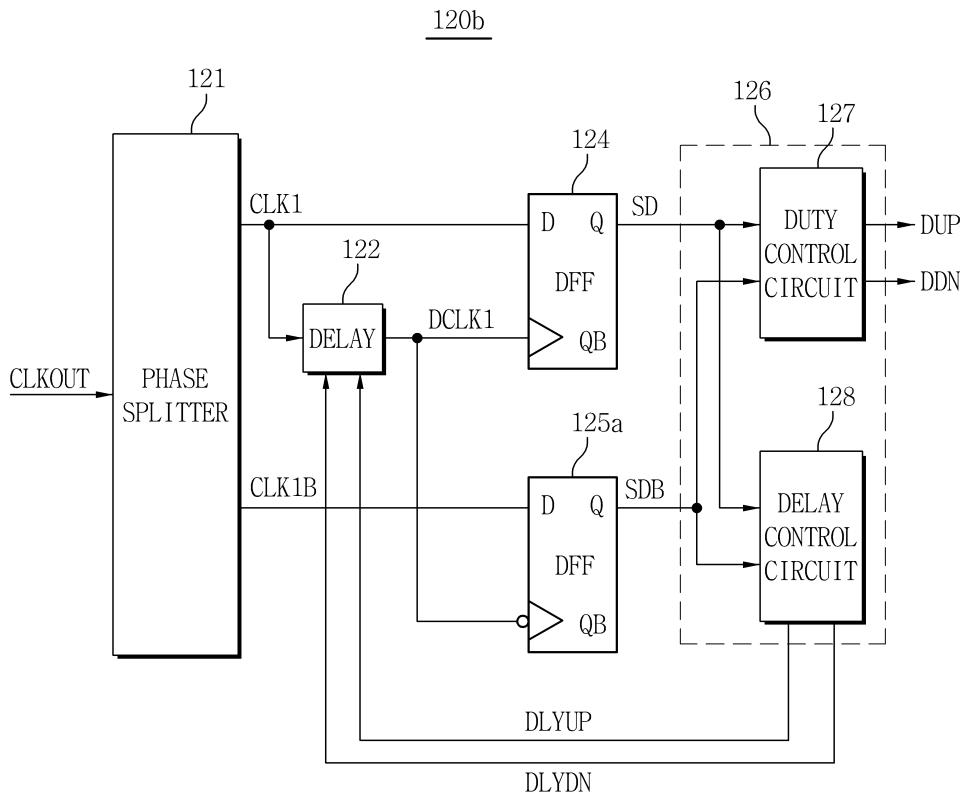
도면7



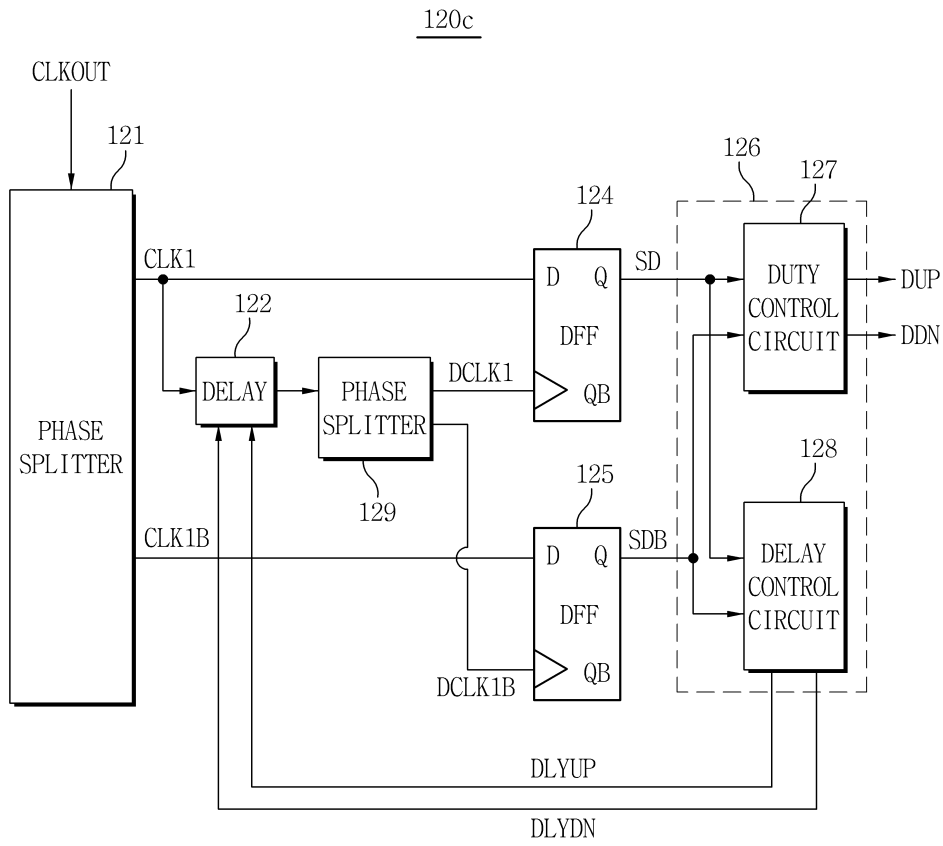
도면8



도면9

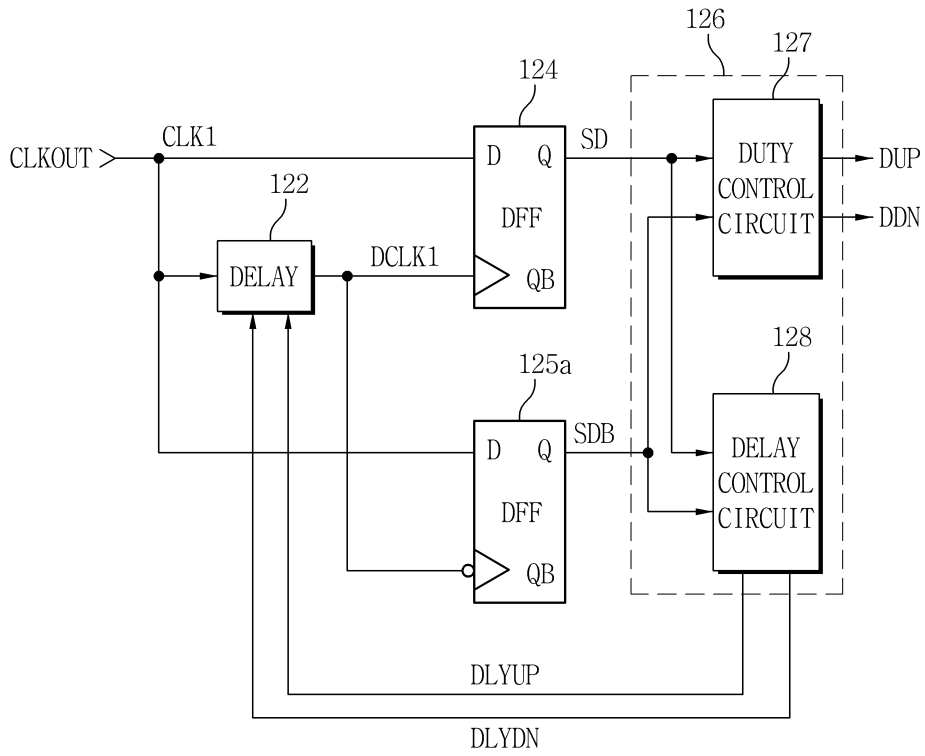


도면10



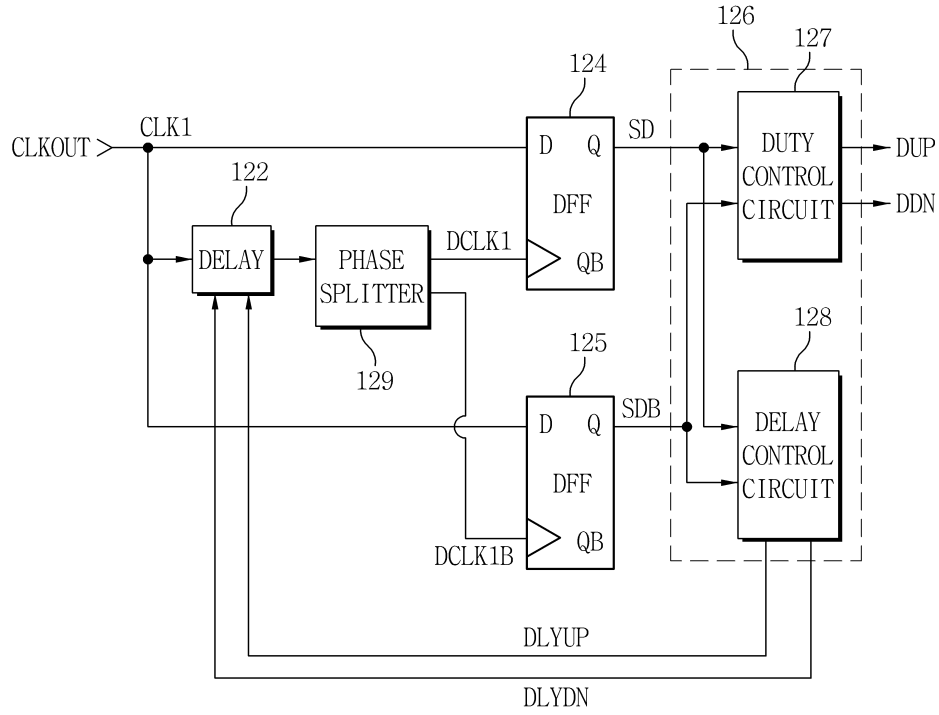
도면11

120d

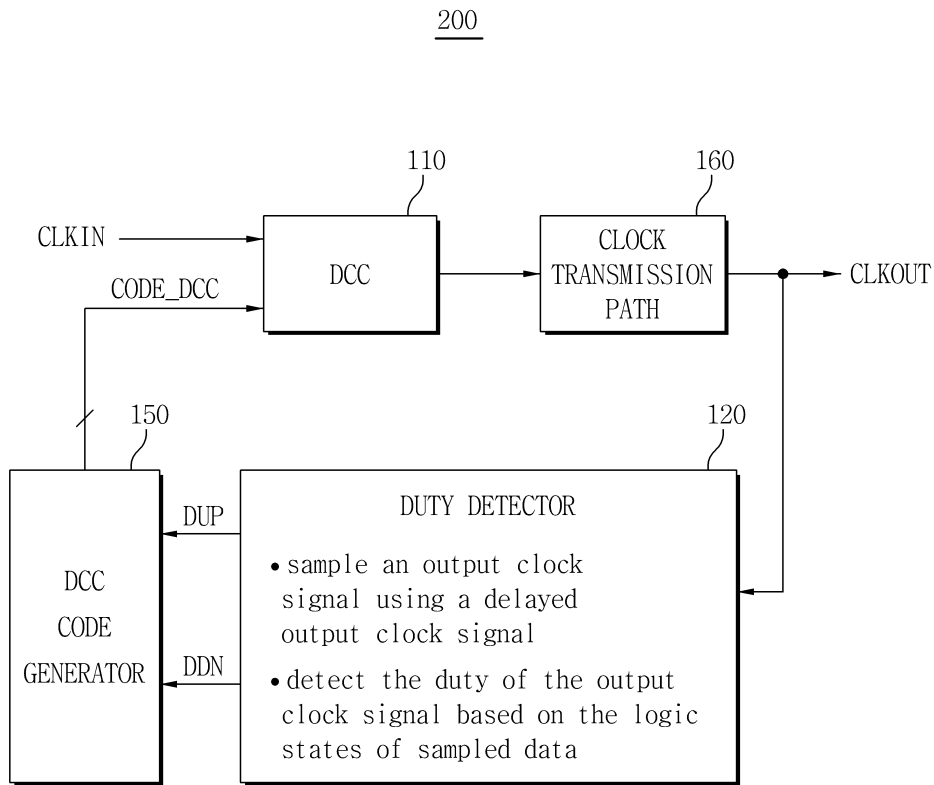


도면12

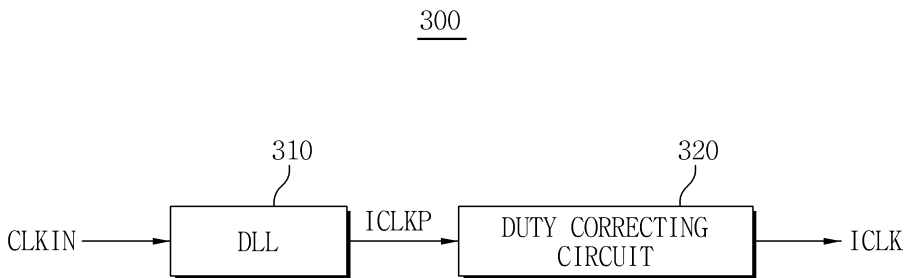
120e



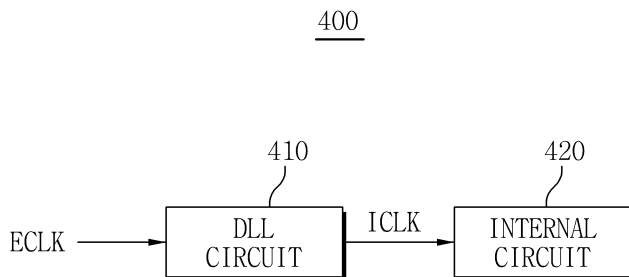
도면13



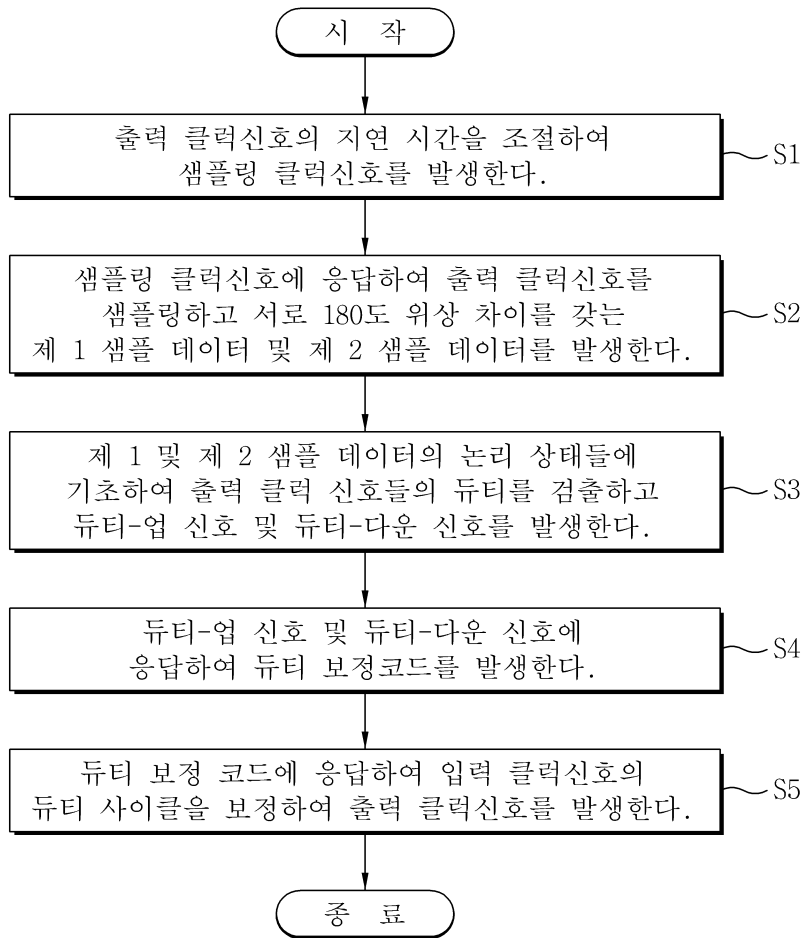
도면14



도면15



도면16



도면17

