

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-177881

(P2010-177881A)

(43) 公開日 平成22年8月12日(2010.8.12)

(51) Int.Cl.
H03K 19/173 (2006.01)

F I
H03K 19/173 I O I

テーマコード(参考)
5 J O 4 2

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2009-16739(P2009-16739)
(22) 出願日 平成21年1月28日(2009.1.28)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(74) 代理人 100099634
弁理士 平井 安雄
(72) 発明者 ▲徳▼永 ▲隆▼和
福岡県福岡市早良区百道浜2丁目2番1号
富士通九州ネット
ワークテクノロジーズ株式会社内
(72) 発明者 白石 博昭
福岡県福岡市早良区百道浜2丁目2番1号
富士通九州ネット
ワークテクノロジーズ株式会社内

最終頁に続く

(54) 【発明の名称】 信号発生タイミング制御プログラム及び集積回路動作試験装置

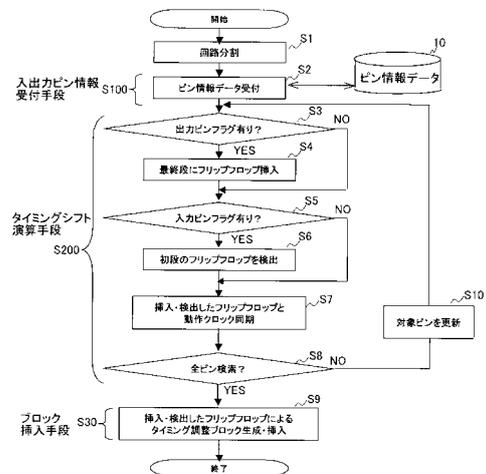
(57) 【要約】 (修正有)

【課題】大規模集積回路から機能分割されたプログラマブル・デバイスに正確なピン配置を行い再構成集積回路を再構成し、電気信号の同時発信に起因する同時動作信号を低減する信号発生タイミング制御プログラムを提供する。

【解決手段】大規模集積回路から機能分割されたプログラマブル・デバイスごとの入出力ピン情報を受付ける入出力ピン情報受付手段 S100 により受け取られた入出力ピン情報に基づいて、大規模集積回路のクロック周波数の範囲内において、この出力ピン側の出力タイミングをシフトさせるシフト幅を演算するタイミングシフト演算手段 S200、タイミングシフト演算手段 S200 により演算されたシフト幅に基づいて、このプログラマブル・デバイスの出力ピン側の信号発信のタイミングをシフトさせるブロックとしてのクロックシフトブロックを再構成集積回路に挿入するブロック挿入手段 S300 としてコンピュータを機能させる。

【選択図】 図 1

本発明の第1の実施形態に係る信号発生タイミング制御プログラムのフローチャート



【特許請求の範囲】**【請求項 1】**

一定クロック周波数にて電気信号を発生させて動作する大規模集積回路の機能を、複数の部分集積回路に分割して再構成された再構成集積回路において、前記部分集積回路の信号発生タイミングを制御するようにコンピュータを機能させる信号発生タイミング制御プログラムであって、

前記部分集積回路の電気信号のインターフェースとなる入力ピン及び出力ピンに関する入出力ピン情報を受付ける入出力ピン情報受付手段、

前記ピン情報受付手段により受け取られた入出力ピン情報に基づいて、前記一定クロック周波数の範囲内において、前記出力ピン側の出力タイミングをシフトさせるシフト幅を演算するタイミングシフト演算手段、

前記タイミングシフト演算手段により演算されたシフト幅に基づいて、前記部分集積回路の前記出力ピン側の信号発信のタイミングをシフトさせるブロックとしてのクロックシフトブロックを前記再構成集積回路に挿入するブロック挿入手段としてコンピュータを機能させ、

前記再構成集積回路を前記大規模集積回路と同じ前記一定クロック周波数にて動作させる信号発生タイミング制御プログラム。

【請求項 2】

請求項 1 に記載の信号発生タイミング制御プログラムにおいて、

前記クロックシフト手段が、前記入力ピン側の信号受信のタイミングをシフトさせる前記クロックシフトブロックを前記再構成集積回路に挿入する

信号発生タイミング制御プログラム。

【請求項 3】

請求項 1 又は請求項 2 に記載の信号発生タイミング制御プログラムにおいて、

前記クロックシフト手段が、前記クロックシフトブロックとして反転ブロック又は PLL ブロックを用いる

信号発生タイミング制御プログラム。

【請求項 4】

請求項 1 ないし請求項 3 に記載の信号発生タイミング制御プログラムのクロックシフトブロックを前記再構成集積回路に挿入し、クロックをシフトさせて擬似的に前記再構成集積回路を動作させて、前記大規模集積回路の動作試験を行う

集積回路動作試験装置。

【請求項 5】

一定クロック周波数にて電気信号を発生させて動作する大規模集積回路の機能を、複数の部分集積回路に分割して再構成された再構成集積回路において、前記部分集積回路の信号発生タイミングを制御する信号発生タイミング制御方法であって、

前記部分集積回路の電気信号のインターフェースとなる入力ピン及び出力ピンに関する入出力ピン情報を受付ける入出力ピン情報受付工程と、

前記ピン情報受付工程により受け取られた入出力ピン情報に基づいて、前記一定クロック周波数の範囲内において、前記出力ピン側の出力タイミングをシフトさせるシフト幅を演算するタイミングシフト演算工程と、

前記タイミングシフト演算工程により演算されたシフト幅に基づいて、前記部分集積回路の前記出力ピン側の信号発信のタイミングをシフトさせるブロックとしてのクロックシフトブロックを前記再構成集積回路に挿入するブロック挿入工程とを備え、

前記再構成集積回路を前記大規模集積回路と同じ前記一定クロック周波数にて動作させる信号発生タイミング制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路の電気信号の発生タイミングを制御する信号発生タイミング制御プログラムに関して、特に電気信号のクロックをシフトすることにより、同時タイミングの信号発信により生じる同時動作信号を低減する信号発生タイミング制御プログラムに関する。

【背景技術】

【0002】

大規模集積回路、例えば、Application Specific Integrated Circuit ; A S I C のプロトタイプ開発では、A S I C の回路を複数のプログラマブル・デバイス、例えば、Field Programmable Gate Array ; F P G A によるボードを作成して試験を行う場合がある。このボード作成に関して、A S I C は、F P G A の規模に対して回路規模が非常に大きくなる場合が多いため、回路が1個の F P G A に収まりきれない場合が多々発生する。

10

【0003】

このため、F P G A は、A S I C の回路を複数に分割された各々のブロックの規模に収まるようにして複数設計される。A S I C は、当該複数の F P G A の組み合わせにより再構成され、試験が実施可能となる。この場合には、回路分割後の F P G A で A S I C の内部接続部分が外部接続となる部分が発生するために、分割後の各 F P G A の入出力信号が同時にスイッチング ON となった場合に各 F P G A の同時動作信号が生じることにより、過剰な電荷が瞬時に発生する虞がある。

20

【0004】

また、この回路分割において、この F P G A の入出力信号のインターフェースであるピンは、主に人手の作業によりピン配置の再配置が行われる。このピン配置は、集積回路の複雑化により熟練した技術者を必要とする作業であるが、人手の作業ではピン配置の精度に限界があり、また技術者への作業負荷が大きいという問題がある。

【0005】

従来の信号発生タイミング制御プログラムは、回路間の発生信号を単純に遅延させるものがある（例えば、特許文献1参照）。また、従来の信号発生タイミング制御プログラムは、回路同士の発生信号を単純にずらすものがある（例えば、特許文献2参照）。

【先行技術文献】

30

【特許文献】

【0006】

【特許文献1】特開平7 249976号公報

【特許文献2】特開平7 336207号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかし、従来の信号発生タイミング制御プログラムは、A S I C を機能分割した F P G A に適用する場合には、A S I C の内部信号を F P G A の外部信号として取扱うピンが存在し、ピン配置が考慮されていないことから同時動作信号が発生しやすいという課題を有する。

40

【0008】

本発明は前記課題を解消するためになされたもので、大規模集積回路から機能分割された集積回路にて正確なピン配置を行うと共に、電気信号の同時発信に起因する同時動作信号を低減する信号発生タイミング制御プログラムの提供を目的とする。

【課題を解決するための手段】

【0009】

本願に開示する信号発生タイミング制御プログラムは、機能分割後の集積回路の入出力ピン情報に基づいて、機能分割前のクロック周波数の範囲内にて出力ピン側のクロックをシフトさせるクロックシフトブロックを機能分割後の集積回路に挿入するものである。

50

【発明の効果】

【0010】

本願に開示する信号発生タイミング制御プログラムは、機能分割後の集積回路の入出力ピン情報に従い電気信号の発信タイミングをシフトすることとなり、正確なピン配置と共に電気信号の同時発信に起因する同時動作信号の発生を低減することができる。

【図面の簡単な説明】

【0011】

【図1】本発明の第1の実施形態に係る信号発生タイミング制御プログラムのフローチャート

【図2】本発明の第1の実施形態に係る信号発生タイミング制御プログラムのデータ例及びASICの回路例

10

【図3】本発明の第1の実施形態に係る信号発生タイミング制御プログラムを用いた集積回路動作試験装置

【図4】本発明の第1の実施形態に係る信号発生タイミング制御プログラムのASICプロトタイプ及びASICプロトタイプ評価ボード

【図5】本発明の第1の実施形態に係る信号発生タイミング制御プログラムのピン情報データ例

【図6】本発明のその他の実施形態に係る信号発生タイミング制御プログラムのピン情報データ例

【図7】本発明のその他の実施形態に係る信号発生タイミング制御プログラムのASICプロトタイプ評価ボード及びPLLブロック例

20

【発明を実施するための形態】

【0012】

(本発明の第1の実施形態)

以下、前記構成に基づく本発明の第1の実施形態に係る信号発生タイミング制御プログラムをその装置と共に、図1から図5に基づいて説明する。

図1は本発明の第1の実施形態に係る信号発生タイミング制御プログラムのフローチャート、図2はこの図1に記載された信号発生タイミング制御プログラムのデータ例及びASICの回路例を示す。また、図3はこの図1に記載された信号発生タイミング制御プログラムを用いた集積回路動作試験装置、図4はこの図1に記載された信号発生タイミング制御プログラムのASICプロトタイプ及びASICプロトタイプ評価ボードを示す。また、図5はこの図1に記載された信号発生タイミング制御プログラムのピン情報データ例を示す。

30

【0013】

図1において、本実施形態に係る信号発生タイミング制御プログラムは、入出力ピン情報受付手段S100と、タイミングシフト演算手段S200と、ブロック挿入手段S300とを備える。この入出力ピン情報受付手段S100は、一定クロック周波数にて電気信号を発生させて動作するASICの機能を分割された複数のFPGAの電気信号のインターフェースとなる入力ピン及び出力ピンに関するピン情報データ10を受付ける。

【0014】

また、このタイミングシフト演算手段S200は、このピン情報受付手段Aにより受けられたピン情報データ10に基づいて、前記一定クロック周波数の範囲内において、出力ピン側の出力タイミングをシフトさせるシフト幅を演算する。また、このブロック挿入手段S300は、このタイミングシフト演算手段S200により演算されたシフト幅に基づいて、このFPGAの出力ピン側の信号発信のタイミングをシフトさせるクロックシフトブロックを複数のFPGAにより再構築された再構成集積回路に挿入する。

40

【0015】

また、このピン情報データ10は、図2(a)に示すように、何番目の項目かを表す項目として、項を表す項目と、Port name項目と、range項目と、I/O項目と、type項目と、種別項目と、同期clock項目と、接続元ブロック項目と、接続元Port name項目と、T-OUT項目と、T-IN項目とを含むことができる。

50

【 0 0 1 6 】

この項項目は、前記入力ピン及び出力ピンを含むピンを一意に識別する番号を示す。また、このPort name項目は、この項項目で特定されたピンごとに与えられた名称を示す。また、このrange項目は、この項項目で特定されたピンのパスレンジを示す。また、このI/O項目は、この項項目で特定されたピンが入力ピン又は出力ピンのいずれに該当するかを示す。また、このtype項目は、この項項目で特定されたピンの型を示す。

【 0 0 1 7 】

また、この種別項目は、この項項目で特定されたピンの種別を示す。また、この同期clock項目は、この項項目で特定されたピンが同期する対象のクロックブロックを示す。また、この接続元ブロック項目は、この項項目で特定されたピンの接続元となるブロックを示す。

10

【 0 0 1 8 】

また、この接続元Port name項目は、この項項目で特定されたピンの接続元ポートの名称を示す。また、このT-OUT項目は、この項項目で特定されたピンの出力側にタイミング調整ブロックを挿入するか否かの出力側タイミング調整フラグを示す。また、このT-IN項目は、この項項目で特定されたピンの入力側にタイミング調整ブロックを挿入するか否かの入力側タイミング調整フラグを示す。

【 0 0 1 9 】

また、ASIC 100は、例えば、図2(b)に示すように、機能ブロックAと機能ブロックBの2つの機能を有する。この機能ブロックAは、入力ピンとしてのResetピン、Clock1ピン、ADT1ピン及びADT6ピンを備える。また、この機能ブロックAは、出力ピンとしてのADT2ピン、ADT3ピン、ADT4#Uピン、ADT4#Lピン及びADT5ピンを備える。

20

【 0 0 2 0 】

また、この機能ブロックBは、入力ピンとしてのResetピン、Clock1ピン、BDT1ピン、BDT2#Uピン、BDT2#Lピン、BDT5ピン及びBDT6ピンを備える。また、この機能ブロックBは、出力ピンとしてのBDT3ピン及びBDT4ピンを備える。

【 0 0 2 1 】

また、本信号発生タイミング制御プログラムを用いた集積回路動作試験装置は、図3に示すように、ASIC設計データ受付手段1と、設計データ分割手段2と、各分割領域ピン受付手段3と、シフト幅演算手段4と、試験クロック生成手段5と、ASIC試験手段6とを備える。このASIC設計データ受付手段1は、ユーザー20から前記ASIC 100に関する設計データを受付ける。

30

【 0 0 2 2 】

また、この設計データ分割手段2は、このASIC設計データ受付手段1が受付けた設計データに基づいて、前記ASIC 100を複数の機能部に機能分割する。また、この各分割領域ピン受付手段3は、このASIC設計データ受付手段1が受付けた設計データに基づいて、この機能部の各々のピン情報を受付ける。

【 0 0 2 3 】

また、このシフト幅演算手段4は、この機能分割された機能部及びピン情報に基づいて、各機能部のピンにおけるクロックのシフト幅を演算する。また、この試験クロック生成手段5は、このシフト幅演算手段4により演算されたシフト幅に基づいて試験クロックを生成する。

40

【 0 0 2 4 】

また、このASIC試験手段6は、このASIC設計データ受付手段1及びこの試験クロック生成手段5に基づいて、前記ASIC 100の設計データから各機能部をFPGAに分割した状態でこの試験クロックを挿入して前記ASIC 100の試験を実施する。

【 0 0 2 5 】

以下、前記構成に基づく本実施形態の信号発生タイミング制御プログラムを用いた集積回路動作試験装置の動作について説明する。

まず、図1に示すように、前記ASIC設計データ受付手段1は、前記ASIC 100の設

50

計データを外部から受付ける。また、前記設計データ分割手段2は、この設計データに基づいて、前記ASIC100をFPGAとして前記機能ブロックA及び機能ブロックBに機能分割し、ASICプロトタイプを作成する(S1)。

【0026】

ASICプロトタイプ200は、図4(a)に示すように、この機能分割により生成され、前記機能ブロックAの機能を実現するFPGA1と、前記機能ブロックBの機能を実現するFPGA2とを備える構成となる。前記ASICプロトタイプ200は、同図に示すように、このFPGA1とFPGA2のピン間のインターフェースCが、前記ASIC100では内部接続であるがFPGAへの機能分割後に外部接続となり、同時動作信号が発生しやすい箇所として存在する。

10

【0027】

次に、前記各分割領域ピン受付手段3は、図1に示すように、前記入出力ピン情報受付手段S100として、前記ピン情報データ10を受付ける(S2)。このピン情報データ10は、図5に示すように、FPGA1及びFPGA2の各々に対して取得される。このピン情報データ10は、例えば、同図(a)に示すように、項目3の"BDT1"という名称のピンが、バスレンジ1を持つS型の入力ピンであり、データ転送用に用いられ、Clock1を同期クロックとして使用していることを示す。また、このピンは、接続元ブロックがFPGA1であり、接続元ポート名がADT3であることを示す。

【0028】

次に、前記シフト幅演算手段4は、前記タイミングシフト演算手段S200として、まず、受付けたピン情報データ10に基づいて、各ピンの前記出力側タイミング調整フラグを検出する(S3)。前記シフト幅演算手段4は、このS3にて前記出力側タイミング調整フラグが存在するピンを検出した場合には、このピンの最終段にフリップフロップを挿入する(S4)。

20

【0029】

また、前記シフト幅演算手段4は、受付けたピン情報データ10に基づいて、各ピンの前記入力側タイミング調整フラグを検出する(S5)。前記シフト幅演算手段4は、このS5にて前記入力側タイミング調整フラグが存在するピンを検出した場合には、このピンの初段に存在するフリップフロップを検出する。(S6)。

【0030】

ここで、前記入力側タイミング調整フラグ及び前記出力側タイミング調整フラグに関して、このタイミング調整ブロックの挿入は、ピンの出力側のみか、もしくはピンの出力側と入力側の両方に入力するかのどちらかのパターンとなる。このタイミング調整ブロックのパターンにより、タイミング調整ブロックの挿入は、ピンの出力側のタイミング調整のみで同時動作信号を回避して、電気信号の同時発信に起因する同時動作信号を低減しつつ、さらに回路全体のタイミングもタイミング調整前と同等とすることができる。

30

【0031】

また、ピンの入力側のタイミング調整は、例えば、同時動作信号を発生させるピンが大量に存在する場合に、ピンの出力側でタイミング調整のずれが生じた場合にこのずれを補正することとなり、回路全体のタイミングを合わせることができる。また、例えば、ピンの入力側のタイミング調整は、ピンの出力側で反転クロックを用いた場合には、FPGA間転送を半クロックで行うことにより、動作クロック速度やデバイス間の物理配線長によるデータ転送の遅延を考慮してタイミング調整することができる。

40

【0032】

前記シフト幅演算手段4は、このS4及びS6のフリップフロップの動作クロックをこのピンのタイミング調整用のクロックとして同期させる(S7)。また、前記シフト幅演算手段4は、受付けたピン情報データ10に含まれる全てのピンに対して、前記タイミングシフト演算手段S200としての前記S3から前記S7までの処理が行われたかを判断する(S8)。

【0033】

50

次に、前記試験クロック生成手段 5 は、前記ブロック挿入手段 S 3 0 0 として、この S 8 にて全てのピンに対して前記タイミングシフト演算手段 S 2 0 0 が完了した場合には、前記フリップフロップを含むタイミング調整ブロックを生成する (S 9)。また、前記試験クロック生成手段 5 は、図 4 (b) に示すように、A S I C プロトタイプ評価ボード 3 0 0 に、このタイミング調整ブロックとしてのタイミング調整ブロック 3 0 0 a 及びタイミング調整ブロック 3 0 0 b を挿入する (S 9)。

このタイミング調整ブロック 3 0 0 a は、F P G A 1 に挿入され、反転クロックを用いてタイミング調整する。また、このタイミング調整ブロック 3 0 0 b は、F P G A 2 に挿入され、入力側初段のフリップフロップのクロックを出力側のクロックに合わせることに
10

【0034】

また、前記 A S I C プロトタイプ評価ボード 3 0 0 は、図 4 (b) に示すように、F P G A 1 及び F P G A 2 に対して "Clock" 及び "Reset 1" が等長に物理的な実線を用いた物理配線がなされることにより、前記 A S I C 1 0 0 と同じタイミングで各機能ブロックに入力される。

【0035】

また、前記シフト幅演算手段 4 は、前記 S 3 にて前記出力側タイミング調整フラグの存在を検出できない場合には、前記 S 4 の処理をスキップし、フリップフロップを挿入しない。また、前記シフト幅演算手段 4 は、前記 S 5 にて前記入力側タイミング調整フラグの存在を検出できない場合には、前記 S 6 の処理をスキップし、フリップフロップを検出し
20

また、前記シフト幅演算手段 4 は、前記 S 8 により、全てのピンに対して前記タイミングシフト演算手段 S 2 0 0 が完了していない場合には、再度、前記 S 3 に戻り、前記 S 3 以降の処理を繰り返す。

【0036】

このように、前記 A S I C プロトタイプ評価ボード 3 0 0 は、反転クロックを用いてピンからの電気信号にずれを発生させることとなり、A S I C プロトタイプ 2 0 0 のインターフェース C における同時動作信号の発生を軽減することができる。より具体的には、前記 A S I C プロトタイプ評価ボード 3 0 0 は、図 5 の設定から、F P G A 1 の出力ピンである "ADT3"、"ADT4#U" 及び "ADT4#L" の各出力信号の Hi / Lo の変化のタイミングを変えることとなり、同時動作信号によるノイズ発生を軽減できる。また、前記 A S I C プロトタイプ
30

評価ボード 3 0 0 は、前記 A S I C 1 0 0 のクロック周波数の範囲内で電気信号にずれを発生させることとなり、電気信号の同時発信に起因する同時動作信号を低減しつつ、各機能ブロックが前記 A S I C 1 0 0 と同じタイミングで動作し、より正確な A S I C の動作試験を行うことができる。

【0037】

(本発明のその他の実施形態)

以下、本発明のその他の実施形態に係る信号発生タイミング制御プログラムを、図 6 及び図 7 に基づいて説明する。

図 6 は本発明のその他の実施形態に係る信号発生タイミング制御プログラムのピン情報データ例、図 7 はこの図 6 に記載された信号発生タイミング制御プログラムの A S I C プロトタイプ評価ボード及び P L L ブロック例を示す。
40

【0038】

本発明のその他の実施形態としては、前記第 1 の実施形態に記載したタイミング調整ブロック 3 0 0 a 及びタイミング調整ブロック 3 0 0 b が、Phase Locked Loop ; 位相ロックスループ (P L L) ブロックを用いてタイミング調整することもできる。ここで、P L L ブロックは、入力信号及び基準周波数と、出力信号との周波数を同期させる電子回路である。

【0039】

また、本実施形態では、前記第 1 の実施形態と同様に、図 2 (b) 及び図 4 (a) に示すように、前記 A S I C 1 0 0 及び前記 A S I C プロトタイプ 2 0 0 に基づいて、前記 A
50

S I Cプロトタイプ評価ボード300が生成される。

【0040】

また、本信号発生タイミング制御プログラムを用いた集積回路動作試験装置は、図3に示すように、前記第1の実施形態と同様の構成である。本集積回路動作試験装置は、前記ASIC設計データ受付手段1と、前記設計データ分割手段2と、前記各分割領域ピン受付手段3と、前記シフト幅演算手段4と、前記試験クロック生成手段5と、前記ASIC試験手段6とを備える。

【0041】

以下、前記構成に基づく本実施形態の信号発生タイミング制御プログラムに従う集積回路動作試験装置の動作について、前記第1の実施形態との変更部分を説明する。

まず、前記ピン情報データ10は、図6に示すように、前記第1の実施形態の図5に記載したデータに、さらに、PLL項目を追加する。このPLL項目は、PLLブロックのクロックのシフト・パターンを番号にて示す。

【0042】

前記ピン情報データ10は、例えば、同図(a)に示すように、前記項目5, 6及び7のピンがPLLブロックを使用する設定であることを示す。本集積回路動作試験装置は、前記第1の実施形態にて記載したS1からS8までの処理を同様に行い、前記S9にてPLLブロックの生成及び挿入の処理を前記第1の実施形態に追加する。

【0043】

前記試験クロック生成手段5は、図7(a)に示すように、PLLブロック300c及びPLLブロック300dを生成して前記ASICプロトタイプ評価ボード300に挿入する。このPLLブロック300cは、FPGA1に挿入され、クロックをシフトさせてタイミング調整する。また、このPLLブロック300dは、FPGA2に挿入され、クロックをシフトさせてタイミング調整する。

【0044】

このPLLブロック300c及びPLLブロック300dは、予め複数のシフト・パターンのクロック出力を持つPLLを用意しておき、前記ピン情報データ10のPLL項目に入力された番号に対応する出力クロックを使用して信号出力することができる。このPLLブロック300c及びPLLブロック300dは、この信号出力側のレイアウトに関して、物理配線を考慮して作成される。

【0045】

このPLLブロック300c及びPLLブロック300dは、例えば、図7(b)に示すように、前記PLL項目が1の場合に"CLK#90"を適用し、前記PLL項目が2の場合に"CLK#180"を適用し、前記PLL項目が3の場合に"CLK#270"を適用する。ここで、"CLK#90"は、90度の位相差でクロックをシフトさせることを示す。前記試験クロック生成手段5は、例えば、図6(a)に記載した項目5, 6及び7のピンに対しては、前記PLL項目が1であることから、"CLK#90"を適用する。

【0046】

また、前記シフト幅演算手段4は、このシフト量に関して、各ピンにおけるスイッチング時の同時動作信号を検出し、少なくともこの同時動作信号の最初のピークとなる第1の突入幅分をシフトさせることができる。前記シフト幅演算手段4は、この第1の突入幅分をシフトさせることにより、同時動作信号によるノイズを大幅に増大させる要因である第1の突入幅分の過重を少なくとも回避できることとなり、効率的に同時動作信号の発生によるノイズを減少させることができる。

【0047】

このように、前記試験クロック生成手段5は、タイミング調整の種類を同時に複数パターン備えることとなり、適切にシフトさせたクロックを用いたタイミング調整により同時動作信号の発生を柔軟に制御して同時動作信号をさらに減少させることができる。

【0048】

なお、上述の各実施形態では、入力側及び出力側のピンに対してクロックシフトプロッ

10

20

30

40

50

クを用いたが、電気信号を発信する出力側のみにクロックシフトブロックを用いることでも十分に同時動作信号の発生を減少させると同時に、電気信号の同時発信に起因する同時動作信号を低減することができる。

【0049】

また、上述の各実施形態における本集積回路動作試験装置は、1つのASICから2つのFPGAに分割したが、この分割形態に限定されず、さらに3つ以上のFPGAに分割した場合でも、同様に適用することが可能である。また、上述の各実施形態のASICプロトタイプ評価ボードは、クロック系及びリセット系が単数のみならず複数存在する場合も各クロック及びリセットを必要とする全機能ブロックに対してASICと同じタイミングで入力されるように物理配線を行うことができる。

10

【0050】

また、上述の各実施形態では、プログラマブル・デバイスとして、FPGAを用いたが、この形態に限定されず、他のプログラマブル・デバイスを広く用いることが可能である。また、上述の各実施形態では、クロックシフトブロックとして反転ブロック又はPLLブロックを用いたが、この形態に限定されず、クロックをシフトさせる回路ブロックを広く適用することができる。

【0051】

[付記] 以上の実施例を含む実施形態に関し、更に以下の付記を開示する。

(付記1) 一定クロック周波数にて電気信号を発生させて動作する大規模集積回路の機能を、複数の部分集積回路に分割して再構成された再構成集積回路において、前記部分集積回路の信号発生タイミングを制御するようにコンピュータを機能させる信号発生タイミング制御プログラムであって、前記部分集積回路の電気信号のインターフェースとなる入力ピン及び出力ピンに関する入出力ピン情報を受付ける入出力ピン情報受付手段、前記ピン情報受付手段により受けられた入出力ピン情報に基づいて、前記一定クロック周波数の範囲内において、前記出力ピン側の出力タイミングをシフトさせるシフト幅を演算するタイミングシフト演算手段、前記タイミングシフト演算手段により演算されたシフト幅に基づいて、前記部分集積回路の前記出力ピン側の信号発信のタイミングをシフトさせるブロックとしてのクロックシフトブロックを前記再構成集積回路に挿入するブロック挿入手段としてコンピュータを機能させ、前記再構成集積回路を前記大規模集積回路と同じ前記一定クロック周波数にて動作させる信号発生タイミング制御プログラム。

20

30

【0052】

(付記2) 前記クロックシフト手段が、前記入力ピン側の信号受信のタイミングをシフトさせる前記クロックシフトブロックを前記再構成集積回路に挿入する付記1記載の信号発生タイミング制御プログラム。

【0053】

(付記3) 前記クロックシフト手段が、前記クロックシフトブロックとして反転ブロック又はPLLブロックを用いる付記1又は付記2記載の信号発生タイミング制御プログラム。

【0054】

(付記4) 付記1ないし付記3に記載の信号発生タイミング制御プログラムのクロックシフトブロックを前記再構成集積回路に挿入し、クロックをシフトさせて擬似的に前記再構成集積回路を動作させて、前記大規模集積回路の動作試験を行う集積回路動作試験装置。

40

【0055】

(付記5) 一定クロック周波数にて電気信号を発生させて動作する大規模集積回路の機能を、複数の部分集積回路に分割して再構成された再構成集積回路において、前記部分集積回路の信号発生タイミングを制御する信号発生タイミング制御方法であって、前記部分集積回路の電気信号のインターフェースとなる入力ピン及び出力ピンに関する入出力ピン情報を受付ける入出力ピン情報受付工程と、前記ピン情報受付工程により受けられた入出力ピン情報に基づいて、前記一定クロック周波数の範囲内において、前記出力ピン側の出力タイミングをシフトさせるシフト幅を演算するタイミングシフト演算工程と、前記タイ

50

ミングシフト演算工程により演算されたシフト幅に基づいて、前記部分集積回路の前記出力ピン側の信号発信のタイミングをシフトさせるブロックとしてのクロックシフトブロックを前記再構成集積回路に挿入するブロック挿入工程とを備え、前記再構成集積回路を前記大規模集積回路と同じ前記一定クロック周波数にて動作させる信号発生タイミング制御方法。

【 0 0 5 6 】

(付記 6) 前記クロックシフト工程が、前記入力ピン側の信号受信のタイミングをシフトさせる前記クロックシフトブロックを前記再構成集積回路に挿入する付記 5 記載の信号発生タイミング制御方法。

【 0 0 5 7 】

(付記 7) 前記クロックシフト工程が、前記クロックシフトブロックとして反転ブロック又は PLL ブロックを用いる付記 5 又は付記 6 記載の信号発生タイミング制御方法。

【 0 0 5 8 】

(付記 8) 付記 5 ないし付記 7 に記載の信号発生タイミング制御方法のクロックシフトブロックを前記再構成集積回路に挿入し、クロックをシフトさせて擬似的に前記再構成集積回路を動作させて、前記大規模集積回路の動作試験を行う集積回路動作試験装置。

【 符号の説明 】

【 0 0 5 9 】

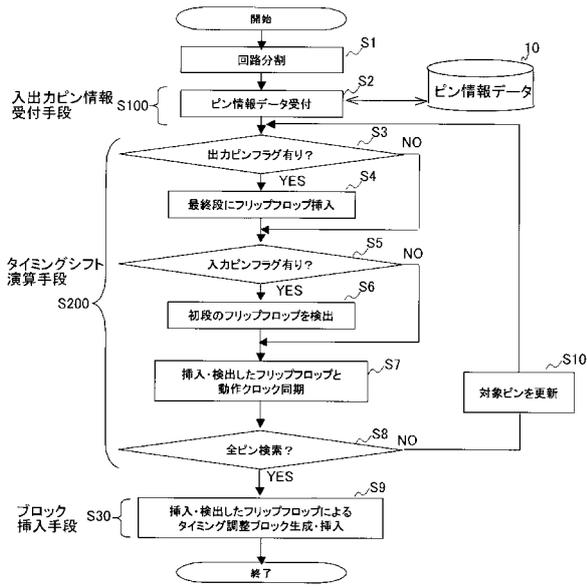
- 1 ASIC設計データ受付手段
- 2 設計データ分割手段
- 3 各分割領域ピン受付手段
- 4 シフト幅演算手段
- 5 試験クロック生成手段
- 6 ASIC試験手段
- 20 ユーザー
- 100 ASIC
- 200 ASICプロトタイプ
- 300 ASICプロトタイプ評価ボード
- 300 a、300 b、300 c、300 d タイミング調整ブロック

10

20

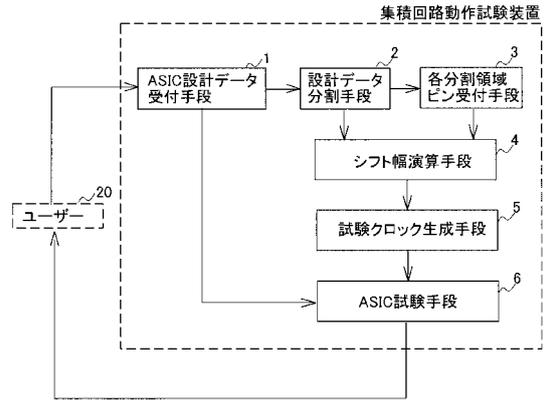
【 図 1 】

本発明の第1の実施形態に係る信号発生タイミング制御プログラムのフローチャート



【 図 3 】

本発明の第1の実施形態に係る信号発生タイミング制御プログラムを用いた集積回路動作試験装置



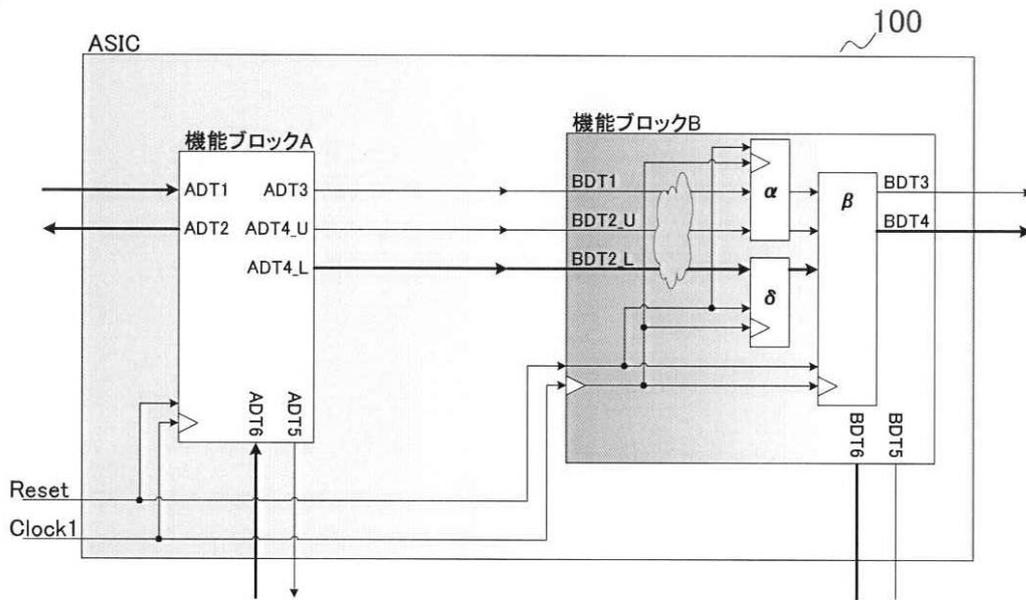
【図2】

本発明の第1の実施形態に係る信号発生タイミング制御プログラムのデータ例及びASICの回路例

(a)

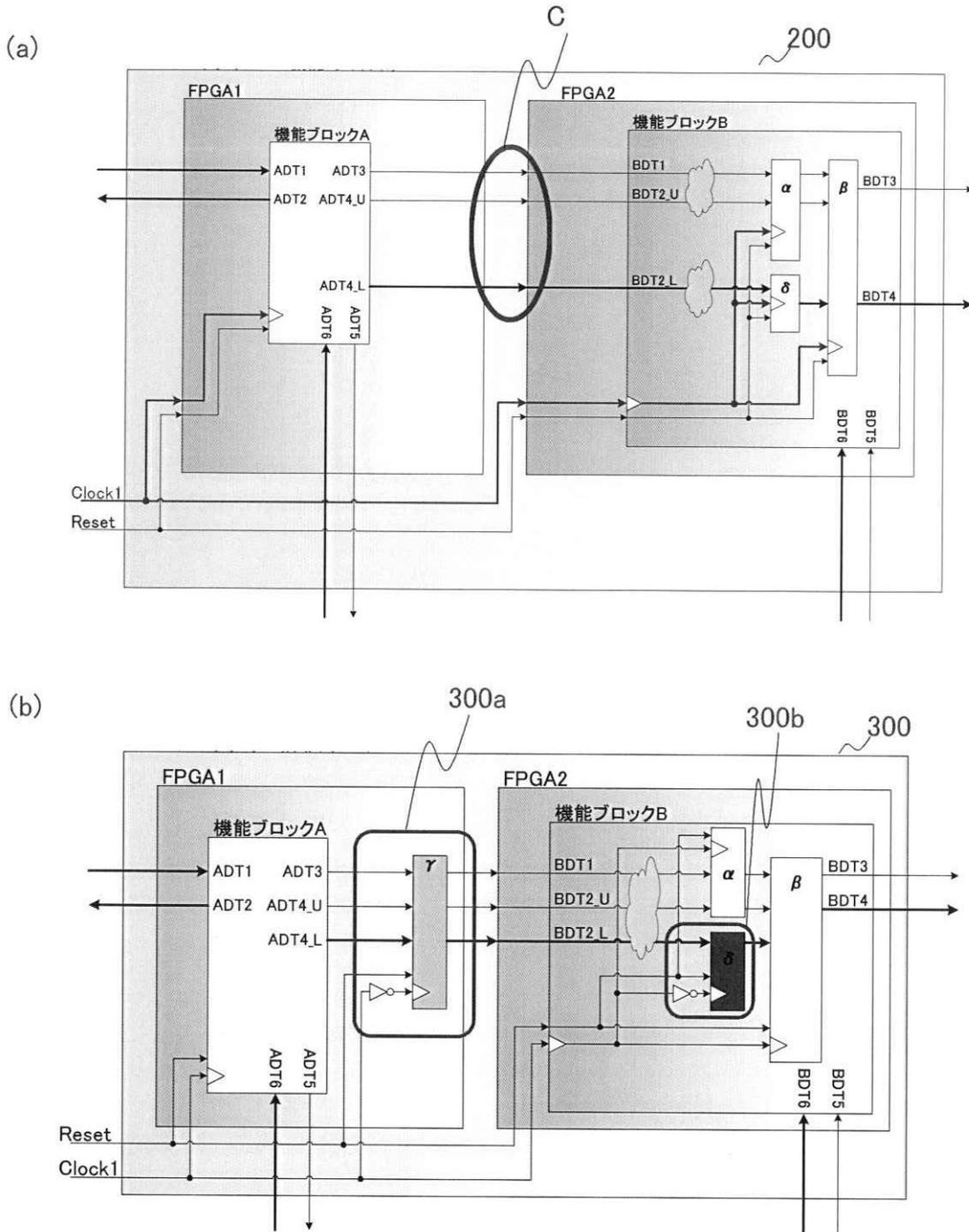
項	Port name	range	I/O	type	種別	同期clock	接続元 ブロック	接続元 Port name	T-OUT	T-IN
---	-----------	-------	-----	------	----	---------	-------------	---------------------	-------	------

(b)



【 図 4 】

本発明の第1の実施形態に係る信号発生タイミング制御プログラムのASICプロトタイプ及びASICプロトタイプ評価ボード



【図5】

本発明の第1の実施形態に係る信号発生タイミング制御
プログラムのピン情報データ例

(a) FPGA1

項	Port name	range	I/O	type	種別	同期 clock	接続元 ブロック	接続元 Port name	T-OUT	T-IN
1	Reset	1	I	S	RST	-	I/O	Reset	-	-
2	Clock1	1	I	S	CLK	-	I/O	Clock1	-	-
3	ADT1	7:0	I	V	DT	Clock1	I/O	ADT1	-	-
4	ADT2	7:0	O	V	DT	Clock1	I/O	ADT2		
5	ADT3	1	O	S	DT	Clock1	FPGA2	BDT1	1	
6	ADT4_U	15:8	O	V	DT	Clock1	FPGA2	BDT2_U[15:8]	1	
7	ADT4_L	7:0	O	V	DT	Clock1	FPGA2	BDT2_L[7:0]	1	1
8	ADT5	1	O	S	DT	Clock1	I/O	ADT5		
9	ADT6	3:0	I	V	DT	Clock1	I/O	ADT6	-	-

(b) FPGA2

項	Port name	range	I/O	type	種別	同期 clock	接続元 ブロック	接続元 Port name	T-OUT	T-IN
1	Reset	1	I	S	RST	-	I/O	Reset	-	-
2	Clock1	1	I	S	CLK	-	I/O	Clock1	-	-
3	BDT1	1	I	S	DT	Clock1	FPGA1	ADT3	-	-
4	BDT2_U	15:8	I	V	DT	Clock1	FPGA1	ADT4_U[15:8]	-	-
5	BDT2_L	7:0	I	V	DT	Clock1	FPGA1	ADT4_L[7:0]	-	-
6	BDT3	1	O	S	DT	Clock1	I/O	BDT3		
7	BDT4	3:0	O	V	DT	Clock1	I/O	BDT4		
8	BDT5	1	I	S	DT	Clock1	I/O	BDT5	-	-
9	BDT6	3:0	I	V	DT	Clock1	I/O	BDT6	-	-

【 図 6 】

本発明のその他の実施形態に係る信号発生タイミング制御
プログラムのピン情報データ例

(a) FPGA1

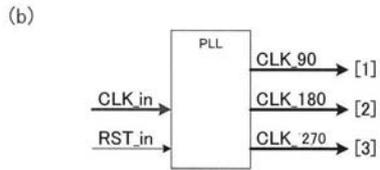
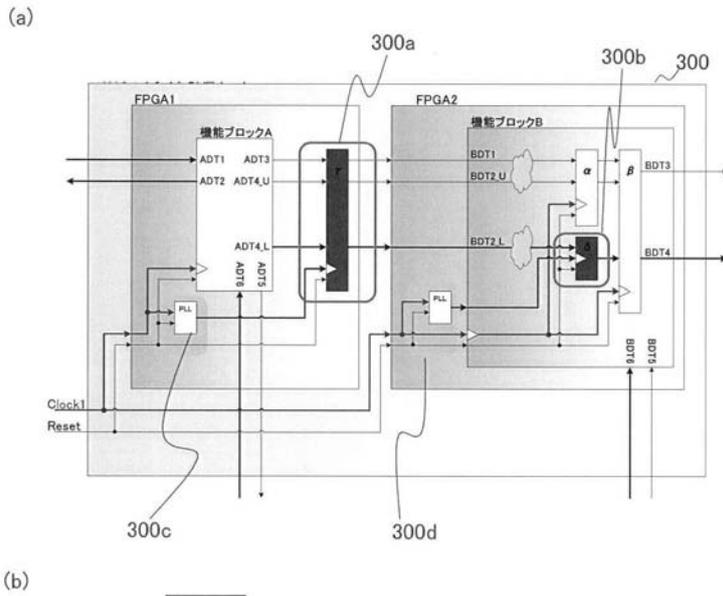
項	Port name	range	I/O	type	種別	同期 clock	接続元 ブロック	接続元 Port name	T-OUT	T-IN	PLL
1	Reset	1	I	S	RST	-	I/O	Reset	-	-	-
2	Clock1	1	I	S	CLK	-	I/O	Clock1	-	-	-
3	BDT1	1	I	S	DT	Clock1	FPGA1	ADT3	-	-	-
4	BDT2_U	15:8	I	V	DT	Clock1	FPGA1	ADT4_U[15:8]	-	-	-
5	BDT2_L	7:0	I	V	DT	Clock1	FPGA1	ADT4_L[7:0]	-	-	-
6	BDT3	1	O	S	DT	Clock1	I/O	BDT3			
7	BDT4	3:0	O	V	DT	Clock1	I/O	BDT4			
8	BDT5	1	I	S	DT	Clock1	I/O	BDT5	-	-	-
9	BDT6	3:0	I	V	DT	Clock1	I/O	BDT6	-	-	-

(b) FPGA2

項	Port name	range	I/O	type	種別	同期 clock	接続元 ブロック	接続元 Port name	T-OUT	T-IN	PLL
1	Reset	1	I	S	RST	-	I/O	Reset	-	-	-
2	Clock1	1	I	S	CLK	-	I/O	Clock1	-	-	-
3	ADT1	7:0	I	V	DT	Clock1	I/O	ADT1	-	-	-
4	ADT2	7:0	O	V	DT	Clock1	I/O	ADT2			
5	ADT3	1	O	S	DT	Clock1	FPGA2	BDT1	1		1
6	ADT4_U	15:8	O	V	DT	Clock1	FPGA2	BDT2_U[15:8]	1		1
7	ADT4_L	7:0	O	V	DT	Clock1	FPGA2	BDT2_L[7:0]	1	1	1
8	ADT5	1	O	S	DT	Clock1	I/O	ADT5			
9	ADT6	3:0	I	V	DT	Clock1	I/O	ADT6	-	-	-

【 図 7 】

本発明のその他の実施形態に係る信号発生タイミング制御プログラムのASICプロトタイプ評価ボード及びPLLブロック例



フロントページの続き

- (72)発明者 高 富 浩司
福岡県福岡市早良区百道浜2丁目2番1号 富士通九州ネット
クノロジーズ株式会社内 ワークテ
- (72)発明者 四丸 建夫
福岡県福岡市早良区百道浜2丁目2番1号 富士通九州ネット
クノロジーズ株式会社内 ワークテ
- Fターム(参考) 5J042 BA08 CA15 CA20 DA05