



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년12월10일  
 (11) 등록번호 10-1927600  
 (24) 등록일자 2018년12월04일

(51) 국제특허분류(Int. Cl.)  
*H04B 1/00* (2006.01) *H04B 1/04* (2006.01)  
 (52) CPC특허분류  
*H04B 1/0007* (2013.01)  
*H04B 2001/0491* (2013.01)  
 (21) 출원번호 10-2016-7035137  
 (22) 출원일자(국제) 2015년02월24일  
 심사청구일자 2016년12월15일  
 (85) 번역문제출일자 2016년12월15일  
 (65) 공개번호 10-2017-0007803  
 (43) 공개일자 2017년01월20일  
 (86) 국제출원번호 PCT/EP2015/053815  
 (87) 국제공개번호 WO 2016/134750  
 국제공개일자 2016년09월01일  
 (56) 선행기술조사문헌  
 WO2013189547 A1\*  
 Zhiyu Ru. et. al., "Discrete-Time Mixing Receiver Architecture for RF-Sampling Software-Defined Radio", IEEE Journal of Solid-State Circuits. 2010\*  
 US20100167669A1  
 US20070071132A1  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**후아웨이 테크놀러지 컴퍼니 리미티드**  
 중국 518129 광둥성 셴젠 룡강 디스트릭트 반티안 후아웨이 어드미니스트레이션 빌딩  
 (72) 발명자  
**판데나멜레, 패트릭**  
 독일 80992 바이에른 뮌헨 리에스트라세 25 화웨이 테크놀로지스 뒤셀도르프 게엠베하 내  
**코르넬리센스, 코엔**  
 독일 80992 바이에른 뮌헨 리에스트라세 25 화웨이 테크놀로지스 뒤셀도르프 게엠베하 내  
**뉘츠, 피에터**  
 독일 80992 바이에른 뮌헨 리에스트라세 25 화웨이 테크놀로지스 뒤셀도르프 게엠베하 내  
 (74) 대리인  
**양영준, 김성운, 백만기**

전체 청구항 수 : 총 12 항

심사관 : 구영희

(54) 발명의 명칭 **입력 신호로부터 출력 신호를 생성하는 혼합기 및 방법**

**(57) 요약**

본 발명은 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 이용하여 아날로그 입력 신호  $X_{IN}$ 으로부터 아날로그 출력 신호  $X_{OUT}$ 를 생성하는 혼합기에 관한 것으로서, 혼합기는, 연속적인 신호 값을 갖는 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 얻기 위해 샘플링 주파수  $f_s$ 로 복수의 이산 시점  $k$ 에서 아날로그 입력 신호  $X_{IN}$ 을 샘플링하고, 복수의 스케일링 계수  $A[k]$ 에 기초하여 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 스케일링함으로써 연속적인 신호 값을 갖는 아날로그 출력 신호  $X_{OUT}$ 를 생성하도록 구성되는 스케일러를 포함하고, 스케일링 계수  $A[k]$ 는 혼합 신호의 시간 이산 표현식이다.

**명세서**

**청구범위**

**청구항 1**

조정 가능한 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 이용하여 아날로그 입력 신호  $X_{IN}$ 으로부터 아날로그 출력 신호  $X_{OUT}$ 를 생성하는 혼합기로서,

상기 혼합기는,

연속적인 신호 값을 갖는 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 얻기 위해 샘플링 주파수  $f_s$ 로 복수의 이산 시점  $k$ 에서 상기 아날로그 입력 신호  $X_{IN}$ 을 샘플링하고, 복수의 스케일링 계수  $A[k]$ 에 기초하여 상기 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 스케일링함으로써 연속적인 신호 값을 갖는 상기 아날로그 출력 신호  $X_{OUT}$ 를 생성하도록 구성되는 스케일러

를 포함하고,

상기 스케일링 계수  $A[k]$ 는 상기 혼합 신호의 시간 이산 표현이고,

상기 혼합기는 상기 스케일러에 접속되는 입력 단자 및 출력 단자를 포함하고, 상기 스케일러는 상기 입력 단자에 병렬로 접속된 복수의 유닛 셀을 포함하며, 각각의 유닛 셀은 유닛 셀 커패시터를 포함하고,  $i$ 번째 유닛 셀의 유닛 셀 커패시터는 커패시턴스  $C_{ui}$ 를 갖고, 상기 유닛 셀들의 커패시턴스의 합은 총 커패시턴스  $C_s$ 를 규정하고, 각각의 유닛 셀은 각각의 유닛 셀의 상기 유닛 셀 커패시터를 상기 출력 단자에 접속시키는 전하 전달 스위치를 포함하고, 상기 스케일러는 상기 복수의 스케일링 계수  $A[k]$ 에 기초하여 상기 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 스케일링하기 위해 각각의 유닛 셀의 상기 전하 전달 스위치를 제어하도록 구성되고,

상기 복수의 유닛 셀은  $b$ 개의 유닛 셀을 포함하고,  $i$ 번째 유닛 셀의 상기 유닛 셀 커패시터는 커패시턴스  $C_{ui} = 2^{i-1}C_u$ 를 갖고,  $C_u$ 는 일정한 커패시턴스이고, 상기 총 커패시턴스  $C_s$ 는  $C_s = (2^b - 1)C_u$ 로 주어지는, 혼합기.

**청구항 2**

제1항에 있어서,

상기 샘플링 주파수  $f_s$ 는 상기 혼합 신호의 상기 조정 가능한 혼합 주파수  $f_{MIX}$ 의 2배 이상인, 혼합기.

**청구항 3**

제1항 또는 제2항에 있어서,

상기 혼합 신호는 사인파 혼합 신호인, 혼합기.

**청구항 4**

제1항에 있어서,

상기 샘플링 주파수  $f_s$ 에 대한 상기 조정 가능한 혼합 주파수  $f_{MIX}$ 의 비율은  $A/B$ 로 주어지고,  $A$  및  $B$ 는 정수인, 혼합기.

**청구항 5**

제1항에 있어서,

상기 스케일러는 국부 발진기에 의해 제공되는 국부 발진기 신호의 국부 발진기 주파수  $f_{L0}$ 로부터 상기 샘플링 주파수  $f_s$ 를 도출하도록 구성되며, 상기 샘플링 주파수  $f_s$ 는 상기 국부 발진기 주파수  $f_{L0}$ 의 정수배이고, 특히 상기 국부 발진기 주파수  $f_{L0}$ 의 4배와 동일한, 혼합기.

**청구항 6**

제1항에 있어서,

상기 아날로그 입력 신호  $X_{IN}$ 는 아날로그 전압 신호  $V_{IN}$  또는 아날로그 전류 신호  $I_{IN}$ 이고, 상기 아날로그 출력 신호  $X_{OUT}$ 는 아날로그 전압 신호  $V_{OUT}$  또는 아날로그 전류 신호  $I_{OUT}$ 인, 혼합기.

**청구항 7**

조정 가능한 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 이용하여 아날로그 입력 신호  $X_{IN}$ 으로부터 아날로그 출력 신호  $X_{OUT}$ 를 생성하는 혼합기로서,

상기 혼합기는,

연속적인 신호 값을 갖는 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 얻기 위해 샘플링 주파수  $f_s$ 로 복수의 이산 시점  $k$ 에서 상기 아날로그 입력 신호  $X_{IN}$ 을 샘플링하고, 복수의 스케일링 계수  $A[k]$ 에 기초하여 상기 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 스케일링함으로써 연속적인 신호 값을 갖는 상기 아날로그 출력 신호  $X_{OUT}$ 를 생성하도록 구성되는 스케일러

를 포함하고,

상기 스케일링 계수  $A[k]$ 는 상기 혼합 신호의 시간 이산 표현이고,

상기 혼합기는 상기 스케일러에 접속되는 입력 단자 및 출력 단자를 포함하고, 상기 스케일러는 상기 입력 단자에 병렬로 접속된 복수의 유닛 셀을 포함하며, 각각의 유닛 셀은 유닛 셀 커패시터를 포함하고,  $i$ 번째 유닛 셀의 유닛 셀 커패시터는 커패시턴스  $C_{ui}$ 를 갖고, 상기 유닛 셀들의 커패시턴스의 합은 총 커패시턴스  $C_s$ 를 규정하고, 각각의 유닛 셀은 각각의 유닛 셀의 상기 유닛 셀 커패시터를 상기 출력 단자에 접속시키는 전하 전달 스위치를 포함하고, 상기 스케일러는 상기 복수의 스케일링 계수  $A[k]$ 에 기초하여 상기 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 스케일링하기 위해 각각의 유닛 셀의 상기 전하 전달 스위치를 제어하도록 구성되고,

상기 복수의 유닛 셀은  $(b + K)$ 개의 유닛 셀을 포함하며, 상기 복수의 유닛 셀의  $b$ 개의 유닛 셀 중  $i$ 번째 유닛 셀의 상기 유닛 셀 커패시터는 커패시턴스  $C_{ui} = 2^{i-1}C_u$ 를 갖고,  $C_u$ 는 일정한 커패시턴스이고, 상기 복수의 유닛 셀의  $K$ 개의 나머지 유닛 셀의 상기 유닛 셀 커패시터는 동일한 커패시턴스  $C_{ui} = 2^b C_u$ 를 갖고, 상기 총 커패시턴스  $C_s$ 는  $C_s = (2^b K + 2^b - 1)C_u$ 로 주어지는, 혼합기.

**청구항 8**

제1항에 있어서,

상기 입력 단자는 양의 입력 단자 및 음의 입력 단자를 포함하고, 상기 출력 단자는 양의 출력 단자 및 음의 출력 단자를 포함하고, 상기 복수의 유닛 셀의 각각의 유닛 셀은 복수의 반전 스위치를 포함하고, 상기 스케일러는, 상기 복수의 유닛 셀 중 하나의 유닛 셀의 상기 유닛 셀 커패시터의 각각의 측부가 상기 혼합기를 차동으로 동작시키기 위해 상기 양의 출력 단자 및/또는 상기 음의 출력 단자에 접속될 수 있도록 상기 복수의 반전 스위치를 제어하도록 구성되는, 혼합기.

**청구항 9**

제1항에 있어서,

상기 스케일러는 메모리를 포함하며, 상기 메모리는 복수의 제어 코드를 저장하도록 구성되며, 각각의 제어 코드는 상기 혼합기의 상기 출력 단자에 접속된 상기 총 커패시턴스  $C_s$ 의 분율  $a[k]$ 를 결정하는, 혼합기.

**청구항 10**

제1항에 있어서,

상기 스케일러는 유닛 셀들의  $2^M$  개의 블록을 포함하며, M은 정수이고, 유닛 셀들의 각각의 블록은 상기 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 상이한 위상으로 샘플링하도록 구성되고, 각각의 블록은 스케일링 인자  $A[k]$ 들의 가능한 상이한 세트를 사용하는, 혼합기.

**청구항 11**

조정 가능한 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 이용하여 아날로그 입력 신호  $X_{IN}$ 으로부터 아날로그 출력 신호  $X_{OUT}$ 를 생성하는 혼합기에서의 방법으로서,

상기 방법은,

스케일러에 의해, 연속적인 신호 값을 갖는 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 얻기 위해 샘플링 주파수  $f_s$ 로 복수의 이산 시점 k에서 상기 아날로그 입력 신호  $X_{IN}$ 을 샘플링하는 단계와,

상기 스케일러에 의해, 복수의 스케일링 계수  $A[k]$ 에 기초하여 상기 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 스케일링함으로써 연속적인 신호 값을 갖는 상기 아날로그 출력 신호  $X_{OUT}$ 를 생성하는 단계

를 포함하고,

상기 스케일링 계수  $A[k]$ 는 주기적 혼합 신호의 시간 이산 표현이고,

상기 혼합기는 상기 스케일러에 접속되는 입력 단자 및 출력 단자를 포함하고, 상기 스케일러는 상기 입력 단자에 병렬로 접속된 복수의 유닛 셀을 포함하며, 각각의 유닛 셀은 유닛 셀 커패시터를 포함하고, i번째 유닛 셀의 유닛 셀 커패시터는 커패시턴스  $C_{ui}$ 를 갖고, 상기 유닛 셀들의 커패시턴스의 합은 총 커패시턴스  $C_s$ 를 규정하고, 각각의 유닛 셀은 각각의 유닛 셀의 상기 유닛 셀 커패시터를 상기 출력 단자에 접속시키는 전하 전달 스위치를 포함하고, 상기 스케일러는 상기 복수의 스케일링 계수  $A[k]$ 에 기초하여 상기 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 스케일링하기 위해 각각의 유닛 셀의 상기 전하 전달 스위치를 제어하도록 구성되고,

상기 복수의 유닛 셀은 b개의 유닛 셀을 포함하고, i번째 유닛 셀의 상기 유닛 셀 커패시터는 커패시턴스  $C_{ui} = 2^{i-1}C_u$ 를 갖고,  $C_u$ 는 일정한 커패시턴스이고, 상기 총 커패시턴스  $C_s$ 는  $C_s = (2^b - 1)C_u$ 로 주어지는, 방법.

**청구항 12**

컴퓨터 상에서 실행될 때 제11항의 방법을 수행하기 위한 프로그램 코드를 갖는 컴퓨터 프로그램을 포함하는 컴퓨터 판독 가능 매체.

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**발명의 설명**

**기술 분야**

본 발명은 혼합 신호를 이용하여 입력 신호로부터 출력 신호를 생성하는 혼합기 뿐만 아니라 입력 신호로부터 출력 신호를 생성하는 방법에 관한 것이다.

**배경 기술**

[0001]

[0002] 셀룰러 전화기, 스마트폰, PDAs(personal digital assistants) 등과 같은 이동 무선 통신 디바이스는 다수의 상이한 주파수를 통해 다른 디바이스와 통신하도록 구성될 수 있다. 이와 같이, 이동 무선 통신 디바이스는 다수의 상이한 주파수에서 통신 신호를 수신할 수 있는 수신기를 포함할 필요가 있다. 일부 상황에서는, 다중-캐리어 집합체(multi-carrier aggregation)라고 불리는 기술을 사용하여 상이한 주파수 대역에서 2개 이상의 통신 신호를 수신하고 복조하는 것이 바람직하다. 이러한 방식으로 더 큰 대역폭을 사용할 수 있어서 초당 더 많은 정보를 송신하여 보다 즐거운 사용자 경험을 제공할 수 있다. 이를 위해, 수신기는 종종 원하는 주파수의 사인과 혼합 신호를 사용하여 수신된 통신 신호의 주파수 상향 변환 또는 주파수 하향 변환을 수행하기 위한 혼합기를 포함한다. 통상적으로, 이러한 혼합기는 모든 주파수 대역에 대해 PLL을 포함하지만, 영역 및 전력 소비를 대폭 증가시킨다. 이동 무선 통신 디바이스가 동시에 그러나 다른 주파수에서 수신 및 송신하는 주파수 분할 듀플렉싱(FDD)에서 유사한 문제가 발생하여 결국 2개의 PLL이 필요하다.

[0003] 따라서, 개선된 혼합기에 대한 필요성이 존재한다.

**발명의 내용**

[0004] 본 발명의 목적은 향상된 혼합기를 제공하는 것이다.

[0005] 이 목적은 독립항의 청구 대상에 의해 달성된다. 추가의 구현 형태가 종속항, 상세한 설명 및 도면에 제공된다.

[0006] 본 발명의 제1 양태에 따르면, 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 이용하여 아날로그 입력 신호  $X_{IN}$ 으로부터 아날로그 출력 신호  $X_{OUT}$ 를 생성하는 혼합기에 관한 것으로서, 혼합기는, 연속적인 신호 값을 갖는 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 얻기 위해 샘플링 주파수  $f_s$ 로 복수의 이산 시점  $k$ 에서 아날로그 입력 신호  $X_{IN}$ 을 샘플링하고, 복수의 스케일링 계수  $A[k]$ 에 기초하여 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 스케일링함으로써 연속적인 신호 값을 갖는 아날로그 출력 신호  $X_{OUT}$ 를 생성하도록 구성되는 스케일러를 포함하고, 스케일링 계수  $A[k]$ 들은 혼합 신호의 시간 이산 표현이다.

[0007] 혼합기는 스케일링, 즉 시간 샘플링된 아날로그 입력 신호와 복수의 스케일링 계수  $A[k]$ 를 곱함으로써 아날로그 입력 신호로부터 아날로그 출력 신호를 생성한다. 스케일링 계수  $A[k]$ 는 스케일러에 저장된 제어 코드  $n$ 에 기초하여 스케일러에 의해 제공될 수 있다. 따라서, 향상된 혼합기가 제공된다.

[0008] 본 발명의 제1 양태의 제1 구현 형태에 따르면, 샘플링 주파수  $f_s$ 는 혼합 신호의 혼합 주파수  $f_{MIX}$ 의 2배 이상이다.

[0009] 샘플링 이론에 따르면, 샘플링 주파수  $f_s$ 는 혼합 신호가 에일리어싱 효과 없이 표현될 수 있도록 바람직하게는 혼합 주파수  $f_{MIX}$ 의 적어도 2배 만큼 크다. 이는 혼합기의 사용을 용이하게 한다.

[0010] 이와 같은 본 발명의 제1 양태의 제2 구현 형태 또는 그 제1 구현 형태에 따르면, 혼합 신호는 사인과 혼합 신호이다.

[0011] 스케일링 계수  $A[k]$ 는, 예를 들어  $T_s=1/f_s$ 는 샘플링주기이고  $\theta$ 는 임의의 위상 각인,

[0012] 
$$A[k] = \cos(2\pi f_{MIX} k T_s + \theta)$$

[0013] 로 표현될 수 있다.

[0014] 이와 같은 본 발명의 제1 양태의 제3 구현 형태 또는 제1 또는 제2 구현 형태에 따르면, 샘플링 주파수  $f_s$ 에 대한 혼합 주파수  $f_{MIX}$ 의 비율은  $A/B$ 로 주어지며,  $A$  및  $B$ 는 정수이다.

[0015] 이러한 혼합기의 경우 혼합 신호는  $f_s$ 에서 샘플링될 때 주기적일 것이어서, 스케일러의 메모리 내의 유한 크기의 주기적 시프트 레지스터 또는 룩업 테이블(LUT)에 저장될 수 있다.

[0016] 본 발명의 제1 양태의 제3 구현 형태의 유리한 구현 형태에 따르면, 정수 A 및 B는, 그 수

$$L = \frac{B}{\gcd(A,B)}$$

[0017] 이 4의 정수배가 되도록 선택되고, gcd(A, B)는 A와 B의 최대 공약수를 나타낸다.  
 [0018]

[0019] 이와 같은 본 발명의 제1 양태의 제4 구현 형태 또는 제1 구현 형태 내지 제3 구현 형태 중 하나에 따르면, 스케일러는 국부 발진기에 의해 제공되는 국부 발진기 신호의 국부 발진기 주파수  $f_{LO}$ 로부터 샘플링 주파수  $f_s$ 를 도출하도록 구성되며, 샘플링 주파수  $f_s$ 는 국부 발진기 주파수  $f_{LO}$ 의 정수배이고, 특히 국부 발진기 주파수  $f_{LO}$ 의 4배와 동일하다.

[0020] 그러한 혼합기에서, 혼합기를 포함하는 시스템, 즉 혼합기가 수신기의 일부이고 송신기가 국부 발진기 신호를 제공하는 국부 발진기를 포함하는 송신기 및 수신기를 갖는 시스템에서, 이미 이용 가능한 국부 발진기( $L0$ ) 신호가  $f_{LO}$ 와 상이한 혼합 주파수  $f_{MIX}$ 와 혼합하기 위해 사용될 수 있다.

[0021] 이와 같은 본 발명의 제1 양태의 제5 구현 형태 또는 제1 구현 형태 내지 제4 구현 형태 중 하나에 따르면, 아날로그 입력 신호  $X_{IN}$ 는 아날로그 전압 신호  $V_{IN}$  또는 아날로그 전류 신호  $I_{IN}$ 이고, 아날로그 출력 신호  $X_{OUT}$ 는 아날로그 전압 신호  $V_{OUT}$  또는 아날로그 전류 신호  $I_{OUT}$ 이다.

[0022] 전류 입력 신호의 유리한 경우에 엔티 앨리어싱 필터링(anti-aliasing filtering)이 제공된다.

[0023] 이와 같은 본 발명의 제1 양태의 제6 구현 형태 또는 제1 구현 형태 내지 제5 구현 형태 중 하나에 따르면, 혼합기는 입력 단자 및 출력 단자를 포함하고, 스케일러는 입력 단자에 병렬로 접속된 복수의 유닛 셀을 포함하며, 각각의 유닛 셀은 유닛 셀 커패시터를 포함하고,  $i$ 번째 유닛 셀의 유닛 셀 커패시터는 커패시턴스  $C_{ui}$ 를 갖고, 유닛 셀들의 커패시턴스의 합은 총 커패시턴스  $C_s$ 를 규정하고, 각각의 유닛 셀은 각각의 유닛 셀의 유닛 셀 커패시터를 출력 단자에 접속시키는 전하 전달 스위치를 포함하고, 스케일러는 복수의 스케일링 계수  $A[k]$ 에 기초하여 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 스케일링하기 위해 각각의 유닛 셀의 전하 전달 스위치를 제어하도록 구성된다.

[0024] 이 구현 형태는 주어진  $k$ 가 스케일링 계수  $A[k]$ 에 다르게 기여할 수 있는 유닛 커패시터를 갖는 유닛 셀을 사용하는 효율적인 혼합기를 제공한다.

[0025] 본 발명의 제1 양태의 제6 구현 형태의 제7 구현 형태에 따르면, 복수의 유닛 셀은  $N$ 개의 유닛 셀을 포함하고, 유닛 셀 커패시터들은 동일한 커패시턴스  $C_{ui} = C_u$ 를 갖고,  $C_u$ 는 일정한 커패시턴스이어서, 총 커패시턴스  $C_s$ 는  $C_s = NC_u$ 로 주어진다.

[0026] 동일한 커패시턴스를 갖는 동일한 유닛 셀을 갖는 혼합기의 이러한 유리한 구현 형태는 최적의 매칭 특성을 제공한다.

[0027] 본 발명의 제1 양태의 제6 구현 형태의 제8 구현 형태에 따르면, 복수의 유닛 셀은  $b$ 개의 유닛 셀을 포함하고,  $i$ 번째 유닛 셀의 유닛 셀 커패시터는 커패시턴스  $C_{ui} = 2^{i-1}C_u$ 를 갖고,  $C_u$ 는 일정한 커패시턴스이고, 총 커패시턴스  $C_s$ 는  $C_s = (2^b - 1)C_u$ 로 주어지고, 여기서  $i$ 는 1 내지  $b$ 의 범위일 수 있다.

[0028] 인자 2 만큼 증가하는 유닛 셀을 갖는 혼합기의 이 유리한 구현 형태는 레이아웃 측면에서 보다 소형이므로 더 나은 기생 성분을 발생시킨다.

[0029] 본 발명의 제1 양태의 제6 실시 형태의 제9 구현 형태에 따르면, 복수의 유닛 셀은  $(b + K)$ 개의 유닛 셀을 포함하며, 복수의 유닛 셀의  $b$ 개의 유닛 셀 중  $i$ 번째 유닛 셀의 유닛 셀 커패시터는 커패시턴스  $C_{ui} = 2^{i-1}C_u$ 를 갖고,  $i$ 는 1 내지  $b$ 의 범위일 수 있고,  $C_u$ 는 일정한 커패시턴스이고, 복수의 유닛 셀의  $K$ 개의 나머지 유닛 셀의 유닛 셀 커패시터는 동일한 커패시턴스  $C_{ui} = 2^b C_u$ 를 가져서, 총 커패시턴스  $C_s = (2^b K + 2^b - 1)C_u$ 로 주어진다.

[0030] 이진 셀과 단항 셀의 조합을 갖는 혼합기의 이 유리한 구현 형태는 기생 성분과 매칭 특성 사이의 최적의 트레이

이드 오프를 제공한다.

- [0031] 본 발명의 제1 양태의 제6 구현 형태 내지 제9 구현 형태 중 하나의 제10 구현 형태에 따르면, 혼합기를 차동으로 구현하기 위해 입력 단자는 양의 입력 단자 및 음의 입력 단자를 포함하고, 출력 단자는 양의 출력 단자 및 음의 출력 단자를 포함하고, 복수의 유닛 셀의 각각의 유닛 셀은 복수의 반전 스위치를 포함하고, 스케일러는, 복수의 유닛 셀 중 하나의 유닛 셀의 유닛 셀 커패시터의 각각의 측부가 양의 출력 단자 및/또는 음의 출력 단자에 접속될 수 있도록 복수의 반전 스위치를 제어하도록 구성된다.
- [0032] 혼합기의 이러한 유리한 차동 구현은 음의 스케일링 계수  $A[k]$ 를 실현하게 한다.
- [0033] 본 발명의 제1 양태의 제6 구현 형태 내지 제10 구현 형태 중 하나의 제11 구현 형태에 따르면, 스케일러는 메모리를 포함하며, 메모리는 복수의 제어 코드  $n$ 을 저장하도록 구성되며, 각각의 제어 코드  $n$ 은 혼합기의 출력 단자에 접속된 총 커패시턴스  $C_s$ 의 분율  $\alpha[k]$ 를 결정한다.
- [0034] 그러한 혼합기에서, 제어 코드  $n$ 은 스케일링 인자  $A[k]$ 에 기여하는 총 커패시턴스  $C_s$ 의 분율을 결정할 수 있다.
- [0035] 본 발명의 제1 양태의 제6 구현 형태 내지 제11 구현 형태 중 하나의 제12 구현 형태에 따르면, 스케일러는 유닛 셀들의  $2^M$  블록을 포함하며,  $M$ 은 정수이고, 유닛 셀들의 각각의 블록은 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 상이한 위상으로 샘플링하도록 구성되고, 각각의 블록은 스케일링 인자  $A[k]$ 들의 가능한 상이한 세트를 사용한다.
- [0036] 이 구현 형태는, 예를 들어, 4개의 유닛 셀 블록을 갖는 4 위상 혼합기를 사용함으로써 현재의 트랜지스터 기술에 대해 유리하다. 이러한 방식으로 각각의 블록에서 요구되는 샘플링 속도는 단지  $f_s/2^M$ 이고, 더 높은 조합된 샘플링 속도  $f_s$ 를 허용한다.
- [0037] 본 발명의 제1 양태의 제6 구현 형태 내지 제12 구현 형태 중 하나의 제13 구현 형태에 따르면, 스케일러의 각각의 유닛 셀은 유닛 셀 커패시터를 방전하기 위한 리셋 스위치를 더 포함하며, 스케일러는 각각의 유닛 셀의 리셋 스위치를 닫히고 열리도록 구성된다.
- [0038] 본 발명의 제1 양태의 제6 구현 형태 내지 제13 구현 형태 중 하나의 제14 구현 형태에 따르면, 스케일러는 제1 클럭 신호  $\phi_0$ 에 의해 아날로그 입력 신호  $X_{IN}$ 을 샘플링하기 위해 각각의 유닛 셀의 입력 제어 스위치를 제어하도록 구성된다.
- [0039] 본 발명의 제1 양태의 제6 구현 형태 내지 제14 구현 형태 중 하나의 제15 구현 형태에 따르면, 스케일러는 커패시턴스  $C_l$ 를 갖는 전달 커패시터를 더 포함하며, 전달 커패시터는 각각의 유닛 셀의 전하 전달 스위치와 혼합기의 출력 단자 사이의 접속부에 접속된다.
- [0040] 본 발명의 제1 양태의 제6 구현 형태 내지 제15 구현 형태 중 하나의 제16 구현 형태에 따르면, 스케일러의 각각의 유닛 셀은 커패시턴스  $C_{ui}$ 를 갖는 더미 커패시터를 더 포함하며, 각각의 유닛 셀의 더미 커패시터는 더미 제어 스위치를 통해 각각의 유닛 셀의 전하 전달 스위치와 혼합기의 출력 단자 사이의 접속부에 접속되고, 스케일러는 복수의 유닛 셀의 일부분의 전하 전달 스위치를 닫고 더미 제어 스위치를 열고, 스케일러의 메모리에 저장된 제어 코드  $n$ 에 기초하여 복수의 유닛 셀 중 나머지 유닛 셀의 전하 전달 스위치를 열고 더미 제어 스위치를 닫도록 구성된다.
- [0041] 본 발명의 제2 양태에 따르면, 본 발명은 혼합 주파수  $f_{MAX}$ 를 갖는 혼합 신호를 이용하여 아날로그 입력 신호  $X_{IN}$ 으로부터 아날로그 출력 신호  $X_{OUT}$ 를 생성하는 방법에 관한 것이고, 상기 방법은, 연속적인 신호 값을 갖는 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 얻기 위해 샘플링 주파수  $f_s$ 로 복수의 이산 시점  $k$ 에서 아날로그 입력 신호  $X_{IN}$ 을 샘플링하는 단계와, 복수의 스케일링 계수  $A[k]$ 에 기초하여 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 스케일링함으로써 연속적인 신호 값을 갖는 아날로그 출력 신호  $X_{OUT}$ 를 생성하는 단계를 포함하며, 스케일링 계수  $A[k]$ 는 주기적 혼합 신호의 시간 이산 표현이다.
- [0042] 본 발명의 제2 양태에 따른 방법은 본 발명의 제1 양태에 따른 혼합기에 의해 수행될 수 있다. 본 발명의 제2 양태에 따른 방법의 추가의 특징은 본 발명의 제1 양태에 따른 혼합기의 기능성으로부터 직접적으로 초래된다.



[0043] 제3 양태에 따르면, 본 발명은 컴퓨터 상에서 실행될 때 본 발명의 제2 양태에 따른 방법을 수행하기 위한 프로그램 코드를 포함하는 컴퓨터 프로그램에 관한 것이다.

[0044] 본 발명은 하드웨어 및/또는 소프트웨어로 구현될 수 있다.

**도면의 간단한 설명**

[0045] 본 발명의 실시예들은 이하의 도면들에 관하여 설명될 것이다.

도 1은 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 혼합기의 개략도를 도시한다.

도 2는 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 방법의 개략도를 도시한다.

도 3은 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 혼합기의 개략도를 도시한다.

도 4는 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위해 혼합기를 구동하기 위한 복수의 클록 신호의 개략도를 도시한다.

도 5는 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 직교 혼합기의 개략도를 도시한다.

도 6은 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 혼합기의 개략도를 도시한다.

도 7은 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 혼합기의 개략도를 도시한다.

도 8은 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 직교 혼합기의 개략도를 도시한다.

도 9의 a 내지 c는 상이한 클록 위상들 동안 선택된 구성 요소들을 도시함으로써 도 6, 7 및 8에 도시된 혼합기 실시예들에서 구현되는 동작 원리를 개략적으로 도시한다.

도 10의 a 내지 d는 실시예에 따른 혼합기의 동작 원리를 나타내는 개략도를 도시한다.

도 11의 a 내지 c는 실시예에 따른 혼합기의 동작 원리를 나타내는 개략도를 도시한다.

도 12는 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 직교 혼합기의 개략도를 도시한다.

도 13은 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 직교 혼합기의 개략도를 도시한다.

도 14는 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 혼합기의 개략도를 도시한다.

도 15는 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 혼합기의 개략도를 도시한다.

도 16은 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 혼합기의 개략도를 도시한다.

도 17은 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 혼합기의 개략도를 도시한다.



도 18은 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 혼합기의 개략도를 도시한다.

도 19는 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 혼합기의 개략도를 도시한다.

도 20은 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 혼합기의 개략도를 도시한다.

도 21은 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 혼합기의 개략도를 도시한다.

**발명을 실시하기 위한 구체적인 내용**

[0046] 이하의 상세한 설명에서, 본 개시 내용의 일부를 형성하고 본 개시 내용이 실시될 수 있는 특정 양태를 예시로서 도시하는 첨부 도면을 참조한다. 본 개시 내용의 범위를 벗어나지 않으면서 다른 양태가 이용될 수 있고 구조적 또는 논리적 변화가 이루어질 수 있음을 이해해야 한다. 따라서, 이하의 상세한 설명은 제한적인 의미로 해석되어서는 안되고, 본 개시 내용의 범위는 첨부된 청구 범위에 의해 한정된다.

[0047] 설명된 방법과 관련된 개시 내용은 그 방법을 수행하도록 구성된 대응하는 디바이스 또는 시스템에 대해서도 유효하며 그 반대도 마찬가지인 것을 이해해야 한다. 예를 들어, 특정한 방법 단계가 기술된다면, 대응하는 디바이스는 그러한 유닛이 도면에 명시적으로 기술되거나 예시되지는 않더라도 설명된 방법 단계를 수행하기 위한 유닛을 포함할 수 있다. 또한, 구체적으로 달리 언급되지 않는 한, 본 명세서에 기재된 다양한 예시적인 양태들의 특징들은 서로 조합될 수 있다는 것을 이해해야 한다.

[0048] 도 1은 실시예에 따라 조정 가능한 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호  $X_{IN}$ 로부터 아날로그 출력 신호  $X_{OUT}$ 를 생성하기 위한 혼합기(100)의 개략도를 도시한다. 혼합기(100)는, 연속적인 신호 값을 갖는 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 얻기 위해 혼합기(100)의 입력 단자(120)에서 샘플링 주파수  $f_s$ 로 복수의 이산 시점  $k$ 에서 아날로그 입력 신호  $X_{IN}$ 을 샘플링하고, 복수의 스케일링 계수  $A[k]$ , 즉  $X_{OUT}=A[k] \cdot X_{IN}[k]$ 에 기초하여 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 스케일링함으로써 연속적인 신호 값을 갖는 혼합기(100)의 출력 단자(130)에서 아날로그 출력 신호  $X_{OUT}$ 를 생성하도록 구성되는 스케일러(110)를 포함한다. 스케일링 계수  $A[k]$ 는 혼합 신호의 시간 이산 표현이다.

[0049] 일 실시예에서, 혼합기(100)에 의해 사용되는 혼합 신호는, 예를 들어,

[0050]  $T_s=1/f_s$ 는 샘플링 주기이고  $\theta$ 는 임의의 위상 각인,

[0051] 
$$A[k] = \cos(2\pi f_{MIX}kT_s + \theta)$$

[0052] 로 주어진 스케일링 계수  $A[k]$ 를 갖는 사인과 혼합 신호이다.

[0053] 일 실시예에서, 스케일러(110)는 입력 단자(120)에 병렬로 연결된 복수의 유닛 셀(140)을 포함한다. 각각의 유닛 셀(140)은 유닛 셀 커패시터  $C_{ui}$ 를 포함하며,  $i$ 번째 유닛 셀의 유닛 셀 커패시터는 커패시턴스  $C_{ui}$ 를 갖고, 유닛 셀들의 커패시턴스들의 합은 총 커패시턴스  $C_s$ 를 규정한다. 각각의 유닛 셀(140)은 각각의 유닛 셀(140)의 유닛 셀 커패시터  $C_{ui}$ 를 출력 단자(130)에 접속하는 전하 전달 스위치를 포함한다. 스케일러(110)는 복수의 스케일링 계수  $A[k]$ 에 기초하여 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 스케일링하기 위해 각각의 유닛 셀(140)의 전하 전달 스위치를 제어하도록 구성된다.

[0054] 일 실시예에서, 복수의 유닛 셀(140)은  $N$ 개의 유닛 셀을 포함하고, 유닛 셀 커패시터  $C_{ui}$ 는 동일한 커패시턴스  $C_{ui} = C_u$ 를 갖고,  $C_u$ 는 일정한 커패시턴스이고, 총 커패시턴스  $C_s$ 는  $C_s = NC_u$ 로 주어진다.

[0055] 일 실시예에서, 복수의 유닛 셀(140)은  $b$ 개의 유닛 셀을 포함하고,  $i$ 번째 유닛 셀의 유닛 셀 커패시터는 커패시턴스  $C_{ui} = 2^{i-1}C_u$ 를 갖고,  $C_u$ 는 일정한 커패시턴스이고, 총 커패시턴스  $C_s$ 는  $C_s = (2^b-1)C_u$ 로 주어지며, 여기서  $i$

는 1 내지 b의 범위 일 수 있다.

[0056] 일 실시예에서, 복수의 유닛 셀(140)은 (b + K)개의 유닛 셀을 포함하며, 복수의 유닛 셀(140)의 b개의 유닛 셀 중 i번째 유닛 셀의 유닛 셀 커패시터는 커패시턴스  $C_{ui} = 2^{i-1}C_u$ 를 갖고, 여기서 i는 1 내지 b의 범위이고,  $C_u$ 는 일정한 커패시턴스이고, 복수의 유닛 셀(140)의 K개의 나머지 유닛 셀의 유닛 셀 커패시터는 동일한 커패시턴스  $C_{ui} = 2^b C_u$ 를 갖고 총 커패시턴스  $C_s = (2^K + 2^b - 1)C_u$ 로 주어진다.

[0057] 도 2는 일 실시예에 따른 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호  $X_{IN}$ 으로부터 아날로그 출력 신호  $X_{OUT}$ 를 생성하기 위한 방법(200)의 개략도를 도시한다. 방법(200)은, 연속적인 신호 값을 갖는 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 얻기 위해 샘플링 주파수  $f_s$ 로 복수의 이산 시점 k에서 아날로그 입력 신호  $X_{IN}$ 을 샘플링하는 단계 201과, 복수의 스케일링 계수들  $A[k]$ 에 기초하여 샘플링된 아날로그 입력 신호  $X_{IN}[k]$ 를 스케일링함으로써 연속적인 신호 값을 갖는 아날로그 출력 신호  $X_{OUT}$ 를 생성하는 단계 203을 포함한다. 스케일링 계수  $A[k]$ 는 주기적 혼합 신호의 시간 이산 표현이다.

[0058] 다음에서, 혼합기(100) 및 방법(200)의 추가적인 구현 형태 및 실시예가 설명된다.

[0059] 도 3은 일 실시예에 따라 조정 가능한 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호  $X_{IN}$ 으로부터 아날로그 출력 신호  $X_{OUT}$ 를 생성하기 위한 혼합기(100)의 개략도를 도시한다. 도 3의 실시예에서, 혼합기(100)는 차동으로 구현되고 단순화를 위해, 차동 혼합기(100)의 2분의 1만이 도 3에 도시되어 있으며, 아날로그 입력 신호  $X_{IN}$ 의 양의 입력 신호  $X_{IN, p}$ 에 작용하고 아날로그 출력 신호  $X_{OUT}$ 의 양의 출력 신호  $X_{OUT, p}$ 를 생성한다. 혼합기(100)는 연속적인 신호 값을 갖는 샘플링된 아날로그 입력 신호를 얻기 위해 혼합기(100)의 입력 단자(120)에서 샘플링 주파수  $f_s$ 로 복수의 이산 시점 k에서 아날로그 입력 신호를 샘플링하고, 복수의 스케일링 계수  $A[k]$ , 즉  $X_{OUT} = A[k] \cdot X_{IN}[k]$ 에 기초하여 샘플링된 아날로그 입력 신호를 스케일링함으로써 연속적인 신호 값을 갖는 혼합기(100)의 출력 단자(130)에서 아날로그 출력 신호를 생성하도록 구성된 스케일러(110)를 포함한다. 스케일링 계수  $A[k]$ 는 혼합 신호의 시간 이산 표현이다.

[0060] 일 실시예에서, 도 3에 도시된 혼합기(100)는 4개의 클럭 신호  $\phi_0$  내지  $\phi_3$ 을 사용하여 동작하도록 구성된다. 이러한 클럭 신호에 의해 혼합기(100)의 상이한 스위치가 제어될 수 있으며, 이는 이하에서 추가로 더 상세히 설명될 것이다. 일 실시예에서, 클럭 신호  $\phi_0$  내지  $\phi_3$ 은 국부 발진기(LO)의 주파수  $f_{LO}$ 에 대응하는 주파수를 갖고 25%의 듀티 사이클로 위상차가 90도이다. 일 실시예에서, 클럭 신호  $\phi_0$  내지  $\phi_3$ 은 도 4에 도시된 형태를 갖는다.

[0061] 도 3에 도시된 혼합기 실시예를 다시 참조하면, 스케일러(110)는 N개의 유닛 셀(140)의 4개의 블록(350)을 포함한다. 각각의 유닛 셀(140)은 커패시턴스  $C_u$ 를 갖는 유닛 셀 커패시터  $C_u$ 를 포함한다. N개의 유닛 셀(140)의 유닛 셀 커패시터  $C_u$ 의 커패시턴스  $C_u$ 의 합은 총 또는 합계 커패시턴스  $C_s$ 를  $C_s = N \cdot C_u$ 로 규정한다.

[0062] 각각의 유닛 셀(140)은 도 3에서 " $\phi_0$ "으로 참조되는 입력 제어 스위치를 더 포함하여 각각의 유닛 셀(140)의 입력 제어 스위치가 클럭 신호  $\phi_0$ 에 의해 제어되는 것을 나타낸다. 클럭 신호  $\phi_0$ 가 하이일 때, 각각의 유닛 셀(140)의 입력 제어 스위치는 입력 단자(120)에 아날로그 입력 신호  $X_{IN, p}$ 가 공급된 상태에서 모든 유닛 셀(140)의 유닛 셀 커패시터  $C_u$ 와 노드 "nsample\_p"를 접속해서, 모든 유닛 셀(140)은 아날로그 입력 신호  $X_{IN, p}$ 를 샘플링하고, 결과적으로 모든 유닛 셀 커패시터  $C_u$ 는  $\phi_0$ 의 하이 위상의 단부에서 동일한 전압  $V_{IN}$ 으로 충전되고,  $V_{IN}$ 은 (접지에 대한) 입력 단자(120)에서의 전압이다. 이 시점에서, 모든 단위 셀 커패시터  $C_u$ 의 총 전하는 합계  $Q_s = C_s \cdot V_{IN}$ 으로 주어진다.

[0063] 클럭 신호  $\phi_1$ 이 하이일 때, 총 개수 N개의 유닛 커패시터  $C_u$ 의 일부는 노드 "nshare\_p"에 접속되고 도 3에서 " $\phi_1$  및 코드 및 부호"으로 참조되는 전하 전달 스위치를 통해 전달 커패시터  $C_t$ 에 접속되어, 각각의 유닛 셀(140)의 전하 전달 스위치가 클럭 신호  $\phi_1$ 에 의해 디지털 제어 코드 n 및 부호 비트의 역수에 의해 제어되는

것을 나타내고, "&"는 논리 AND 연산을 나타낸다. 도 3에 도시된 혼합기 실시예에서, 부호 비트는 양수에 대해 0이고 음수에 대해 1인 것으로 하기로 한다.

[0064] 일 실시예에서, 디지털 제어 코드 n은 클록 신호  $\phi_1$ 이 하이인 동안 얼마나 많은 N개의 유닛 셀(140)이 전달 커패시터  $C_t$ 에 접속되는지를 판정한다. 이 페이즈 동안, 분율  $\alpha = n/N$ 의 총 전하  $Q_s$ 는 총 커패시턴스  $C_t + n \cdot C_u = C_t + \alpha \cdot C_s$ 에 걸쳐 재분배된다. 이는 전달 커패시터  $C_t$ (뿐만 아니라 전달 커패시터  $C_t$ 에 접속된 모든 유닛 셀(140))에 대해 전압

**수학식 1**

[0065] 
$$V_t = \frac{\alpha C_s}{\alpha C_s + C_t} \cdot V_{IN}$$

[0066] 을 발생시킨다.

[0067] 도 3에 도시된 혼합기(100)는 매 시간 단계마다, 즉  $V_{IN}$ 의 모든 샘플링된 값마다 제어 코드 n을 변경하도록 구성된다. 달리 말하면, 제어 코드 n은 이산 시간 변수 k, 즉  $n[k]$ 의 함수이다. 상이한 시간 단계들에 대해 상이한 디지털 제어 코드들 n을 사용함으로써, 도 3에 도시된 혼합기(100)는 스케일링 계수(또는 전압 이득)

**수학식 2**

[0068] 
$$A[k] = \frac{\alpha[k]C_s}{\alpha[k]C_s + C_t}$$

[0069] 를 제공하도록 구성된다.

[0070] 도 3에 도시된 혼합기(100)가 차동으로 구현될 수 있기 때문에, 음의 전압 이득은 혼합기(100)의 양의 측 상의 유닛 셀 커패시터  $C_u$ 를 혼합기(100)의 음의 측 상의 전달 커패시터  $C_t$ 에 접속하고, 그 반대의 경우도 마찬가지로 접속함으로써 용이하게 달성할 수 있다. 이를 위해, 혼합기(100)의 각각의 유닛 셀(140)은 노드 "nshare\_n"에 접속되고 도 3에서 " $\phi_1$  및 코드 및 부호"로 참조되는 추가 스위치를 포함하여 각각의 유닛 셀(140)의 추가 스위치가 클록 신호  $\phi_1$ 에 의해 디지털 제어 코드 n 및 부호 비트에 의해 제어된다.

[0071] 일 실시예에서, 도 3에 도시된 혼합기(100)는 본질적으로 오직 3개의 상이한 클록 신호 위상들이 도 3에 도시된 혼합기(100)에 필요하기 때문에 클록 신호  $\phi_2$ 의 하이 위상 동안 유힬 상태로 남아있는 것이 가능하다. 이 실시예는 클록 신호  $\phi_1$ 이 클록 신호에 요구되는 게이팅(gating)에 의해 다소 지연될 수 있는 경우에 유리할 수 있으며, 이는 클록 신호  $\phi_1$ 와 클록 신호  $\phi_2$ 의 중첩을 야기할 수 있다.

[0072] 클록 신호  $\phi_3$ 의 하이 위상 동안, 모든 유닛 셀(140)의 전압은 리셋 스위치를 통해 입력 및 출력 신호들의 공통 모드 DC 전압  $V_{CM}$ 으로 리셋되고, 리셋 스위치는 도 3에 도시된 실시예에서 각각의 유닛 셀(140)의 일부이고, 도 3에서 각각의 유닛 셀(140)의 리셋 스위치가 클록 신호  $\phi_3$ 에 의해 제어됨을 나타내기 위해 " $\phi_3$ "으로 참조된다. 리셋 스위치를 갖는 것은 이상적인 전압 입력 신호의 경우에는 필요하지 않지만, 이하에서 추가로 더 상세히 설명되는 바와 같이, 전류 입력 신호에 대해 유리하다. 또한, 도 3에 도시된 혼합기(100)가 0이 아닌 출력 임피던스를 갖는 전압 입력 신호에 의해 구동되는 경우에, 메모리 효과는 일부 유닛 셀(140)이 이전 샘플로부터 여전히 완전 충전 상태를 유지하는 한편 다른 유닛 셀은 그 전하의 일부를 전달 커패시터  $C_t$ 에 이미 전달했다는 사실에 의해 야기될 수 있다.

[0073] 본 기술 분야의 통상의 기술자가 이해할 바와 같이, 지금까지 설명된 혼합기(100)의 부분들은 LO 사이클 당 하나의 입력 신호 샘플을 처리할 수 있다. 일 실시예에서, 도 3에 도시된 혼합기(100)(또는 오히려 혼합기(100)의 스케일러(110))는 LO 주파수  $f_{LO}$ 의 4배의 유효 샘플링 주파수  $f_s$ , 즉  $f_s = 4f_{LO}$ 를 달성하기 위해, 유닛 셀

(140)의 4개의 블록(350)을 포함하며, 각각의 블록(350)은 전달 커패시터  $C_t$ 를 포함하고 클럭 신호들  $\phi_0$  내지  $\phi_3$ 의 상이한 위상 동안 입력 신호  $X_{IN, p}$ 를 샘플링하도록 구성된다. 달리 말하면, 유닛 셀(140)의 각각의 블록(350)은  $4f_{L0}$ 의 유효 샘플링 레이트  $f_s$ 를 제공하는 LO 주파수  $f_{L0}$ 에서 위상차 90도로 동작한다.

[0074] 도 3에 도시된 혼합기(100)의 4개의 블록(350)에 의해 취해진 입력 신호  $X_{IN, p}$ 의 샘플을 다시 단일 아날로그 신호로 재조합시키기 위해, 단일 홀드 커패시터  $C_h$ 가 출력 단자(130)에 제공된다. 홀드 커패시터  $C_h$ 는 4개의 홀드 커패시터 스위치를 통해 혼합기(100)의 4개의 블록들(350) 모두에 접속되고, 따라서 각각의 클럭 신호 위상 동안 하나의 위상들로 전하를 재분배한다. 블록(350)의 홀드 커패시터 스위치는 도 3에서 " $\phi_3$ "으로 참조되어 각각의 블록(350)의 홀드 커패시터 스위치가 클럭 신호  $\phi_3$ 에 의해 제어됨을 나타낸다. 본 기술 분야의 통상의 기술자라면, 이 때문에, 홀드 커패시터  $C_h$ 가 리셋될 수 있는 동안 클럭 신호 위상이 존재하지 않음을 이해할 것이다.

[0075] 4개의 블록들(350)의 4개의 전달 커패시터  $C_t$ 는 홀드 커패시터  $C_h$ 와 함께 무한 임펄스 응답(IIR) 저역 통과 필터를 구현하는 것으로 나타낼 수 있으며, 이 전달 함수(transfer function)는

**수학식 3**

$$H_{IIR}(z) = \frac{1}{1 - z^{-1} \cdot \frac{C_h}{C_t + C_h}}$$

[0076]

로 주어지고, 여기서  $z$  변환은 샘플링 레이트  $f_s = 4f_{L0}$ 에서 취해져야 한다. 이 필터의 극점은

**수학식 4**

$$f_p = \frac{4f_{L0}}{2\pi} \cdot \ln \left( 1 + \frac{C_t}{C_h} \right)$$

[0078]

에 위치한다.

[0079]

[0080] 혼합기(100)가 수신기의 구성 요소로서 구현되는 실시예에서, IIR 저역 통과 필터는 수신기 라인업에서 제1 필터링 스테이지로서 사용될 수 있다. 일 실시예에서, 홀드 커패시터  $C_h$ 는 수신하고자 하는 통신 대역에 따라 필터 극점을 튜닝하기 위해, 도 3에 나타낸 바와 같이 튜닝 가능한 커패시터에 의해 제공될 수 있다.

[0081] 도 3에 도시된 실시예에서, 혼합기(100)의 4개의 블록들(350) 각각은 유효 샘플링 레이트  $f_s = 4f_{L0}$ 에서 샘플링된 입력 신호  $X_{IN, p}$ 를 스케일링하기 위해 제어 코드  $n$ 를 사용한다. 각각의 블록(350)은 입력 신호의 매 4번째 샘플만을 스케일링하기 때문에, 제어 코드  $n$ 는 주파수  $f_{L0}$ 를 갖는 블록 내에 존재해야 한다.  $f_s = 4f_{L0}$ 에서 샘플링된 하나의 신호로서 함께 고려될 때, 4개의 블록(350)의 제어 코드  $n$ 는 주파수  $f_{MIX}$ 로 혼합 신호를 제공한다. 비율  $f_{MIX}/f_s$ 가 어떤 유리수인  $A/B$ 라면, 보다 상세히 추가로 후술될 바와 같이, 영원히 반복될 수 있는 한정된 제어 코드 샘플 세트만이 필요하다. 셀룰러 대역에 대해, 요구되는 제어 코드 샘플의 개수는 일반적으로 30개 미만이어서, 샘플은 혼합기(100)의 국부 테이블(LUT) 또는 시프트 레지스터에 용이하게 저장될 수 있다.

[0082] 도 5는 일 실시예에 따라 조정 가능한 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 혼합기(500)의 개략도를 도시한다. 도 5의 실시예에서, 혼합기(500)는 상술한 혼합기들(100) 중 2개를 병렬로 접속함으로써 직교 혼합기의 형태로 구현된다. 직교 혼합기(500)의 각각의 혼합기(100)는 위상차가 90도인 각각의 혼합 신호를 규정하는 상이한 제어 코드 세트  $n$ 에 의해 제어된다.

[0083] 도 5 및 이하의 도면들은 도 1 및 도 4의 문맥에서 이미 상세하게 기술된 일부 요소들을 포함하기 때문에, 불필

요한 반복을 피하기 위해 이들 요소들은 일반적으로 그 의미가 도 1 및 도 4의 실시예의 상기 상세한 설명으로부터 용이하게 도출될 수 없는 경우에만 이하에서 설명될 것이다.

[0084] 도 3 및 도 5에 도시된 혼합기(100)의 실시예는 단항 혼합기 구현, 즉 동일한 커패시턴스  $C_u$ 를 갖는 동일한 유닛 셀(140)의 적어도 하나의 블록(350)을 갖는 혼합기(100)를 제공한다. 이 해결책은 레이아웃 작업을 상대적으로 적게 포함하고 유닛 셀(140) 간의 매칭에 가장 적절하다.

[0085] 이미 기술한 바와 같이, 혼합기(100)는 이진 혼합기 구현의 형태로 제공될 수 있는데, 이진 구현은  $i$ 번째 유닛 셀(140)의 유닛 셀 커패시터의 커패시턴스  $C_{ui}$ 가 커패시턴스  $C_{ui} = 2^{i-1}C_u$ 를 갖고,  $C_u$ 는 일정한 커패시턴스인 것을 의미한다. 혼합기(100)의 이진 구현의 경우에, 총 커패시턴스  $C_s$ 는  $C_s = (2^b - 1)C_u$ 로 주어지며, 여기서  $b$ 는 이진 유닛 셀(140)의 총 개수이다.

[0086] 혼합기의 이진 구현을 채택함으로써 MSBs(most significant bits)를 훨씬 적은 영역 및 기생 성분으로 구현할 수 있으며, 이는 저하된 매칭 특성을 희생하면서 전력 소비 및 입력 커패시턴스를 향상시킬 수 있다.

[0087] 기술한 바와 같이, 혼합기(100)는  $(b + K)$ 개의 유닛 셀(140)을 갖는 단항과 이진 구현의 조합으로서 구현될 수 있으며, 여기서  $(b + K)$ 개의 유닛 셀의  $b$ 개의 유닛 셀 중  $i$ 번째 유닛 셀의 유닛 셀 커패시터는 커패시턴스  $C_{ui} = 2^{i-1}C_u$ 를 갖고,  $C_u$ 는 일정한 커패시턴스를 갖고,  $(b + K)$ 개의 유닛 셀의 나머지  $K$ 개 유닛 셀의 유닛 셀 커패시터는 동일한 커패시턴스  $C_{ui} = 2^b C_u$ 를 갖고, 총 커패시턴스  $C_s$ 는  $C_s = (2^{b+K} - 1)C_u$ 로 주어진다. 이진과 단항 유닛 셀의 조합은 기생 성분과 매칭 특성 사이의 최적의 트레이드 오프를 제공한다.

[0088] 일 실시예에서, 혼합기(100)는 아날로그 입력 신호  $X_{IN}$ 으로서 아날로그 전압 신호  $V_{IN}$  또는 아날로그 전류 신호  $I_{IN}$ 를, 또는 아날로그 출력 신호  $X_{OUT}$ 로서 아날로그 전압 신호  $V_{OUT}$  또는 아날로그 전류 신호  $I_{OUT}$ 를 처리하도록 구성된다.

[0089] 아날로그 입력 신호  $X_{IN}$ 가 아날로그 전압 신호  $V_{IN}$ 인 실시예에서, 도 3 및 도 5에 도시된 혼합기 실시예(100)의 총 커패시턴스  $C_s$ 는 그 걸린 전압이 아날로그 전압 신호  $V_{IN}$ 과 동등해질 때까지 충전될 것이고, 따라서, 도 3 및 도 5에 도시된 혼합기 실시예(100)는 입력 신호를 샘플링할 것이다. 이 경우에, 도 3 및 도 5에 도시된 혼합기 실시예(100)는 클럭 신호  $\phi_0$ 에 의해 제어되는 입력 제어 스위치가 열리는 시간의 변화에 민감한데, 이것이 언제 입력 신호가 샘플링되는지를 결정하기 때문이다. 또한, 도 3에 도시된 혼합기 실시예의 유닛 셀(140)의 입력 제어 스위치의 (도전성일 때) 저항은 양호한 안정화를 허용할 만큼, 즉  $C_s$ 가 입력 제어 스위치가 닫히는 시간 동안 정확한 전압으로 충전되게 할 만큼 충분히 낮아야 한다.

[0090] 아날로그 입력 신호  $X_{IN}$ 이 아날로그 전류 신호  $I_{IN}$ 인 실시예에서,  $C_s$  상의 전류는 입력 제어 스위치가 닫히는 시간 동안 적분될 것이다. 입력 제어 스위치가 클럭 신호  $\phi_0$ 에 의해 "하이"에서 "로우"로 열린다면  $C_s$  상의 전압이 이 기간 동안 아날로그 전류 신호  $I_{IN}$ 의 적분을 나타낼 것이다. 이러한 실시예에 의해, 적분 및 덤프 지역 통과 필터가 실현되며, 이는 유리한 엔터 엘리머싱 필터링을 제공한다. 이 경우에, 도 3 및 도 5에 도시된 혼합기 실시예(100)는 입력 제어 스위치가 닫히는 시간과 열리는 시간의 양쪽 모두의 변화에 민감한데, 이들 시간들 간의 차분은 입력 신호가 적분되는 기간을 결정하고, 시간들은 또한 언제 입력 신호가 정확하게 샘플링되는지를 결정하기 때문이다.

[0091] 커패시터  $C_s$ ,  $C_i$  및/또는  $C_h$  각각은 단일 단부(single-ended) 커패시터 또는 단일 단부 커패시터의 절반의 커패시턴스를 갖는 차동 커패시터 중 어느 하나로 구현될 수 있다. 차동 커패시터를 사용하면 다음과 같은 이점이 있다. 차동 커패시터는 2개의 단일 단부 커패시터를 대체할 수 있어서, 4배 줄인 칩 영역이 사용된다. 커패시터  $C_s$  또는  $C_i$ 를 차동 커패시터로서 구현하면 강력한 공통 모드 제거(common-mode rejection)가 된다. 공통 모드 신호는 단지 기판 또는 다른 네트(net)에 대한 기생 커패시턴스에 대해 샘플링됨으로써 통과될 수 있다. 단일 단부 커패시터를 사용하면 이하의 이점이 있다. 단일 단부 커패시터의 경우 4배 많은 물리적 커패시턴스가 사용되기 때문에 유효 차동 커패시턴스 상의 표준 편차는 2배 낮아질 것이다. 홀드 커패시터  $C_h$ 를 단일 단부 커패시터로서 구현하면 IIR 필터가 또한 고주파 공통 모드 신호를 필터링하여 제거할 것이라는 효과를 갖는다.



[0092] 도 5에 도시된 실시예에서, 홀드 커패시터  $C_h$ 는 세이브 영역(save area)에 대해 차동으로 구현된다. 유닛 셀 (140)의 총 커패시턴스  $C_s$  또는 오히려 유닛 커패시터  $C_u$ 는 유닛 셀 사이의 보다 양호한 매칭을 위해 단일 단부 커패시터로서 구현된다. 유닛 셀(140)의 영역이 유닛 셀 커패시터  $C_u$ 에 의해 결정될 뿐만 아니라 유닛 셀(140)의 스위치 및 라우팅 오버헤드에 의해 결정되기 때문에, 이것의 영역 영향은 일반적으로 덜 크다.

[0093] 상기 수학적 식 2로부터 알 수 있는 바와 같이, 도 3 및 도 5에 도시된 혼합기 실시예들에서, 스케일링 계수 또는 전압 이득  $A[k]$ 의 최대 값은  $\alpha = 1$  일 때 달성되고,

**수학적 식 5**

$$A_{max} = \frac{C_s}{C_s + C_t}$$

[0094]

[0095] 로 주어진다.

[0096] 전체 커패시턴스  $C_s$ 에 대한 전달 커패시터  $C_t$ 의 커패시턴스의 크기의 선택은 양자화 노이즈와 전압 손실 사이의 트레이드 오프이다. 이는 이하와 같이 볼 수 있다.

[0097]  $C_t$ 가 무한대로 향하면 수학적 식 2의 분모에 있는 항  $\alpha \cdot C_s$ 는 무시할 수 있게 되고 스케일링 계수  $A[k]$ 는

**수학적 식 6**

$$A[k] \rightarrow \frac{\alpha C_s}{C_t} \quad (C_t \rightarrow \infty)$$

[0098]

[0099] 에 수렴한다.

[0100] 이는 스케일링 계수  $A[k]$ 가  $\alpha$ 에 정비례함을 의미한다. 이는  $\alpha$ 에 대한 양자화 레벨이 등거리의 간격으로 배치 되기 때문에 유용하므로, 따라서 이는 스케일링 계수  $A[k]$ 에 대해서도 적용될 것이다. 그러나,  $C_t$ 가 무한대로 증가함에 따라 스케일링 계수  $A_{max}$ 의 최대 값은 0이 될 것이다.

[0101]  $C_t$ 가 작아질수록 분모의  $\alpha \cdot C_s$  항이 더 우세하게 되고  $A_{max}$ 가 증가할 것이다. 동시에  $\alpha$ 에 대한 스케일링 계수  $A[k]$ 의 의존성은 점차적으로 비선형이 되어서, 1에 가깝고 0에 더 적게 가까운 양자화 레벨이 더 존재할 것이다. 이로 인해 양자화 노이즈의 증가를 초래할 가능성이 가장 크다.

[0102]  $C_t$ 가 0으로 감소하면 분모에서 무시할 수 있게 되므로

**수학적 식 7**

$$A[k] \rightarrow 1 \quad (C_t \rightarrow 0)$$

[0103]

[0104] 이 된다.

[0105] 이는 수동 구조로 달성할 수 있는 가장 큰 스케일링 계수이지만, 이제  $\alpha$ 와는 독립적이다. 이는  $A[k]$ 에 대한 모든 양자화 레벨이 일치하고 더 이상 혼합을 달성할 수 없다는 것을 의미한다.

[0106]  $C_s$  및  $C_t$ 에 대한 최적 값은 노이즈, 양자화 노이즈, 전압 이득 뿐만 아니라 영역 및 전력 소비와 같은 혼합기 (100)가 사용될 애플리케이션의 주어진 환경에 의존한다. 일 실시예에서, 커패시턴스  $C_s$  및  $C_t$ 는 크기가 유사하다.  $C_s = C_t$ 인 경우에,  $\alpha$ 에 대한  $A[k]$ 의 의존성은 직선형과 그리 멀지 않고  $A_{max}$ 는 0.5와 동등하다.

[0107] 도 6은 일 실시예에 따라 조정 가능한 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호  $X_{IN}$ 으로부터 아날로그 출력 신호  $X_{OUT}$ 를 생성하기 위한 혼합기(100)의 개략도를 도시한다. 도 6의 실시예에서, 혼합기(100)는 차동으로 구현되고 단순화를 위해 차동 혼합기(100)의 2분의 1만이 도 6에 도시되어 있으며, 아날로그 입력 신호  $X_{IN}$ 의 양의 입력 신호  $X_{IN, p}$ 에 작용하고 아날로그 출력 신호  $X_{OUT}$ 의 양의 출력 신호  $X_{OUT, p}$ 를 생성한다. 혼합기(100)는 연속적인 신호 값을 갖는 샘플링된 아날로그 입력 신호를 얻기 위해 혼합기(100)의 입력 단자(120)에서 샘플링 주파수  $f_s$ 로 복수의 이산 시점  $k$ 에서 아날로그 입력 신호를 샘플링하고, 복수의 스케일링 계수  $A[k]$ , 즉  $X_{OUT}=A[k] \cdot X_{IN}[k]$ 에 기초하여 샘플링된 아날로그 입력 신호를 스케일링함으로써 연속적인 신호 값을 갖는 혼합기(100)의 출력 단자(130)에서 아날로그 출력 신호를 생성하도록 구성된 스케일러(110)를 포함한다. 스케일링 계수  $A[k]$ 는 혼합 신호의 시간 이산 표현이다.

[0108] 일반적으로, 이후에 더 상세히 설명될 도 6에 도시된 혼합기 실시예와 도 3에 도시된 혼합기 실시예 사이의 주된 차이점은, 도 6에 도시된 혼합기 실시예에서 전달 커패시터  $C_t$ 가 제거되고, 도 6에 도시된 혼합기(100)의 스케일러(110)의 유닛 셀(140)이 유닛 커패시터  $C_u$ 에 추가하여 더미 유닛 커패시터  $C_d$ 를 포함한다는 것이다. 일 실시예에서, 더미 유닛 커패시터  $C_d$ 의 커패시턴스는 유닛 셀 커패시터  $C_u$ 의 커패시턴스와 본질적으로 동등하다 (즉  $C_d = C_u$ ).

[0109] 도 6에 도시된 혼합기 실시예(100)의 동작을 설명하기 위해, 도 7에 도시된 혼합기(100)의 약간 수정된 실시예를 먼저 설명하는 것이 도움이 될 것이다. 도 7에 도시된 혼합기 실시예가 스케일러(110)의 각각의 블록(750)의 출력에서 추가적인 출력 스위치를 포함한다는 점에서, 도 7에 도시된 혼합기 실시예는 도 6에 도시된 혼합기 실시예와 상이하다. 스케일러(110)의 각각의 블록(750)의 출력에서의 추가적인 출력 스위치는 도 7에서 " $\phi_{1b}$ "로 참조되어, 스케일러(110)의 각각의 블록(750)의 추가적인 출력 스위치가 다른 클럭 신호  $\phi_{1b}$ 에 의해 제어된다는 것을 나타낸다. 일 실시예에서, 클럭 신호  $\phi_{1b}$ 는 클럭 신호  $\phi_1$ 보다 나중 시점에서 "로우"에서 "하이"로 천이하지만, 클럭 신호  $\phi_1$ 과 동일한 시점에서 "로우"로 되돌아간다. 예를 들어, 클럭 신호  $\phi_{1b}$ 의 "하이" 위상은 클럭 신호  $\phi_1$ 의 "하이" 위상의 절반일 수 있다. 클럭 신호  $\phi_0$ 의 "하이" 위상 동안, 도 7에 도시된 혼합기 실시예(100)의 모든 유닛 셀(140)은 그 유닛 커패시터  $C_u$  상의 아날로그 입력 신호  $X_{IN, p}$ 를 샘플링하고, 각각의  $C_u$  상의 전압  $V_{IN}$  및  $C_s$  상의 총 전하  $Q_s = C_s \cdot V_{IN}$ 을 유도한다. 더미 커패시터  $C_d$ 는 도 7에서 " $\phi_3$ "으로 참조되고 각각의 더미 커패시터  $C_d$ 와 접속된 리셋 스위치를 통해 클럭 신호  $\phi_3$ 의 이전의 "하이" 위상 동안 리셋되었기 때문에 전하를 갖지 않는다.

[0110] 클럭 신호  $\phi_1$ 의 "하이" 위상 동안,  $N$ 개의 유닛 셀(140)의  $n$ 개(디지털 제어 코드에 의해  $n$ 으로 규정됨)만이 그 유닛 커패시터  $C_u$ 를 도 7에서 "nshare\_p"로 참조되는 노드(또는 부호가 음인 경우에 도 7에서 "nshare\_n"으로 지칭된 노드)에, 클럭 신호  $\phi_1$ , 디지털 제어 코드  $n$  및 부호 비트의 역수에 의해 제어되는 각각의 스위치를 통해 접속한다. 나머지  $(N-n)$ 개의 유닛 셀(140)은 그 "ndummy\_p" 노드를 "nshare\_p" 노드에 접속한다. 따라서, 이제 전하  $\alpha \cdot Q_s$ (이전과 같이  $\alpha = n/N$ )가 총 커패시턴스  $n \cdot C_u + (N-n) \cdot C_d = C_s$ 에 걸쳐 재분배된다. 이는 전압

**수학식 8**

[0111] 
$$V_T = \frac{\alpha Q_s}{C_s} = \alpha V_{IN}$$

[0112] 및 따라서  $\alpha$ 에 정비례하는 스케일링 인자  $A[k]$ (또는 전압 이득)



수학식 9

$$A[k] = \alpha$$

[0113]

[0114]

를 발생시킨다. 도 6 및 도 7에 도시된 실시예에서, 스케일링 계수의 최대 값  $A_{max}$ 는 이제 1과 동등하지만,  $\alpha$ 에 대한  $A[k]$ 의 의존성은 항상 선형인 것이 명백하다.

[0115]

전하가 재분배될 때, 클록 신호  $\phi_{1b}$ 는 상승하고 도 7에서 " $\phi_{1b}$ "로 참조된 스케일러(110)의 각각의 블록(750)의 출력 시 부가적인 출력 스위치는 "nshare\_p" 노드를 출력 단자(130)에 접속하지만, 클록 신호  $\phi_1$ 에 의해 제어되는 스위치는 여전히 닫혀 있다. 이러한 방식으로, 전하  $\alpha \cdot Q_s$ 를 전달하는 총 커패시턴스  $C_s$ 는 다른 블록(750)으로부터의 이전 샘플에 의존하는 전하를 전달하는 홀드 커패시터  $C_h$ 에 접속된다. 클록 신호  $\phi_3$ 의 "하이" 위상 동안, 유닛 커패시터  $C_u$  및 더미 유닛 커패시터  $C_d$ 가 리셋된다.

[0116]

도 3에 도시된 혼합기 실시예(100)의 경우에서와 같이, 전술한 구성은  $C_l$ 가 전달 함수에서  $C_s$ 로 대체된 1의 DC 이득을 갖는 IIR 저역 통과 필터를 제공한다:

수학식 10

$$H_{IIR}(z) = \frac{1}{1 - z^{-1} \cdot \frac{C_h}{C_s + C_h}}$$

[0117]

[0118]

극점은,

수학식 11

$$f_p = \frac{4f_{to}}{2\pi} \cdot \ln\left(1 + \frac{C_s}{C_h}\right)$$

[0119]

[0120]

에 위치된다.

[0121]

홀드 커패시터  $C_h$ 에 접속된 모든 유닛 커패시터  $C_u$ 와 더미 유닛 커패시터  $C_d$ 의 합은 항상  $C_s$ 와 동등하기 때문에, 극점 주파수는  $\alpha$ 에 의존하지 않는다. 혼합기(100)의 입력 커패시턴스는 항상  $C_s$ 와 동등하며, 따라서  $\alpha$ 와 독립적이다. 이는 구동 신호 소스가 0이 아닌 출력 임피던스를 갖는 경우에 비선형성을 방지하는 데 유용하다.

[0122]

도 6에 도시된 혼합기 실시예(100)를 다시 참조하면, 클록  $\phi_1$  및  $\phi_{1b}$ 가 동시에 상승하면, 도 7에 도시된 혼합기 실시예(100)의 동작이 변경되지 않음을 용이하게 알 수 있다. 이는  $n$ 개의 유닛 커패시터  $C_u$  및 홀드 커패시터  $C_h$ 에 존재하는 전하가 커패시턴스  $n \cdot C_u + (N-n) \cdot C_d + C_h = C_s + C_h$ 에 걸쳐 재분배되기 때문이다. 동일한 클록 신호  $\phi_1$  및  $\phi_{1b}$ 에 대해, 도 7에서 " $\phi_{1b}$ "로 참조된 스케일러(110)의 각각의 블록(750)의 출력 시 부가적인 출력 스위치는 제거될 수 있다. 이는 도 6에 도시된 혼합기 실시예(100)로 이어지고, 이는 이상적인 스위치가 사용되는 경우에, 도 7의 혼합기 실시예와 기능적으로 동일하다. 그러나, 실제 스위치를 사용하면, 도 6에 도시된 혼합기 실시예(100)가 바람직한데, 이는 2개의 스위치를 직렬로 갖지 않고 클록 신호  $\phi_{1b}$ 의 더 짧은 "하이" 위상 대신에 클록 신호  $\phi_1$ 의 완전한 "하이" 위상 동안 전하를 재분배하게 하기 때문이다.

[0123]

도 8은 일 실시예에 따라 조정 가능한 혼합 주파수  $f_{mix}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호로부터 아날로그 출력 신호를 생성하기 위한 혼합기(800)의 개략도를 도시한다. 도 8의 실시예에서, 혼합기(800)는 도

6에 도시된 혼합기 실시예들(100) 중 2개를 병렬로 접속함으로써 직교 혼합기의 형태로 구현된다. 단순화를 위해, 음의 부호 스케일링 계수를 구현하기 위한 추가의 스위치는 도 8에 도시되지 않는다. 직교 혼합기(800)의 각각의 혼합기(100)는 위상차가 90도인 각각의 혼합 신호를 규정하는 상이한 제어 코드 세트 n에 의해 제어된다.

- [0124] 도 9의 a 내지 c는 선택된 구성 요소를 도시함으로써 도 6, 도 7 및 도 8에 도시된 혼합기 실시예에서 구현된 동작 원리를 개략적으로 도시한다. 설명을 위해 더미 유닛 커패시터  $C_d$ 는 개별 더미 유닛 셀들로 분리된다. 도 9의 a 내지 c의 각각의 박스는  $\alpha$ 에 의존하는 가변 개수의 유닛 셀 또는 더미 유닛 셀을 나타낸다.
- [0125] 도 9의 a는 클록 신호  $\phi_0$ 의 "하이" 위상을 나타내며, 여기서 입력은 총 커패시턴스  $C_s$ 에 대해 샘플링된다. 도 9의 b는  $(1 - \alpha) \cdot C_s$ 의 커패시턴스를 갖는 더미 유닛 셀에 그리고 홀드 커패시터  $C_h$ 에 전하가 전달되는 클록 신호  $\phi_1$ 의 "하이" 위상을 도시한다. 더미 유닛 셀은 확실히 IIR 필터의 극점이 동일한 주파수에 머무르게 한다.
- [0126] 도 9의 c는 모든 커패시터의 리셋이 이루어지는 클록 신호  $\phi_3$ 의 "하이" 위상을 도시한다.
- [0127] 이하에서 도 6에 도시된 혼합기 실시예(100)의 추가의 변형예가 설명될 것이다. 특정한 구현예가 상이하지만, 이들은 동일한 스케일링 인자  $A[k] = \alpha$ 를 갖고 도 6에 도시된 혼합기 실시예(100)와 동일한 IIR 필터를 제공한다. 단순화를 위해 도면에는 도시되지 않지만, 모든 구현예는 채널 당 2개의 혼합기 채널 및 4개의 혼합기 블록을 가질 수 있다.
- [0128] 도 10의 a 내지 d는 추가의 혼합기 실시예(100)에서 구현된 동작 원리를 개략적으로 도시한다. 도 9의 a 내지 c의 경우에서와 같이, 설명을 위해 추가의 혼합기 실시예(100)의 선택된 구성 요소만이 도 10의 a 내지 d에 도시된다. 도 10의 a 내지 d의 각각의 박스는  $\alpha$ 에 의존하는 가변 개수의 유닛 셀 또는 더미 유닛 셀을 나타낸다.
- [0129] 도 10의 a 내지 d에 도시된 혼합기(100)는 임의의 더미 커패시터를 필요로 하지 않고 4개의 클록 신호  $\phi_0$ ,  $\phi_1$ ,  $\phi_2$  및  $\phi_3$  모두를 사용한다.
- [0130] 클록 신호  $\phi_0$ 의 "하이" 위상 동안, 입력은 모든 N개의 유닛 셀(140)의 유닛 커패시터  $C_u$ , 즉 총 커패시턴스  $C_s$ 에 대해 샘플링되어, 유닛 커패시터  $C_u$  각각의 전압  $V_{IN}$ 과 전하  $Q_s = C_s \cdot V_{IN}$ 를 유도한다.
- [0131] 클록 신호  $\phi_1$ 의 "하이" 위상 동안, 다른 유닛 셀(140)의 유닛 커패시터  $C_u$ 가 전압  $V_{IN}$ 으로 유지되면서 이들 유닛 셀(140) 중 (N-n)개는 리셋된다. 총 전하는 이제 단지  $\alpha \cdot Q_s$  만이다.
- [0132] 클록 신호  $\phi_2$ 의 "하이" 위상 동안, 모든 N개의 유닛 셀(140)은 홀드 커패시터  $C_h$ 에 접속된다. 따라서, 전하  $\alpha \cdot Q_s$ 에 홀드 커패시터  $C_h$ 에 이미 존재하는 전하를 더한 것은 총 커패시턴스  $C_s + C_h$ 에 걸쳐 재분배된다. 이러한 방식으로, 스케일링 인자  $A[k] = \alpha$ 가 실현되고, 도 6 및 도 7에 도시된 혼합기 실시예와 동일한 IIR 필터가 구현된다.
- [0133] 클록 신호  $\phi_3$ 의 "하이" 위상 동안, 모든 유닛 커패시터  $C_u$ 가 리셋된다.
- [0134] 도 10의 a 내지 d에 도시된 혼합기 실시예의 주된 이점은 전달 커패시터  $C_t$  및 더미 유닛 셀(즉, 더미 유닛 커패시터) 양쪽 모두가 존재하지 않는다는 것이다. 그러나, 도 10의 a 내지 d에 도시된 혼합기 실시예와 관련하여 다음 사항이 고려되어야 한다. 4개의 클록 신호 모두는 각각의 블록 내의 유닛 셀(140)의 매트릭스를 통해 라우팅되어야 한다. 이는 증가된 전력 소비를 초래할 것이고, 가능하게는 유닛 셀(140)의 매트릭스에 필요한 증가된 영역도 초래할 것이다. 또한, 디지털 제어 코드 n 및 부호 비트로 클록 신호  $\phi_1$ 의 게이팅을 요구하는 것에 추가하여, 도 10의 a 내지 d에 도시된 혼합기 실시예(100)에서, 클록 신호  $\phi_1$ 은 또한 OR 게이트에서 클록 신호  $\phi_3$ 과 조합되어야 한다. 어떤 상황에서는 4개의 클록 신호가 모두 사용되기 때문에 그러한 게이팅으로 인한 지연이 문제가 될 수 있으므로 일부 클록 신호를 지연시키는 버퍼가 없다.
- [0135] 도 11의 a 내지 c는 추가의 혼합기 실시예(100)에서 구현된 동작 원리를 개략적으로 도시한다. 도 9의 a 내지 c 및 도 10의 a 내지 d의 경우에서와 같이, 설명을 위해 추가의 혼합기 실시예(100)의 선택된 구성 요소만이 도 11의 a 내지 c에 도시된다. 도 9의 a 내지 c의 경우에서와 같이, 더미 유닛 커패시터  $C_d$ 는 개별 더미 유닛 셀

들로 분리된다. 도 11의 a 내지 c의 각각의 상자는  $\alpha$ 에 의존하는 가변 개수의 유닛 셀 또는 더미 유닛 셀을 나타낸다.

[0136] 도 6, 도 7, 도 8 및 도 9의 a 내지 c에 도시된 혼합기 실시예(100)와 유사하게, 도 11의 a 내지 c에 도시된 혼합기(100)는 또한 더미 유닛 커패시터  $C_d$ 를 포함한다. 그러나, 도 11의 a 내지 c에 도시된 혼합기(100)에서, 이들 더미 유닛 커패시터  $C_d$ 는 출력 단자(130)가 아닌 오히려 더미 유닛 셀 입력 스위치를 통해 입력 단자(120)에 접속된다. 결과적으로, 이 실시예에서 클록 게이팅은 더미 유닛 셀 입력 스위치 상에서 행해진다.

[0137] 클록 신호  $\phi_0$ 의 "하이" 위상 동안 입력 신호는 ( $C_d = C_u$ 인)  $n$ 개의 유닛 커패시터  $C_u$  및  $(N-n)$ 개의 더미 커패시터  $C_d$ 에서 샘플링되므로 총 (샘플링) 커패시턴스는 항상  $C_s$ 와 동등하다. 이로 인해 전압  $V_{IN}$  및 총 전하  $Q_s = C_s \cdot V_{IN}$ 을 발생시킨다. 더미 유닛 셀은 확실히 입력 부하가 항상  $C_s$ 와 동일하게 한다.

[0138] 클록 신호  $\phi_1$ 의 "하이" 위상 동안, 모든  $N$ 개의 유닛 커패시터  $C_u$ (입력 신호를 샘플링한  $n$ 개의 유닛 커패시터  $C_u$  및 입력 신호를 샘플링하지 않은  $(N-n)$ 개의 유닛 커패시터  $C_u$ )는 홀드 커패시터  $C_h$ 에 접속되어, 이 실시예에서도 총 전하  $\alpha \cdot Q_s$ 와 홀드 커패시터  $C_h$ 에 존재하는 전하를 더한 것은 총 커패시턴스  $C_s + C_h$ 에 걸쳐 재분배된다. 이전 실시예들에서와 같이, 이것은 스케일링 인자  $A[k] = \alpha$  및 동일한 IIR 필터 구현을 유도한다.

[0139] 이러한 혼합기 실시예(100)에서 클록 신호  $\phi_2$ 는 사용되지 않는다. 클록 신호  $\phi_3$ 의 하이 위상 동안, 모든 커패시터  $C_u$  및  $C_d$ 는 리셋된다.

[0140] 도 11의 a 내지 c에 도시된 혼합기 실시예(100)와 관련하여, 입력 신호가 샘플링되는 시점에서 그리고 전류 입력 신호의 경우에, 얼마나 오랫동안 적분되는지를 결정하기 때문에, 클록 게이팅은 이제 단지 타이밍 크리티컬 (timing-critical) 스위치인 입력 스위치에서 발생한다는 것을 이해해야 한다.

[0141] 이미 전술한 바와 같이, 전술한 혼합기 실시예(100)는 동상(in phase) 출력 신호 및 직교 출력 신호를 제공하는 직교 혼합기의 형태로 구현될 수 있다.

[0142] 예를 들어, 도 5에 도시된 직교 혼합기 실시예(500) 및 도 8에 도시된 직교 혼합기 실시예(800)는 I 및 Q 경로에 대해 2개의 동일하고 독립적인 혼합기(100)를 갖는다. 각각의 클록 사이클 동안, 각각의 혼합기(100)는 커패시턴스  $C_s$ 에 대한 입력을 샘플링하여, 총 전하  $Q_s = C_s \cdot V_{IN}$ 을 발생시킨다. 이 모든 전하가 사용될(즉, 홀드 커패시터  $C_h$ 에 접속될) 유일한 경우는 (예를 들어 사인파 혼합 신호의 경우에 혼합 신호의 피크에서)  $\alpha = 1$  일 때이다.  $\alpha < 1$ 인 보다 일반적인 경우에, 전하의 일부는 전하 재분배 프로세스에 전혀 관련되지 않고 리셋 페이즈에서 폐기될 때까지 샘플링 커패시터에 남아 있다. 그럼에도 불구하고, 신호 소스가 항상 동일한 임피던스를 구동하도록 매 클록 사이클마다 총 (샘플링) 커패시턴스  $C_s$ 가 동일해야 할 필요가 있다.

[0143] 각각의 클록 사이클 동안 I 및 Q 위상은 함께 입력 신호 소스로부터 전하  $2 \cdot Q_s$ 를 취하고 그것을 총 커패시턴스  $2 \cdot C_s$ 에 저장한다. 그러나, 이러한 전하 모두가 사용될 경우는 없다. I 및 Q 혼합 신호는 위상차가 90도이기 때문에, 그 피크는 일치하지 않는다, 즉 I 채널의  $\alpha$ (이하,  $\alpha_i$ 라고 지칭됨)와 Q 채널의  $\alpha$ (이하,  $\alpha_q$ 라고 지칭됨)가 동일한 시점에서 1과 동등한 것은 불가능하다.

[0144] 그것은,

**수학식 12**

[0145] 
$$\max(\alpha_i + \alpha_q) = \max_x(|\cos x| + |\sin x|) = \sqrt{2}$$

[0146] 로 용이하게 나타낼 수 있다.

[0147] 이는 모든 클록 사이클 동안 I 채널 및 Q 채널의 혼합기(100)의 입력 임피던스를 유지하기 위해, 총 커패시턴스

수학식 13

$$C_{TOT} = \sqrt{2} \cdot C_s$$

[0148]

[0149] 에 대해 입력 신호를 샘플링하는 것으로 충분하다는 것을 의미한다.

[0150] 또한, 그것은

수학식 14

$$\min(\alpha_i + \alpha_q) = \min_x(|\cos x| + |\sin x|) = 1$$

[0151]

[0152] 로 나타낼 수 있다.

[0153] 이러한 발견은 전술한 혼합기 실시예(100)에 기초한 도 12에 도시된 직교 혼합기 실시예(1200)로 이어진다. 도 10의 a 내지 d에 도시된 혼합기 실시예와 유사하게, I 채널 혼합기 및 Q 채널 혼합기 양쪽 모두에서는 N 개의 유닛 커패시터  $C_u$ 를 또한 포함한다. 그러나, 대략  $(\sqrt{2} - 1) \cdot N$  개의 더미 커패시터  $C_d$ 만을 포함한다. 따라서 총 커패시턴스는

수학식 15

$$2NC_u + (\sqrt{2} - 1)NC_d = (1 + \sqrt{2})C_s \approx 2.4C_s$$

[0154]

[0155] 로 주어진다.

[0156] 도 10의 a 내지 d에 도시된 혼합기 실시예와 비교하여, 직교 구현에 대해 총 커패시턴스가  $2NC_u + 2NC_d = 4C_s$ 일 경우, 총 커패시턴스는  $2.4 \cdot C_s$ 만이 실질적으로 감소된 영역으로 변환된다.

[0157] 또한, 도 12에 도시된 직교 혼합기 실시예(1200)에서, 샘플링 페이즈 동안의 입력 커패시턴스는 인자  $\sqrt{2}$ 만큼 감소되어, 혼합기를 구동시키는 신호 소스의 설계를 용이하게 한다.

[0158] 도 13은 전술한 혼합기 실시예(100)에 기초한 추가의 직교 혼합기 실시예(1300)를 도시한다. 도 12의 직교 혼합기 실시예(1200)와 유사하게, 도 13의 직교 혼합기 실시예(1300)는 직교 혼합기의 I 채널과 Q 채널 사이의 유닛 셀(140)을 공유하기 위해 구현된다. 그러나, 도 12의 직교 혼합기 실시예(1200)와는 달리, 도 13의 직교 혼합기 실시예(1300)에서 클록 게이팅은 도 6 및 도 7에 도시된 혼합기 실시예(100)에 기초하여 출력 스위치에서 수행된다.

[0159] 도 13에 도시된 직교 혼합기 실시예(1300)에 대해, 입력 신호는 대략  $\sqrt{2} \cdot N$  유닛 커패시터  $C_u$ 에 대해 샘플링 되어 대략  $\sqrt{2} \cdot C_s$ 의 총 커패시턴스가 된다. 다음 클록 신호의 "하이" 위상 동안, 이들 유닛 셀(140)의  $n_i$ 는 I 채널의 홀드 커패시터  $C_h$ 에 접속되고, 이들 유닛 셀(140)의  $n_q$ 는 직교 혼합기 실시예(1300)의 Q 채널의 홀드 커패시터  $C_h$ 에 접속되며, 여기서,  $0 \leq n_i \leq N$ ,  $0 \leq n_q \leq N$  및  $N \leq n_i + n_q \leq \sqrt{2} \cdot N$ 이다. 동시에, 각각의 채널에서 총 커패시턴스  $C_s$ 를 달성하기 위해 더미 유닛 셀이 양쪽 채널에 포함된다. 도 13에 도시된 직교 혼합기 실시예(1300)에 대해서, 단지 대략  $\sqrt{2} \cdot N$  유닛 커패시터  $C_u$  및 대략  $(2 - \sqrt{2})N$  더미 커패시터  $C_d$ 가 요구되며, 이것은 단지 총 커패시턴스  $2C_s$ 라는 것을 의미한다. 실제로, 전하 공유 페이즈 동안 각각의

채널 I 및 Q가 홀드 커패시터  $C_h$ 에 접속될  $C_s$ 의 총 커패시턴스를 필요로 하기 때문에, 이는 달성 가능한 최저 총 커패시턴스를 나타낸다. 또한, 도 13에 도시된 직교 혼합기 실시예(1300)에서, 클록 게이팅은 타이밍 감지 입력 스위치들로부터 출력 스위치들로 이동된다.

[0160] 그러나, 도 12에 도시된 직교 혼합기 실시예(1200)와 비교하여, 도 13에 도시된 직교 혼합기 실시예(1300)는 유닛 셀 및 더미 셀이 I 채널 또는 Q 채널 중 어느 하나의 출력에 접속될 수 있도록 추가 스위치를 필요로 한다. 이러한 추가 스위치는 더 많은 기생 커패시턴스를 추가할 수 있다. 또한, 신호 라우팅은 더욱 복잡해질 수 있다.

[0161] 이하에서, 도 3 및 도 6에 도시된 혼합기 실시예와 비교하여 상이하게 구성된 유닛 셀(140) 및/또는 유닛 셀(140)의 블록을 포함하는 혼합기(100)의 추가적인 실시예가 설명될 것이다. 이하에 설명된 유닛 셀은 샘플링 및 전하 전달에 관련된 총 커패시턴스를  $C_s$ 와 동일한  $C_h$ 로 유지하기 위해 전달 커패시터  $C_t$  또는 더미 유닛 셀을 포함하는 아키텍처를 이용하여 또한 구현될 수 있다.

[0162] 이미 기술한 바와 같이, 도 3에 도시된 혼합기(100)의 유닛 셀(140)은 3개의 클록 신호 및 제어 코드에 기초한 하나의 데이터 비트에 의해 제어된다. 이는 도 3에 도시된 혼합기(100)의 유닛 셀(140)의 주어진 블록(350) 내의 모든 단일 유닛 셀(140)에 부호 비트 및 3개의 클록 신호가 라우팅될 필요가 있음을 의미한다. 또한, 각각의 유닛 셀(140)은 제어 코드 데이터 비트들 중 하나를 또한 필요로 한다. 대안적인 실시예에서, 클록 신호  $\phi_1$ 은 유닛 셀(140)의 매트릭스의 외부의 부호 비트 및 그것의 역수로 게이팅될 수 있고, 그 후 분배될 수 있다. 이 경우에, 2개의 클록 신호, 즉  $\phi_0$  및  $\phi_3$ 와, 2개의 게이팅된 클록 신호, 즉 " $\phi_1$  및 부호" 및 " $\phi_1$  및 부호"는 유닛 셀(140)의 주어진 블록(350) 내의 모든 유닛 셀(140)에 대해 라우팅될 필요가 있고, 또한, 각각의 유닛 셀(140)은 여전히 제어 코드 데이터 비트들 중 하나를 제공받아야 한다. 양쪽 경우에서, 이러한 라우팅은 상당한 기생 커패시턴스를 야기할 수 있고, 따라서 클록 신호 및 데이터 드라이버의 전력 소비와, 도 3에 도시된 혼합기(100)의 입력 임피던스 양쪽 모두에 영향을 주거나 심지어 지배한다. 이러한 상황은 배선들 사이의 간격을 증가시킴으로써 향상될 수 있지만, 이것은 유닛 셀(140)의 매트릭스의 크기를 증가시킬 것이며, 이는 이어서 혼합기(140)가 구현되는 기판에 대한 커패시턴스를 증가시킬 수 있다. 도 3에 도시된 혼합기의 유닛 셀(140)의 매트릭스를 통해 라우팅되는 신호의 개수를 줄이기 위한 몇 가지 옵션이 존재한다. 이들 모든 옵션은 추가의 스위치를 필요로 하고 클록 신호의 적어도 일부의 "하이" 위상들 동안 직렬로 적어도 2개의 스위치를 갖는다. 온 저항(on-resistance)을 동일하게 유지하기 위해, 직렬인 스위치가 더 넓어야 할 필요가 있으며, 이어서 게이트 커패시턴스가 증가한다.

[0163] 도 14는 일 실시예에 따라 조정 가능한 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 이용하여 아날로그 입력 신호  $X_{IN}$ 으로부터 아날로그 출력 신호  $X_{OUT}$ 를 생성하기 위한 혼합기(100)의 개략도를 도시한다. 혼합기(100)는 연속적인 신호 값을 갖는 샘플링된 아날로그 입력 신호를 얻기 위해 혼합기(100)의 입력 단자(120)에서 샘플링 주파수  $f_s$ 로 복수의 이산 시점  $k$ 에서 아날로그 입력 신호를 샘플링하고, 복수의 스케일링 계수들  $A[k]$ , 즉  $X_{OUT} = A[k]X_{IN}[k]$ 에 기초하여 샘플링된 아날로그 입력 신호를 스케일링함으로써 연속적인 신호 값을 갖는 혼합기(100)의 출력 단자(130)에서 아날로그 출력 신호를 생성하도록 구성된 스케일러(110)를 포함한다. 스케일링 계수  $A[k]$ 는 혼합 신호의 시간 이산 표현이다.

[0164] 도 14에 도시된 혼합기(100)의 실시예는 각각의 유닛 셀(140)에 유닛 커패시터  $C_u$ 와 직렬인 추가의 스위치를 포함한다. 이러한 구성은 모든 다른 스위치가 블록(1450) 내의 모든  $N$ 개의 유닛 셀(140)에 의해 공유될 수 있고, 유닛 셀 밖으로 꺼낼 수 있어서 매트릭스 밖으로 벗어날 수 있는 것을 허용한다. 혼합기(100)의 이러한 실시예에서, 유닛 셀(140)은 단지 하나의 스위치 및 유닛 커패시터  $C_u$ 로 구성되고, 제어 코드에 기초한 하나의 데이터 비트 및 하나의 게이팅된 클록 신호 만에 의해 제어된다. 도 14의 유닛 셀(140)의 스위치에 대한 참조로서 도시된 게이팅된 클록 신호 " $\phi_0 \mid \phi_3$ " - 여기서, " $\mid$ "는 논리 OR 연산을 나타냄 - 는 매트릭스 외부에서 생성될 수 있고 그 후 모든 유닛 셀(140)에 라우팅될 수 있어서, 하나의 클록 신호만으로 카운팅되어야 한다.

[0165] 이 실시예에서, 부호 비트 뿐만 아니라 다른 클록 신호는 매트릭스 외부, 즉  $N$ 개의 유닛 셀(140) 외부에서만 필요하다. 클록 신호는 동일한 개수의 스위치를 구동하지만(모든 "하이" 클록 위상 동안 2개의 스위치가 직렬이므로, 모두가 2배 커야 함), 부하가 큰 매트릭스에 걸쳐 퍼지는 것보다 오히려 한 곳에 집중되어서 라우팅 커패시턴스가 상당히 감소될 수 있다는 사실로 인해 전체 부하 커패시턴스는 여전히 작을 수 있다.



- [0166] 도 14에 도시된 혼합기(100)의 실시예에 대해, 모든 스위치들이 접속되는 노드 상에 일부 기생 커패시턴스가 존재할 것이라는 점을 고려해야 한다. 이 기생 커패시턴스는, 노드가 유닛 셀(140)의 매트릭스에 걸쳐 퍼져 있고 따라서 큰 라우팅 커패시턴스를 가질 수 있기 때문에 아마도 상당히 클 수 있다. 이 기생 커패시턴스는 제어 코드  $n$ 이 0으로 설정되더라도 항상 존재하고, 입력 단자(120)로부터 출력 단자(130)로 일부 전하를 항상 전달할 것이다, 즉, 도 14에 도시된 혼합기(100)의 실시예를 통한 기생 전하 경로가 존재한다. 이는 스케일링 계수 또는 전압 이득  $A[k]$ 에 대한 하한을 제시한다. 이 하한이 모든 요구되는 혼합 신호 샘플이 여전히 실현될 수 있도록 충분히 낮으면 문제가 없지만, 가장 작은 혼합 신호 샘플을 나타낼 수 없으면 이는 출력 신호의 왜곡을 초래할 것이다.
- [0167] 이러한 잠재적 문제는, 예를 들어 도 3에 도시된 혼합기(100)의 유닛 셀(140)에서 발생하지 않는다. 도 3에 도시된 혼합기(100)의 실시예에서 제어 코드  $n$ 이 0인 경우에, 전달 스위치 중 어느 것도 닫히지 않을 것이고 전달 커패시터  $C_t$  및 홀드 커패시터  $C_h$ 로 전하가 전달되지 않는다.
- [0168] 개별 입력 및 출력 스위치를 가짐으로써 전술한 잠재적인 문제는 도 15에 도시된 혼합기(100)의 실시예에서도 발생하지 않는다. 도 15에 도시된 혼합기(100)의 실시예에서 제어 코드  $n$ 이 0인 경우에, 출력 스위치들은 모두 열려 있을 것이고, 전하가 홀드 커패시터  $C_h$ 에 전달되지 않는다. 추가의 입력 스위치는 여전히 매트릭스 외부, 즉  $N$ 개의 유닛 셀(140)의 외부에 샘플링 및 리셋 스위치를 놓는 것을 허용한다. 각각의 유닛 셀(140)은 (도 15에 도시되지 않은 부호 반전(inversion) 스위치를 포함하는) 3개의 스위치를 포함하고, 하나의 클럭 신호  $\phi_1$ , 하나의 제어 코드 데이터 비트 및 부호 비트를 필요로 한다. 대안적인 실시예에서, 클럭 신호  $\phi_1$ 은 최상위 레벨에서 부호 비트(및 그 역수)로 게이팅될 수 있고 그 후 유닛 셀(140)의 매트릭스에 걸쳐 분배될 수 있다. 이 경우, 하나의 클럭 신호, 2개의 게이팅된 클럭 신호 및 하나의 제어 코드 데이터 비트가 요구되지만, 이는 클럭 신호의 조합된 액티비티가 부호 비트의 조합된 액티비티보다 높기 때문에 더 많은 전력을 소비할 가능성이 있다.
- [0169] 도 16은 추가의 실시예에 따라 조정 가능한 혼합 주파수  $f_{\text{MIX}}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호  $X_{\text{IN}}$ 으로부터 아날로그 출력 신호  $X_{\text{OUT}}$ 를 생성하기 위한 혼합기(100)의 개략도를 도시한다.
- [0170] 도 16에 도시된 혼합기(100)의 실시예의 블록(1650)의  $N$ 개의 유닛 셀(140)의 구성은 유닛 셀(140)의 매트릭스로부터 부호 비트의 제거를 허용한다. 이 실시예에서, (양 및 음의 부호에 대한; 양의 부호만이 도 16에 도시됨) 2개의 출력 스위치가 유닛 셀(140)의 외부로 이동되고, 이는 유닛 셀(140) 내부의 제어 코드에 의해 제어되는 여분의 스위치를 추가함으로써 가능하게 된다. 따라서, 유닛 셀(140)은 이제 2개의 스위치를 포함하고, 하나의 클럭 신호  $\phi_1'$ (여기서,  $\phi_1'$ 은 클럭 신호  $\phi_1$ 의 역수임) 및 하나의 제어 코드 데이터 비트를 필요로 한다.
- [0171] 도 17은 도 15에 도시된 혼합기(100)의 실시예의 변형에 기초한 추가의 실시예에 따른 조정 가능한 혼합 주파수  $f_{\text{MIX}}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호  $X_{\text{IN}}$ 으로부터 아날로그 출력 신호  $X_{\text{OUT}}$ 를 생성하기 위한 혼합기(100)의 개략도를 도시한다. 이 실시예에서, 유닛 셀(140)은 반전되지만, 혼합기(100)가 차동 혼합기로서 구현되기 때문에 일반적으로 문제가 되지 않는다. 도 17에 도시된 혼합기(100)의 실시예에 대해 여전히 기생 전하 경로가 존재하지 않음을 알 수 있다. 도 15에 도시된 실시예의 경우에서와 같이, 도 17에 도시된 혼합기(100)의 유닛 셀(140)은 2개의 스위치를 포함하고, 하나의 클럭 신호  $\phi_1$ , 하나의 제어 코드 데이터 비트 및 부호 비트를 필요로 한다. 그러나, 이제 각각의 클럭 신호 위상 동안 직렬로 (유닛 셀 커패시터  $C_u$ 의 각각의 측면에 하나씩) 2개의 스위치가 있으므로 모든 스위치의 폭을 2배로 할 필요가 있다. 또한, 추가의 클럭 신호 " $\phi_1 \mid \phi_3$ "이 생성될 필요가 있다.
- [0172] 도 18은 추가의 실시예에 따라 조정 가능한 혼합 주파수  $f_{\text{MIX}}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호  $X_{\text{IN}}$ 으로부터 아날로그 출력 신호  $X_{\text{OUT}}$ 를 생성하기 위한 혼합기(100)의 개략도를 도시한다. 도 18에 도시된 혼합기(100)의 유닛 셀(140)은 클럭 신호를 전혀 필요로 하지 않는다는 이점을 제공한다. 도 18에 도시된 혼합기(100)의 실시예에서, 클럭 신호들 중 하나에 의해 제어되는 모든 스위치들은 유닛 셀(140)의 매트릭스의 외부로 이동된다. 유닛 셀(140)로 향하는 유일한 신호는 제어 코드 비트이다. 이것의 효과는 샘플링 커패시터가 이미 샘플링 페이즈 동안 차단되어 있다는 것이다. 이러한 이유 때문에, (클럭 신호  $\phi_1$ 에 의해) 출력 스위치가 닫힐 때 클럭 신호  $\phi_1'$ , 즉 반전된 클럭 신호  $\phi_1$ 에 의해 차단되는 더미 커패시터가 (도 1의 유닛 셀(140)의 좌측

예) 추가된다.

- [0173] 도 18에 도시된 혼합기(100)의 실시예의 유닛 셀(140)은 제어 코드 데이터 비트가 미사용 클럭 위상  $\phi_2$  동안 변경되도록 요구한다. 이러한 방식으로, 샘플링에 사용될 커패시터는 이미 클럭 신호  $\phi_3$ 의 "하이" 위상 동안 접속되어 정확하게 리셋된다.
- [0174] 도 19는 도 18에 도시된 혼합기(100)의 실시예의 변형에 기초한 추가의 실시예에 따른 조정 가능한 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호  $X_{IN}$ 로부터 아날로그 출력 신호  $X_{OUT}$ 를 생성하기 위한 혼합기(100)의 개략도를 도시한다. 도 19에 도시된 혼합기(100)의 실시예의 유닛 셀(140)은 단일 유닛 커패시터  $C_u$ 만을 포함한다. 그러나, 이 실시예에서, 기생 전하 경로는 이제 일반적으로 스위치의 기생 성분보다 큰 유닛 커패시터  $C_u$ 의 기생 커패시턴스를 또한 포함하므로 훨씬 더 많은 전하를 전달할 것으로 예상될 수 있다.
- [0175] 도 20은 도 19에 도시된 혼합기(100)의 실시예의 변형에 기초한 추가의 실시예에 따른 조정 가능한 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호  $X_{IN}$ 으로부터 아날로그 출력 신호  $X_{OUT}$ 를 생성하기 위한 혼합기(100)의 개략도를 도시한다. 도 20에 도시된 혼합기(100)의 실시예의 유닛 셀(140)의 구성은 여전히 하나의 유닛 커패시터  $C_u$ 만을 필요로 하지만, 기생 전하 경로를 제거한다. 그러나, 이 실시예에서는 이제 임의의 클럭 위상 동안 직렬로 3개의 스위치가 존재한다.
- [0176] 도 21은 도 3에 도시된 혼합기(100)의 실시예의 변형에 기초한 추가의 실시예에 따른 조정 가능한 혼합 주파수  $f_{MIX}$ 를 갖는 혼합 신호를 사용하여 아날로그 입력 신호  $X_{IN}$ 으로부터 아날로그 출력 신호  $X_{OUT}$ 를 생성하기 위한 혼합기(100)의 개략도를 도시한다. 차이점은 제어 코드가 더 이상 출력 스위치가 아닌, 입력 스위치의 복제된 버전을 제어한다는 것이다. 도 11의 a 내지 c 및 도 12에 도시된 혼합기 실시예(100)에 대해, 더미 유닛 셀이 입력 단자(120)에 접속되는 점이 특히 흥미롭다. 도 21에 도시된 유닛 셀(140)은 입력 스위치를 제어하는 클럭 신호를 게이팅해야 할 것 없이 도 11의 a 내지 c 및 도 12에 도시된 혼합기 실시예(100)의 이점을 이용할 수 있게 한다.
- [0177] 제1 입력 스위치는 이제 클럭 신호에 의해 직접 제어되어, 에지의 정확한 타이밍을 허용한다. 제2 입력 스위치는 샘플링 클럭 신호의 클럭 에지 이전에 잘 설정될 수 있는 제어 코드 데이터 비트에 의해서만 제어되어, 어떠한 타이밍 문제도 일으키지 않는다.
- [0178] 이하에서 혼합 주파수  $f_{MIX}$ 의 선택의 상이한 효과들이 설명되고, 본질적으로 전술한 혼합기 실시예들 모두에 적용된다. 혼합 주파수  $f_{MIX}$ 는 샘플링 주파수  $f_s$ 에 대한 그 비율이 유리수, 즉

**수학식 16**

$$\frac{f_{MIX}}{f_s} = \frac{A}{B}$$

- [0179]
- [0180] 가 되도록 최선으로 선택되고, 여기서 A와 B는 정수이다. 이 경우에, 혼합 신호는  $f_s$ 에서 샘플링될 때 주기적일 것이어서 혼합기(100)의 제한된 크기의 룩업 테이블(LUT) 또는 주기적 시프트 레지스터에 저장될 수 있다.
- [0181] 비율이 유리수가 아닌 경우에, 아날로그 혼합 신호가 주기적이어도 샘플링된 혼합 신호의 표현은 주기적이지 않을 것이다. 이 경우에, 혼합 신호 샘플이 런타임 시 계산되어야 할 필요가 있어서, 더 많은 계산 리소스와 따라서 더 많은 영역 및 전력을 필요로 한다.
- [0182]  $f_s$ 에서 샘플링된 혼합 신호의 주기가 L 샘플인 것을 알 수 있고, 여기서 L은



수학식 17

$$L = \frac{B}{\gcd(A,B)}$$

[0183]

[0184]

와 같이 주어지고, 여기서  $\gcd(x, y)$ 는  $x$ 와  $y$ 의 최대 공약수이다. 따라서, 일반적인 경우에,  $L$  샘플의 LUT가 요구되며, 이는  $f_s$ 에서 샘플링한다. 그러나, 혼합기(100)가, 각각의 위상은  $f_{L0} = f_s/4$ 에서 샘플링되고 매 4번째 샘플만을 처리하는 다상(polyphase) 혼합기로서 구현되는 경우에, LUT가  $f_{L0}$ 에서도 마찬가지로 샘플링되기만 하면 되도록 혼합기 블록 당 하나의 LUT가 포함되는 것이 용이하다.  $L$ 이 4의 배수인 경우에, 샘플은 4개의 하위 LUT에 걸쳐 분배될 수 있어서 각각의 하위 LUT는  $L/4$  샘플만을 포함한다.  $L$ 이 2이지만 4가 아닌 배수인 경우에, 각 하위 LUT는  $L/2$  샘플을 포함하고,  $L$ 이 2의 배수가 아닌 경우에, 각각의 하위 LUT는 동일한  $L$  샘플을 포함할 것이나 상이한 순서로 포함할 것이다. 요약하면, 각각의 하위 LUT는  $M$  샘플을 포함하고,

수학식 18

$$M = \frac{L}{\gcd(L,4)} = \frac{B}{\gcd(4A,B)}$$

[0185]

[0186]

일반적으로 입력 신호 주파수와 일치하도록  $f_{MIX}$ 를 요구하면 최소 수  $A$  및  $B$ 가 크기 때문에  $M$ 에 대해 상당히 큰 값이 될 수 있다. 그러나, 일반적으로 0이 아닌 중간 주파수(IF)가 바람직하며 IF를 선택하는 것에 일부 유연성이 있으므로  $f_{MIX}$ 를 선택하는 것에도 일부 유연성이 있다. 이 경우에,  $f_{MIX}$ 는  $A$ 와  $B$ 가 상당히 작은 수이고  $M$ 이 낮게 유지될 수 있도록 선택될 수 있다.

[0187]

한정된 개수의 유닛 셀(140) 때문에, 혼합 신호 샘플은 라운딩되어야 할 것이며, 이는 양자화 노이즈를 야기한다. 이 양자화 노이즈는 또한 LUT 길이  $M$ 을 갖고 주기적일 것이어서, 예상할 수 있는 것처럼 노이즈 플로어보다 오히려 혼합 신호 스펙트럼의 이산 주파수에서 스퍼로 나타나게 될 것이다. 스퍼 사이의 간격은

수학식 19

$$\Delta f_{spur} = \frac{f_s}{M} = \frac{\gcd(4A,B)}{D} \cdot f_s$$

[0188]

[0189]

로 주어지며, 스퍼는 모든 주파수들에서 발생할 수 있다.

수학식 20

$$f_{spur,k} = f_{MIX} + k \cdot \Delta f_{spur} \quad \forall k \in \mathbb{Z}$$

[0190]

[0191]

따라서, 비율  $A/B$ 의 선택은 LUT 길이  $M$ (일반적으로 가장 중요하지 않은 영향)과 스퍼 간격  $\Delta f_{spur}$ 와 중간 주파수(IF) 사이의 트레이드 오프이다. 보통 가장 좋은 전략은 경계 내에서 IF를 유지하면서  $\Delta f_{spur}$ 를 최대화하는 것이다. 스퍼와 원하는 신호 사이의 간격이 높을수록, 혼합 후 (스퍼와 원하는 신호는 혼합 후  $f_{IF+k} \cdot \Delta f_{spur}$ 에 있게 될 것임) 스퍼를 필터링하여 제거할 것이 더 용이하다. LO 스퍼의 높이는 단지 더 많은 비트, 즉 더 많은 유닛 셀(140)을 혼합기(100)에 추가함으로써 개선될 수 있다. 일 실시예에서, 혼합기(100)는, 예를 들어 양방향 거리가 너무 크지 않은 대역에 대해, 입력 신호를 주파수  $f_{L0}$ 를 갖는 혼합 신호와 혼합하도록 구성된다. 상기의 수학식 16의 문맥에서 이것은  $A = 1$  및  $B = 4$ 를 의미하므로

$$\frac{f_{MIX}}{f_{LO}} = \frac{f_{MIX}}{f_s/4} = \frac{4A}{B} = 1$$

[0192]

이 된다.

[0193]

그 후 L = 4 및 M = 1이고, LUT에 저장된 LO 샘플은 시퀀스 {1, 0, -1, 0}으로 감소하는 것이 뒤따른다. 이것의 큰 장점은 이들 샘플이 임의의 양자화 노이즈 없이 진폭 1을 갖는 사인 곡선을 완벽하게 표현한다는 것이다. 따라서, 양자화 노이즈 스퍼가 없을 것이다.

[0194]

이 특별한 경우에, LUT 샘플을 시퀀스 {1, 1, -1, -1}로 대체함으로써 임의의 양자화 노이즈 없이  $\sqrt{2}$ 의 진폭을 갖는 혼합 신호를 구현할 수도 있다. 이는 혼합기 손실을 3dB 만큼 감소시키지만 여전히 임의의 양자화 노이즈는 도입하지 않는다. 이러한 최적화는, LUT가 상이한 시점에서 샘플링된 혼합 신호의 다중 주기를 저장하기 때문에 일반적으로 가능하지 않아서, 샘플들 중 하나는 혼합 신호의 피크에서 또는 근방에서 발생할 것이므로, 1보다 클 필요가 있다. 이는 스케일링 계수 A[k]에 대해 가장 높은 가능한 값이 a = 1이기 때문에 가능하지 않다.

[0195]

$f_{MIX} = f_{LO}$ 인 경우, 혼합기(100)의 하나의 블록(350) 내의 모든 유닛 셀(140)은 (샘플 1 및 -1에 대해) 영구적으로 온이거나 (샘플 0에 대해) 영구적으로 오프이고, 그러한 혼합기(100)는 종래의 수동 혼합기의 복잡한 구현으로서 동작한다.

[0196]

전술된 혼합기 실시예(100) 중 일부는 유닛 셀(140)의 4개의 혼합기 블록(또는 혼합기 위상)(350)을 포함한다. 그러나, 전술된 바와 같이, 4개의 혼합기 블록을 갖는 것은 혼합기(100)가 작동하는 데 필수적이지는 않지만, 단지  $f_{LO}$ 에서 25% 듀티 사이클 클럭 신호만 사용하여  $4f_{LO}$ 의 효과적인 샘플링 레이트를 달성하기 위한 방법이다.

[0197]

저주파수  $f_{LO}$  또는 고속 트랜지스터 기술에 대해, 채널 당 단일 혼합기 블록(즉, I 채널에 대해 하나의 블록 및 Q 채널에 대해 하나의 블록)을 갖는 혼합기(100)를 구현하는 것이 가능할 수 있다. 이 경우에, 클럭 주파수  $f_s = 4f_{LO}$ 인 4개의 25% 클럭 신호가 요구된다. 이러한 방식으로, 혼합기(100)의 상이한 처리 단계들은 하나의  $T_s$  주기 동안 모두 완료될 수 있어서, 혼합기(100)의 동일한 블록이 다음 샘플을 처리하는데 사용될 수 있다. 이러한 단일 블록 혼합기(100)는 이하의 사항들에서 4 블록 혼합기(100)와 상이하다.

[0198]

4 블록 혼합기(100)는 전체  $T_s$  기간 동안 각각의 블록 또는 위상을 입력에 접속시킨다. 따라서, 클럭 신호가 스위칭 되는 순간을 제외하고는 신호 소스가 항상 동일한 부하를 구동해야 한다. 단일 블록 혼합기(100)는 샘플링 기간  $T_s$ 의 25% 동안 자체의 샘플링 커패시터만을 입력에 접속시킨다. 따라서 신호 소스는 매우 가변적인 부하를 처리할 수 있어야 한다.

[0199]

샘플링, 전하 공유 및 리셋팅을 위한 이용 가능한 안정화 시간은, 4 블록 혼합기(100)에 대한  $T_s$  대신에 이제  $T_s/4$ 이다. 이는 동등하게 양호한 안정화를 달성하기 위해서 단일 블록 혼합기(100)의 모든 스위치가 4 블록 혼합기(100)에서보다 4배 더 커야 할 것이라는 점을 의미한다.

[0200]

증가된 스위치로 인해 혼합기 블록 당 입력 커패시턴스는 4배 더 높다. 그러나, 이는 4개 대신 하나의 혼합기 블록만이 있다는 사실에 의해 보상된다. 따라서, 총 클럭 부하는 동일하고, 클럭 주파수가 4배 더 높기 때문에 4배 더 높은 전력 소비가 예상될 수 있다.

[0201]

유사하게,  $2f_{LO}$ 에서 4개의 25% 클럭 신호를 사용하는 채널 당 2개의 혼합기 블록을 갖는 혼합기(100)가 구현될 수 있다. 그 함의는 단일 블록 혼합기(100)에 대한 것과 유사하다. 2 블록 혼합기(100)는 단지 그 샘플링 커패시터 중 하나를 50%의 시간 동안 입력에 접속시켜서, 신호 소스는 가변 부하를 처리할 수 있어야 한다. 2 블록 혼합기(100)의 스위치는 4 블록 혼합기(100)에서의 스위치의 2배 만큼 커야 한다. 전력 소비는 4 블록 혼합기(100)에서의 전력 소비의 2배 만큼 높을 것이다.

[0202]

더 적은 블록을 갖는 혼합기(100)에 대한 더 높은 전력은, 예를 들어, 채널 당 8개의 혼합기 블록을 갖는 혼합기(100)를 구현함으로써 다른 방향으로도 이용될 수 있는 흥미로운 경향을 나타낸다. 이 경우에, 클럭 신호 위상의 클럭 신호 펄스가 인접한 클럭 신호 위상의 펄스와 중첩되는  $f_{LO}/2$ 에서 8개의 25% 클럭 신호가 필요하다. 샘플링 클럭 신호가 중첩되기 때문에, 8 블록 혼합기(100)는 임의의 순간에 동시에 자체의 블록 중 2개를 입력

에 접속시킨다. 따라서, 소스는 가변 부하를 처리할 필요가 없지만, 부하는 4 블록 혼합기(100)보다 높을 것이다. 또한, 8 블록 혼합기(100)의 기생 입력 커패시턴스는 이제 채널 당 8개의 블록의 기생 성분이 입력에 접속되므로, 더 높아질 것이다. 스위치는 4 블록 혼합기(100)에서의 스위치의 절반 만큼만 클 필요가 있다. 전력 소비는 4 블록 혼합기(100)에서의 전력 소비의 단지 절반 만큼만 높을 것이다. 이는 2배가 된 영역 및 입력 커패시턴스를 희생하면서 전력 소비를 감소시키기 위한 흥미로운 방법이다.

[0203] 대신에, 중첩되지 않는 12.5% 클럭 신호 위상이 8 블록 혼합기(100)의 샘플링 스위치를 제어하기 위해 사용될 수 있어서, 안정화 시간은 4 블록 혼합기(100)에서와 동일하고 스위치들은 동일한 크기를 가질 필요가 있다. 이러한 방식으로, 입력을 구동하는 소스는 4 블록 혼합기(100)에서와 동일한 부하를 구동해야 할 것이다. 한편, 다른 스위치들은 25% 클럭 신호를 중첩함으로써 절반으로 되고 제어될 수 있다. 이는 여전히 전력을 절약하지만 상기의 아키텍처에서보다 적다.

[0204] 본 기술 분야의 통상의 기술자는 상기 멀티 블록 혼합기 실시예(100)가 16 블록 혼합기, 32 블록 혼합기 등으로 더 확장될 수 있다는 것을 이해할 것이다.

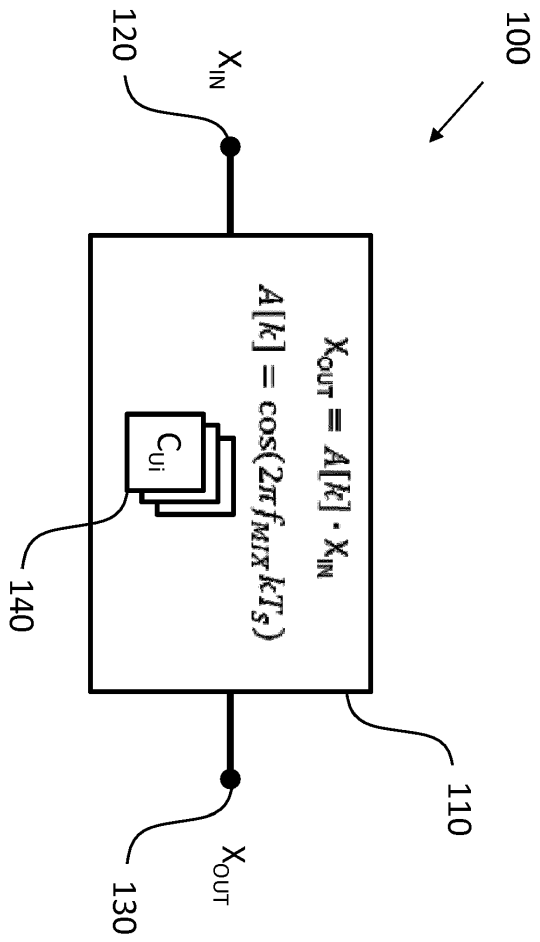
[0205] 또한, 본 개시 내용의 특정한 특징 또는 양태가 수 개의 구현에 또는 실시예 중 하나 만에 대하여 설명될 수 있으나, 임의의 주어지거나 특정의 응용처에 대하여 요구되고 유리할 수 있는 바와 같이, 이러한 특징 또는 양태는 다른 구현에 또는 실시예의 하나 이상의 다른 특징 또는 양태와 조합될 수 있다. 게다가, 용어 "포함한다", "갖는다", "갖는" 또는 이들의 변형이 상세한 설명이나 특허청구범위 중 어느 하나에서 사용되는 범위에 대해, 이러한 용어가 용어 "포함하는"과 유사한 방식으로 포함적인 것으로 보아야 한다. 또한, 용어 "예시적인", "예를 들어" 및 "예"는 최선 또는 최적보다는 오히려 단지 일례로서 의미이다. 용어 "연결" 및 "접속"은 파생어와 함께 사용될 수 있다. 이러한 용어들은 직접적인 물리적 또는 전기적 접촉인지 여부 또는 서로 직접 접촉하지 않는지 여부에 관계 없이 2개의 요소가 서로 협력하거나 상호 작용하는 것을 나타내기 위해 사용될 수 있음을 이해해야 한다.

[0206] 특정 양태들이 본 명세서에 예시되고 설명되었지만, 다양한 대안 및/또는 등가의 구현은 본 개시 내용의 범위를 벗어나지 않고 도시되고 설명된 특정 양태들에 대체될 수 있다는 것을 본 기술 분야의 통상의 기술자들은 이해할 것이다. 본 출원은 본 명세서에서 논의된 특정한 양태의 임의의 개조 또는 변형을 포함하도록 의도된다.

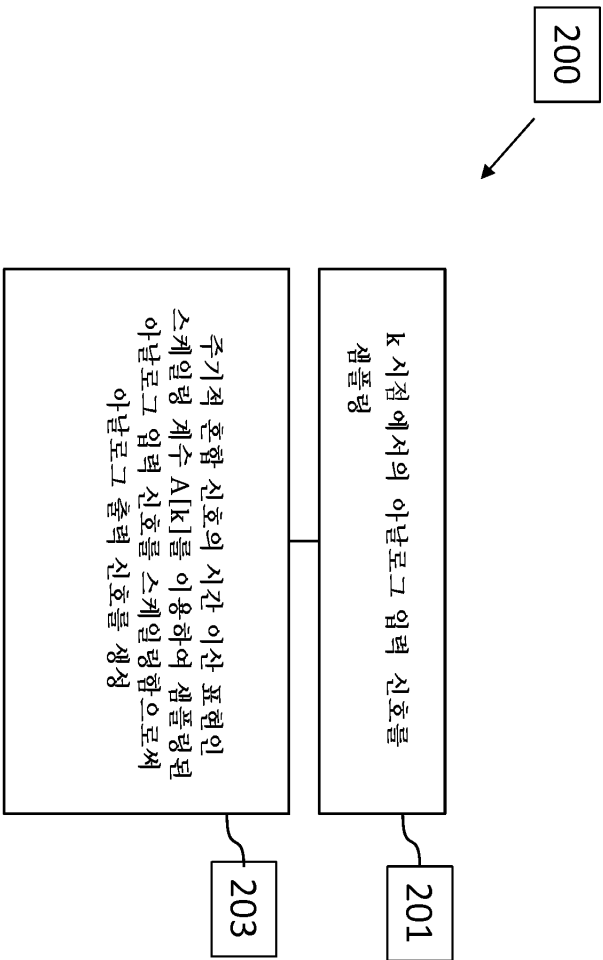
[0207] 이하의 청구 범위에서의 요소는 대응하는 라벨링을 갖는 특정 시퀀스로 설명되었지만, 청구 범위의 설명이 이들 요소의 일부 또는 전부를 구현하기 위한 특정 시퀀스를 달리 암시하지 않는 한, 이들 요소는 반드시 그 특정 시퀀스에 구현되는 것으로 제한하고자 하는 것은 아니다.

[0208] 많은 대안, 수정 및 변경이 상기 교시 내용의 관점에서 본 기술 분야의 통상의 기술자에게 명백할 것이다. 물론, 본 기술 분야의 통상의 기술자는 본 명세서에서 설명된 바를 넘어서 본 발명의 다수 애플리케이션이 있다는 것을 쉽게 인식한다. 본 발명이 하나 이상의 특정 실시예를 참조로 설명되었지만, 본 기술 분야의 통상의 기술자는 본 발명의 범위를 벗어나지 않고 많은 변화가 이루어질 수 있다는 것을 인식할 것이다. 따라서, 첨부된 청구 범위 및 등가물의 범위 내에서, 본 발명이 본 명세서에 구체적으로 설명된 것과 다르게 실시될 수 있다는 것을 이해해야 한다.

도면  
도면1

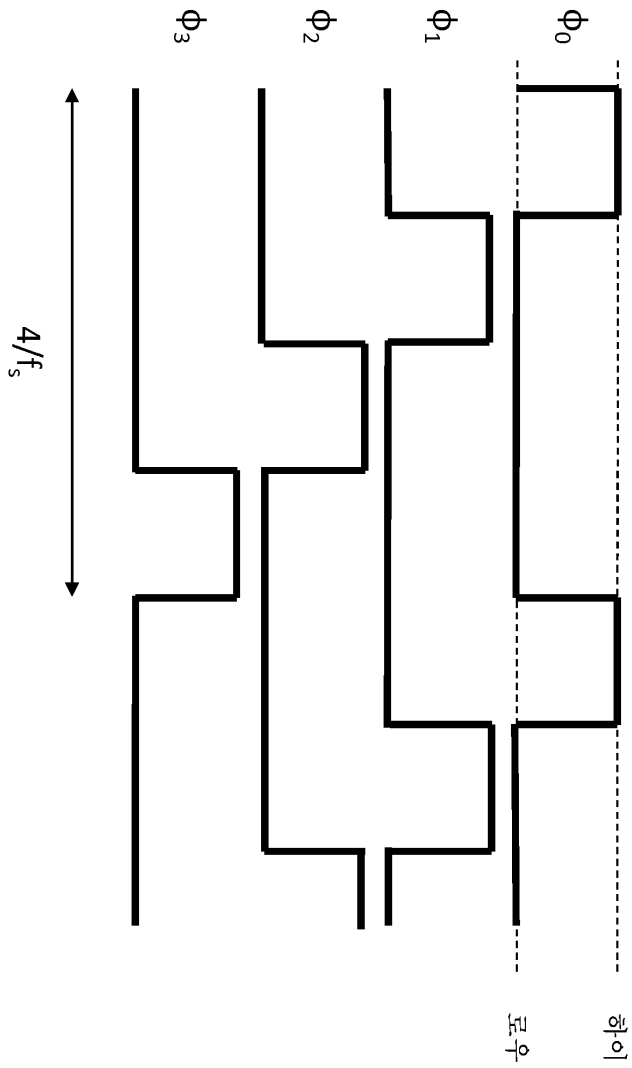


도면2



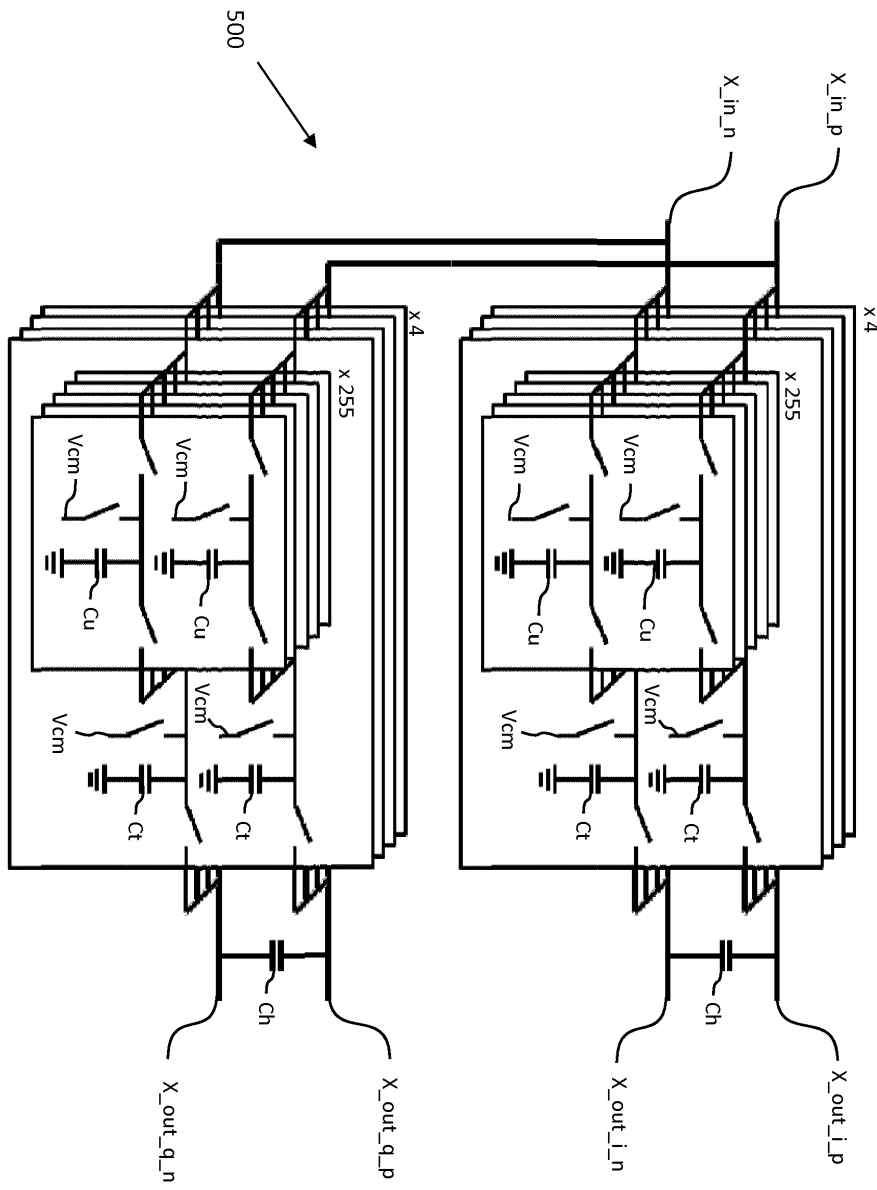


도면4





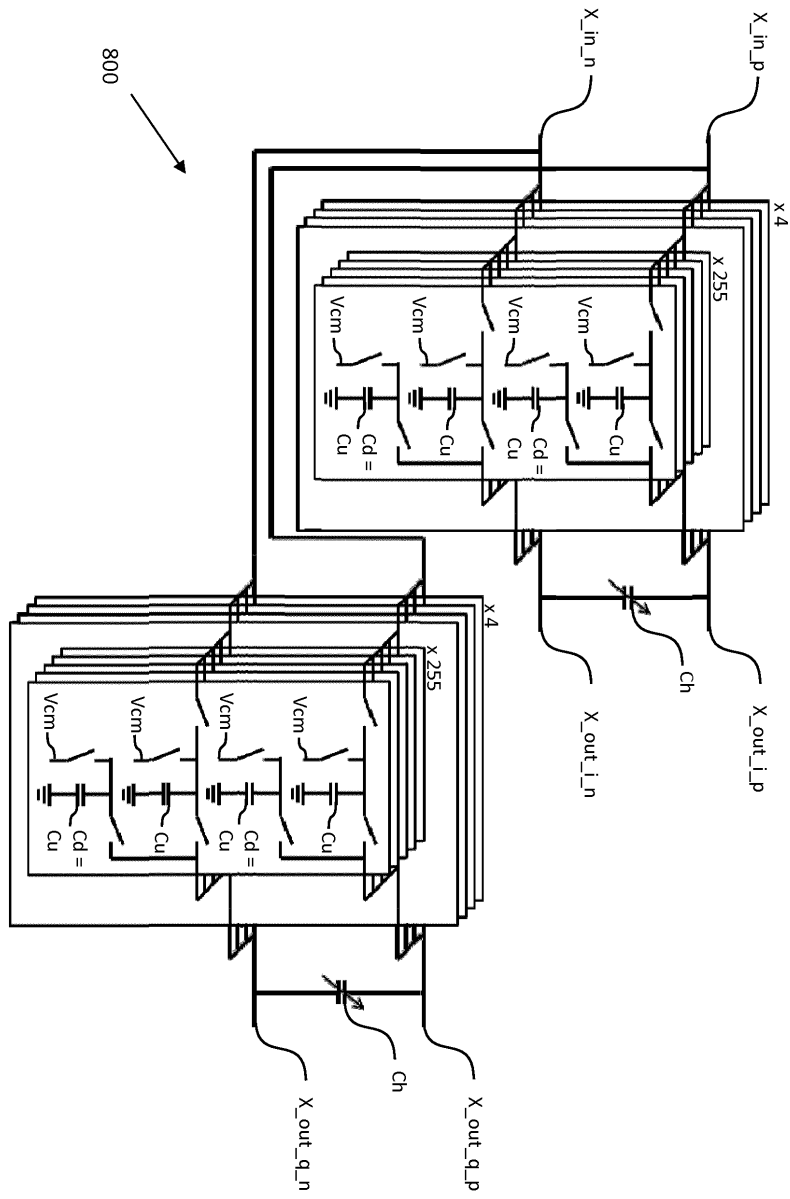
도면5



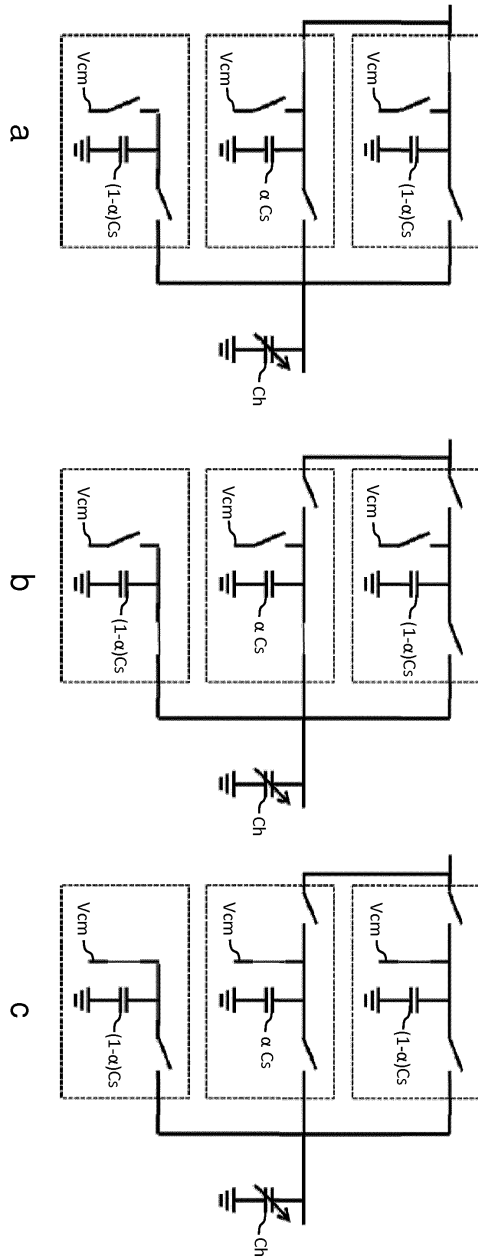




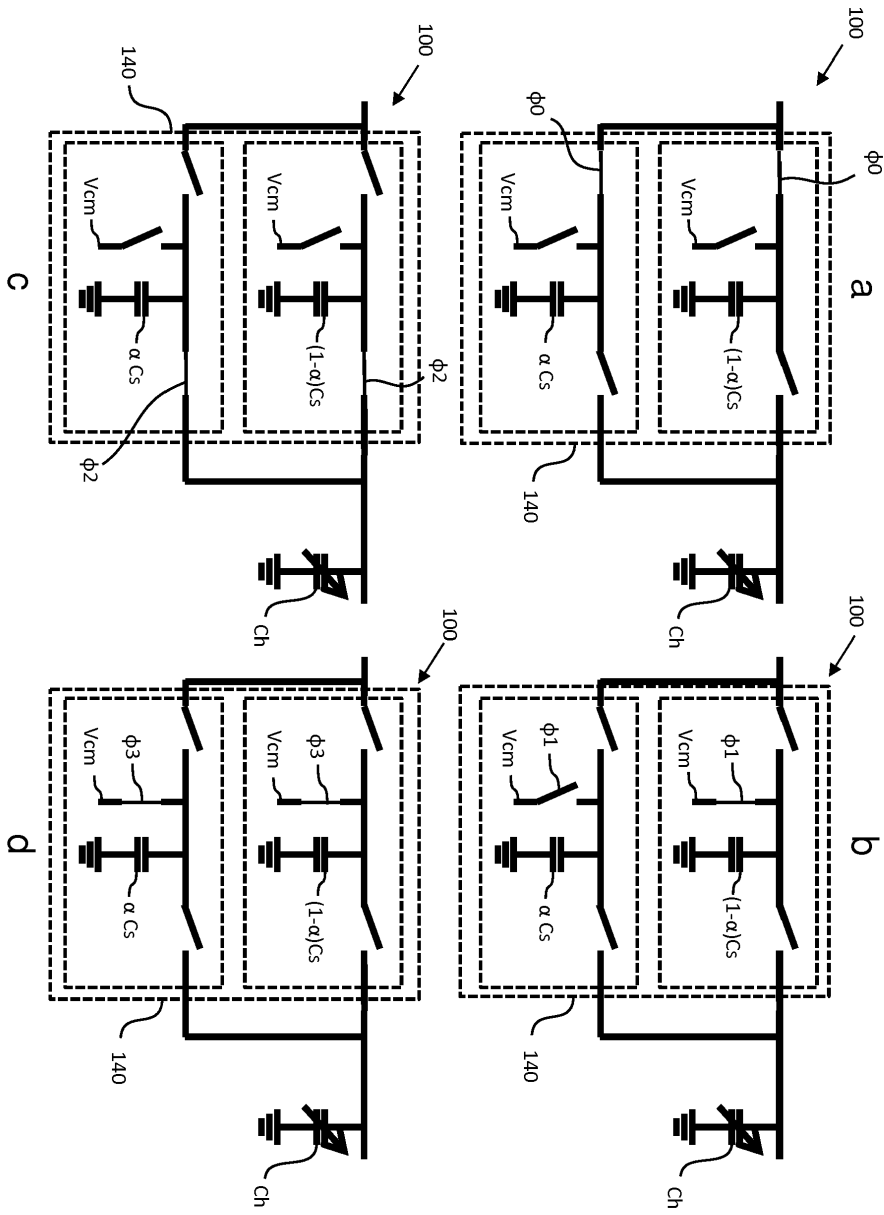
도면8



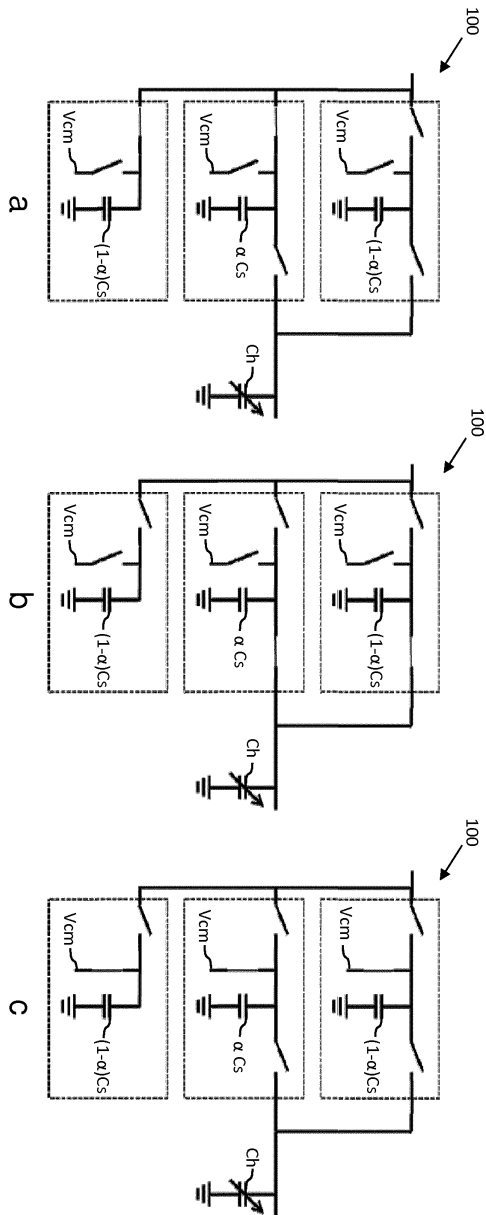
도면9



도면10

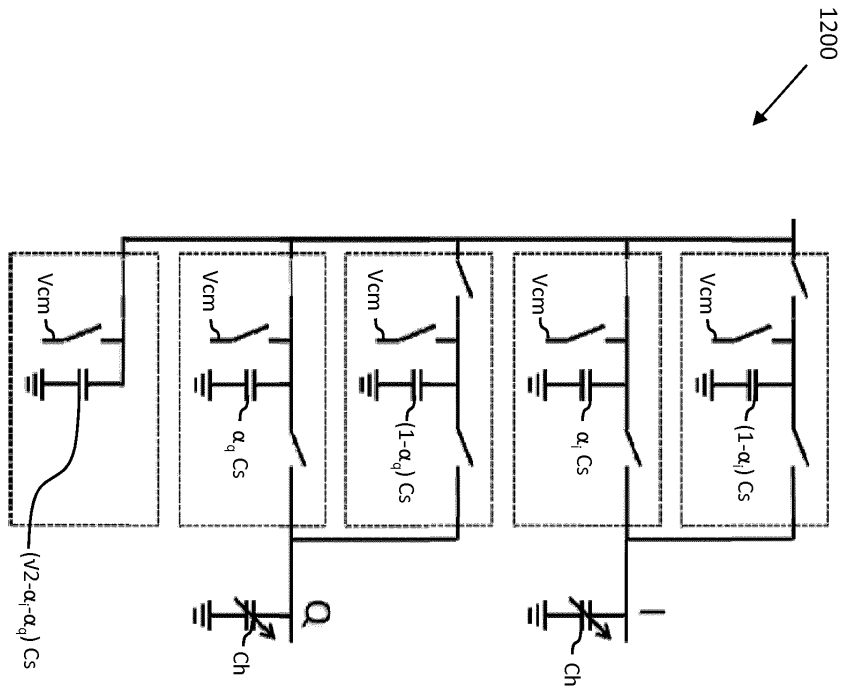


도면11

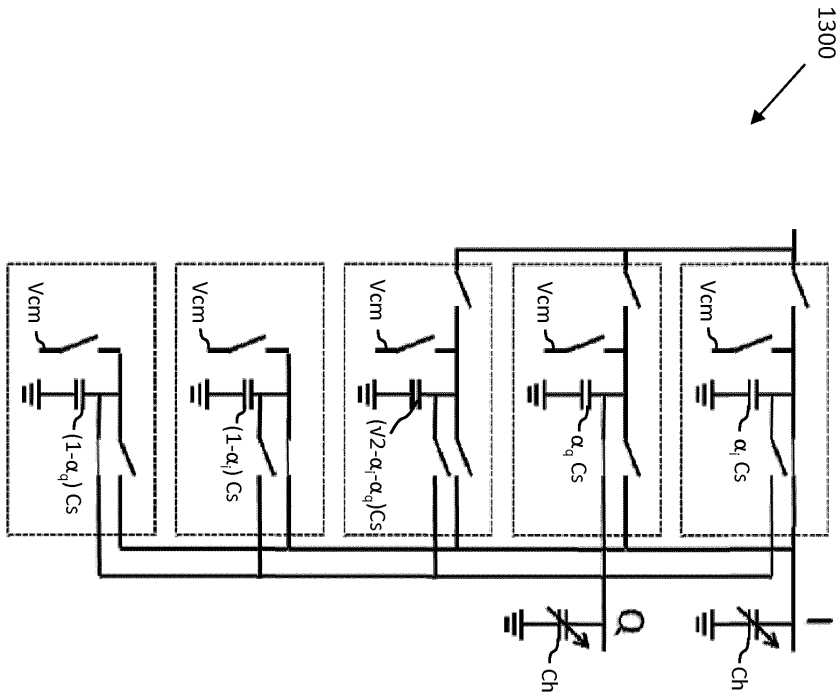




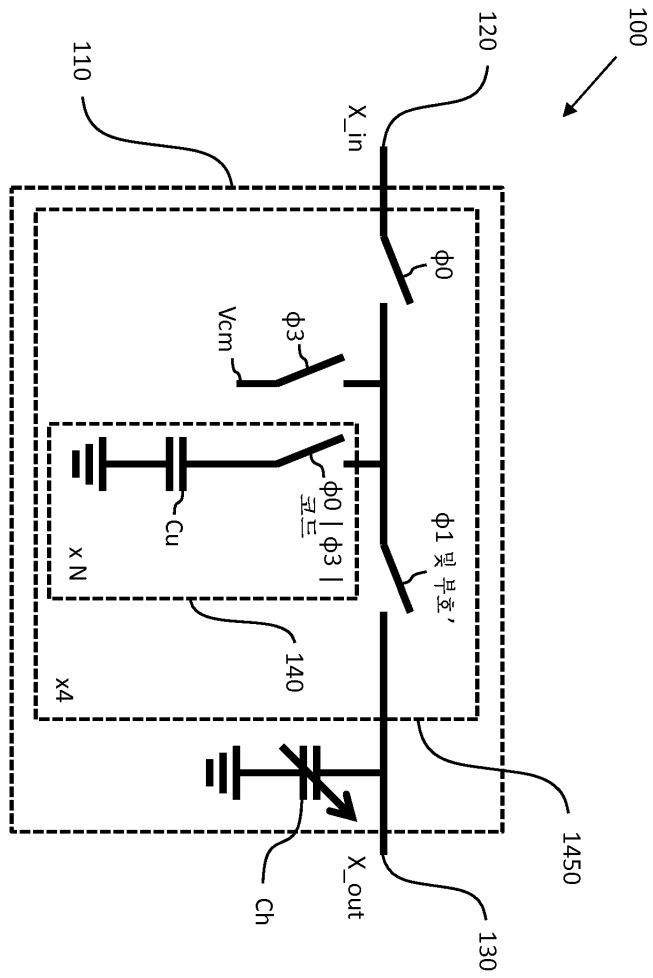
도면12



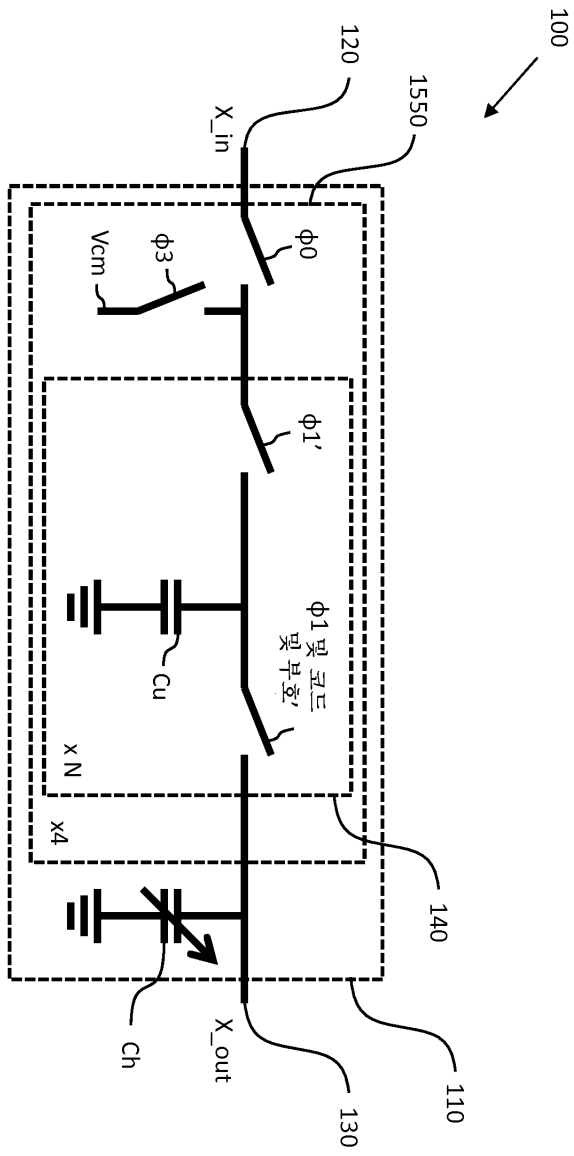
도면13



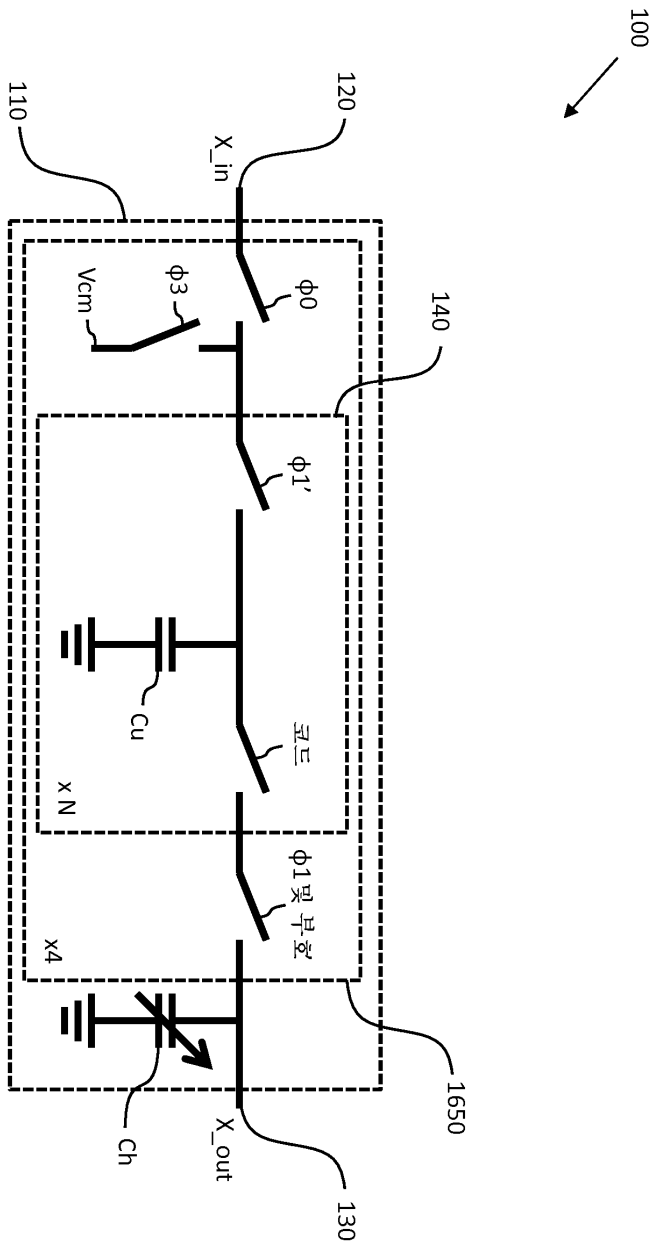
도면14



도면15

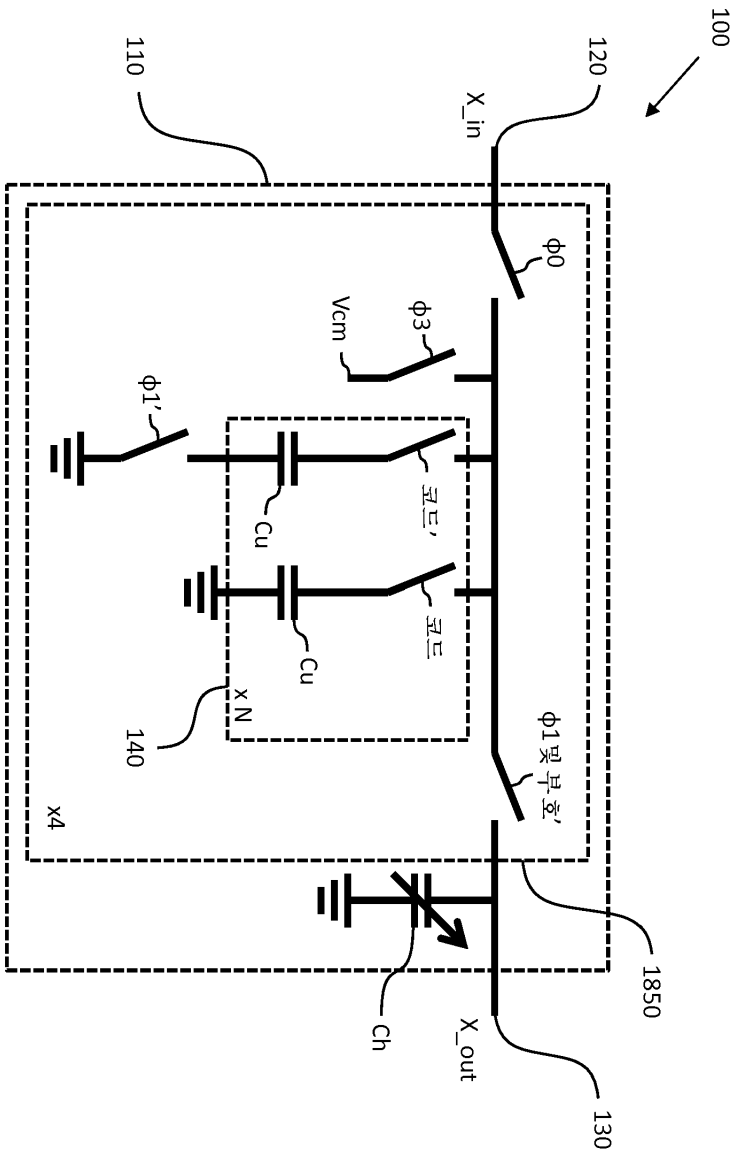


도면16



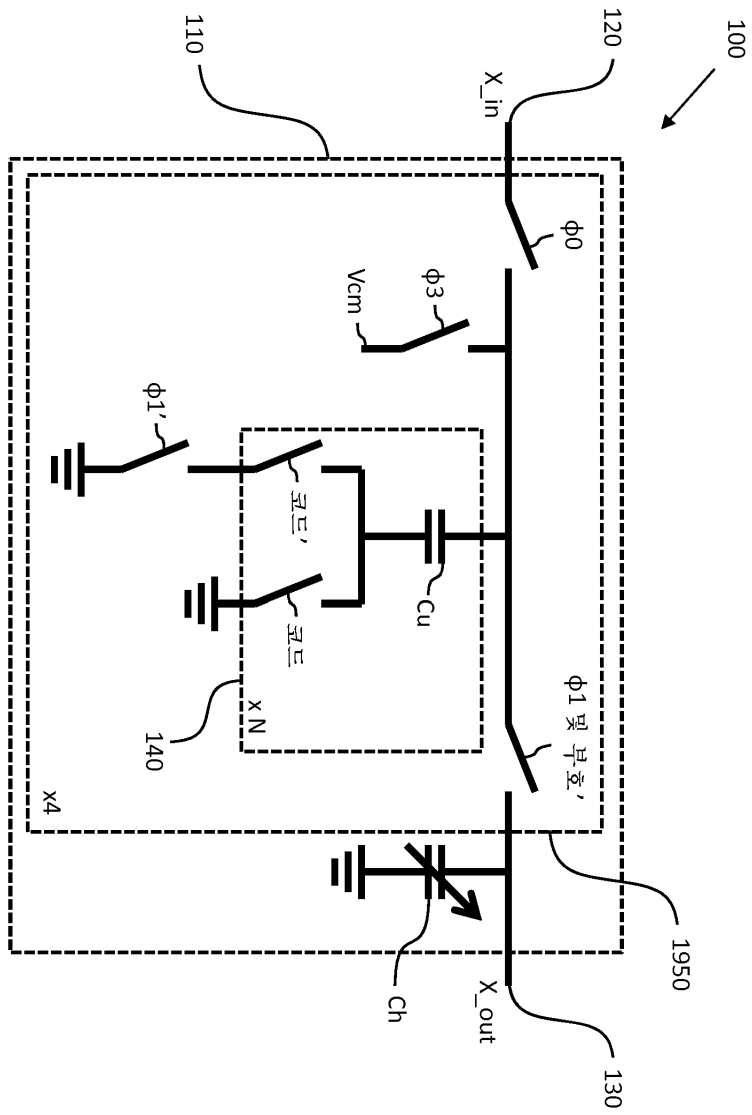


도면18





도면19





도면21

