

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G11C 5/14

(11) 공개번호 10-2005-0099308  
(43) 공개일자 2005년10월13일

(21) 출원번호 10-2004-0024571  
(22) 출원일자 2004년04월09일

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 이재웅  
경기도수원시팔달구망포동691쌍용아파트102동1102호

(74) 대리인 박상수

심사청구 : 없음

(54) 내부 전압 발생회로 및 이를 이용하는 반도체 메모리 장치

요약

본 발명은 내부 전압 발생회로 및 이를 이용하는 반도체 메모리 장치를 공개한다. 이 내부 전압 발생회로는 기준 전압과 피드백되는 내부 전압을 비교하여 타겟 레벨 신호를 발생하는 비교하는 비교기와, 상기 비교기의 타겟 레벨 신호에 응답하여 외부 전압으로부터 내부 전압을 발생하는 드라이버와, 동작 모드에 따라 상기 기준 전압 또는 상기 드라이버의 내부 전압의 레벨을 조정하여 상기 비교기로 인가하는 전압 레벨 제어부를 구비하는 것을 특징으로 한다. 따라서 항상 안정화된 내부 전압을 발생할 수 있도록 하여 신뢰성을 증대하여 준다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 종래의 내부 전압 발생회로를 도시한 도면.

도 2는 일반적인 반도체 메모리 장치의 블록도를 도시한 도면.

도 3a는 종래의 반도체 메모리 장치의 페리 영역에 적용된 내부 전압 발생회로의 액티브 모드시 내부 전압 특성도를 도시한 도면.

도 3b는 종래의 반도체 메모리 장치의 디코더 영역에 적용된 내부 전압 발생회로의 액티브 모드시 내부 전압 특성도를 도시한 도면.

도 4는 본 발명의 일실시예에 따른 내부 전압 발생회로를 도시한 도면.

도 5는 본 발명의 반도체 메모리 장치의 디코더 영역에 적용된 내부 전압 발생회로의 액티브 모드시 내부 전압 특성도를 도시한 도면.

<도면의 주요부분에 대한 부호의 설명>

10 : 비교부 20 : 드라이버

30, 40 : 전압 레벨 제어부

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 내부 전압 발생회로에 관한 것으로, 특히 동작 모드에 상관없이 항상 안정한 내부 전압을 제공하도록 하는 내부 전압 발생회로 및 이를 이용하는 반도체 메모리 장치에 관한 것이다.

반도체 메모리 장치에 외부에서 인가되는 전압과 무관하게 내부 전압을 두어, 외부 전압(Vext) 변화에 둔감하게 하며 소모전류를 줄이고자 하는 노력은 오래 전부터 있어 왔다. 이를 위하여 반도체 메모리 장치에 부가되는 회로가 내부 전압 발생회로(Internal Voltage down Converter; IVC)이다.

도 1은 종래의 내부 전압 발생회로를 도시한 도면이다.

계속해서 도면을 참조하면, 내부 전압 발생회로는 외부에서 인가되는 전압, 즉 외부 전압(Vext)으로부터 내부 전압(Vint)을 발생하여 내부 회로(미도시)에 공급하는 드라이버(2)와, 내부 전압(Vint)을 피드백받아 기준 전압(Vref)과 비교하여 드라이버(2)를 제어하는 비교부(1)로 구성된다.

이에 내부 전압 발생회로는 외부 전압(Vext)을 인가받아 항상 안정한 타겟 레벨을 가지는 내부 전압(Vint)을 발생하여 내부 회로에 제공하여 준다.

그러나 반도체 메모리 장치의 내부 회로가 고집적화 되고 소모 전류가 증가되면서, 내부 전압(Vint)을 발생하는 내부 전압 발생회로의 용량이 증가되게 되었다. 또한 항상 안정한 전압 레벨을 가지는 내부 전압(Vint)을 발생하기 위해서는 비교부(1)가 피드백되는 내부 전압(Vint)에 대해서 더욱 빠르게 반응하는 것이 요구되었다. 이에 내부 전압 발생회로의 크기는 증가하면서 그 소모 전류 또한 증가하게 되었다.

한편, 일반적인 반도체 메모리 장치는 여러 가지 동작 모드를 가지게 되는 데 예를 들면, 데이터를 리드(read) 하기 위한 동작 모드와 데이터를 라이트(write)하기 위한 동작 모드와 데이터의 리드 또는 라이트 동작이 완료되어 다시 리드 또는 라이트를 수행할 준비를 하는 동작 모드등을 가진다.

이러한 각각의 동작 모드에서 구동되는 내부 회로의 소자 개수는 달리되고, 이에 따라 소모되는 내부회로의 전류도 달리 되게 된다.

즉, 데이터를 리드하기 위한 동작 모드와 데이터를 라이트하기 위한 동작 모드에서는 상대적으로 큰 전류가 소모되고, 데이터의 리드 또는 라이트 동작이 완료되어 다시 리드 또는 라이트를 수행할 준비를 하는 동작 모드에서는 상대적으로 작은 전류가 소모된다.

이하에서는 상대적으로 큰 전류가 소모되는 동작 모드들과 상대적으로 적은 전류가 소모되는 동작 모드들을 각각 액티브 모드와 스�탠바이 모드로 분류하기로 한다.

이에 종래의 기술에서는 각 동작 모드에 따라 소모 전류량이 달리되는 점을 착안하여 각 동작 모드를 대표하는 신호를 이용하여 내부 전압 발생회로의 비교부(1)를 더 민감하게 하여 내부 전압 레벨을 안정하게 유지하도록 하는 제어 방법을 사용하였다.

즉, 액티브 모드에서는 내부 전압 발생회로는 비교부(1)의 인가되는 전류량을 증가시켜 외부 전압(Vext)의 변화에 민감하도록 하고, 스탠바이 모드에서는 내부 전압 발생회로의 비교부(1)에 인가되는 전류량을 감소시켜 외부 전압(Vext)의 변화에 둔감하도록 하여 내부 전압(Vint)이 항상 안정한 타겟 레벨을 가질 수 있도록 하였다.

그러나 액티브 모드와 같이 전류 소모가 매우 큰 조건이 되면, 증가된 비교부(1)의 전류량에 의해 내부 전압 발생회로의 외부 전압 인가선과 내부 전압 인가선과 드라이버(2)에서 전압 강하가 발생하게 된다.

이에 내부 전압 레벨은 타겟 레벨에서 소정의 레벨만큼 전압 강하되고, 전압 강하된 내부 전압(Vint)을 입력받은 내부 회로는 오동작되게 된다.

이러한 현상은 반도체 메모리 장치 전반에서 발생하기 보다는 도 2에 도시된 바와 같이 액티브 모드가 되면 동작되는 소자수가 상대적으로 많이 모여 있는 디코더 영역에서 빈번하게 발생되어진다.

도 2를 계속하여 참조하면, 반도체 메모리 장치는 크게뱅크영역(뱅크 0 ~ 뱅크 3), 디코더 영역(3), 및 페리(peripheral) 영역(4)을 구비하게 되는데 디코더 영역(3)에는 상대적으로 많은 개수의 소자가 위치되며, 페리 영역(4)에는 상대적으로 작은 개수의 소자가 위치된다.

스탠바이 모드의 경우, 디코더 영역(3) 및 페리 영역(4)은 모두 구동되는 소자 수가 작으므로 전류 소모가 거의 없어, 디코더 영역(3) 및 페리 영역(4)의 내부 전압 발생회로는 모두 정상적인 내부 전압(Vint)을 발생하여 준다.

그리고 액티브 모드의 경우, 구동되는 소자수가 상대적으로 적은 페리 영역(4)의 내부 전압 발생회로는 도 3a에 도시된 바와 같이 타겟 레벨을 대응되는 정상적인 내부 전압(Vint)을 발생한다.

그러나 구동되는 소자수가 상대적으로 많은 디코더 영역(3)에서는 전류의 소모가 증가되고, 이에 디코더 영역(3)의 내부 전압 발생회로는 증가된 전류 소모량에 따라 도 3b에 도시된 바와 같이 타겟 레벨에서 소정의 레벨( $\Delta V$ )만큼 강하된 내부 전압(Vint)을 발생하게 된다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 내부 전압 발생회로의 내부 전압의 타겟 레벨을 반도체 회로의 동작 모드에 따라 변경하여 출력되는 내부 전압의 레벨을 항상 일정하도록 하는 내부 전압 발생회로 및 이를 이용하는 반도체 메모리 장치를 제공하는데 있다.

상기의 목적을 달성하기 위한 본 발명의 내부 전압 발생회로는 기준 전압과 피드백되는 내부 전압을 비교하여 타겟 레벨 신호를 발생하는 비교하는 비교기와, 상기 비교기의 타겟 레벨 신호에 응답하여 외부 전압으로부터 내부 전압을 발생하는 드라이버와, 동작 모드에 따라 상기 기준 전압 또는 상기 드라이버의 내부 전압의 레벨을 조정하여 상기 비교기로 인가하는 전압 레벨 제어부를 구비하는 것을 특징으로 한다.

상기의 목적을 달성하기 위한 본 발명의 반도체 메모리 장치는 동작 모드에 따라 소모 전류의 차이가 큰 제 1 영역과, 동작 모드에 따라 소모 전류의 차이가 적은 제 2 영역 각각이 내부 전압 발생 회로를 구비하고, 상기 제 1 영역의 내부 전압 발생 회로는 기준 전압과 피드백되는 내부 전압을 비교하여 타겟 레벨 신호를 발생하는 비교하는 비교기와, 상기 비교기의 타겟 레벨 신호에 응답하여 타겟 레벨이 변화되는 내부 전압을 발생하는 드라이버와, 동작 모드에 따라 상기 드라이버의 내부 전압의 레벨을 조정하여 상기 비교기로 피드백하는 전압 레벨 제어부를 구비하는 것을 특징으로 한다.

### 발명의 구성 및 작용

이하, 첨부한 도면을 참고로 하면 본 발명의 내부 전압 발생회로 및 이를 이용하는 반도체 메모리 장치를 설명하면 다음과 같다.

도 4는 본 발명의 일실시예에 따른 내부 전압 발생회로를 나타낸 도면이다.

도시된 바와 같이, 내부 전압 발생회로는 기준 전압(Vref)과 피드백되는 내부 전압(Vint)을 비교하여 타겟 레벨 신호를 발생하여 드라이버(20)에 제공하는 비교부(10)와, 비교부(10)의 타겟 레벨 신호에 응답하여 외부 전압(Vext)을 내부 전압(Vint)으로 공급하고, 이때의 내부 전압(Vint)을 전압 레벨 제어부(30)로 인가하는 드라이버(20)와, 드라이버(20)로부터 출력되는 내부 전압을 동작 모드에 따라 레벨 조정된 후 비교부(10)에 피드백시키는 전압 레벨 제어부(30)로 구성된다.

더욱 구체적으로 비교부(10)는 차동 증폭기가 적용되고, 드라이버(20)는 소스에 외부 전압(Vext)이 연결되고 게이트에 타겟 레벨 신호가 인가되고 드레인에 내부 전압(Vint)을 출력하는 노드A 즉, 최종 출력단이 연결되는 제 1 PMOS(P1)로 구성된다.

전압 레벨 제어부(30)는 소스에 노드A가 연결되고 드레인에 노드B가 연결되고 게이트에 모드제어신호(mode\_ctrl)가 인가되는 제 2 PMOS(P2)와, 노드A와 노드B사이에 위치하며 제 2 PMOS(P2)와 병렬 구조를 가지는 제 1 저항(R1)과, 노드B에 연결되는 제 2 저항(R2)과, 드레인에 제 2 저항이 연결되며, 소스에는 접지 전압이 연결되며, 게이트에는 모드제어신호(mode\_ctrl)가 인가되는 제 1 NMOS(N1)로 구성된다.

여기서, 모드제어신호(mode\_ctrl)는 스탠바이 모드와 액티브 모드를 선택하기 위한 신호로, 스탠바이 모드를 선택하기 위한 모드제어신호(mode\_ctrl)는 하이레벨을 가지고 액티브 모드를 선택하기 위한 모드제어신호(mode\_ctrl)는 로우레벨을 가진다.

상기에서는 설명되지 않았으나, 본 발명의 내부 전압 발생회로는 모드 선택부를 더 구비하고, 각 동작 모드를 대표하는 신호를 이용하여 모드제어신호(mode\_ctrl)를 생성하여 줄 수 있다.

또한 모드제어신호(mode\_ctrl)로 비교부(10)의 전류량을 제어하기 위한 바이어스 전압(Vbias)을 적용하여 줄 수 있다.

이하에서는 도 4의 내부 전압 발생회로의 동작을 설명한다.

먼저 스탠바이 모드시의 내부 전압 발생회로의 동작을 살펴보도록 한다.

전압 레벨 제어부(30)는 로우 레벨의 모드제어신호(mode\_ctrl)를 입력받고, 전압 레벨 제어부(30)의 제 2 PMOS(P2)는 턴 온되고 제 1 NMOS(N1)가 턴 오프된다.

이때 드라이버(20)의 제 1 PMOS(P1)은 비교부(10)의 타겟 레벨 신호에 따라 외부 전압(Vext)을 내부 전압(Vint)으로 발생하여 노드A로 출력한다.

노드A에 인가된 내부 전압(Vint)은 내부 회로로 제공됨과 동시에 전압 레벨 제어부(30)의 턴온된 제 1 PMOS(P1)을 거쳐 노드B로 인가되고, 비교부(10)는 노드B에 인가된 내부 전압(Vint)을 입력받는다.

이에 비교부(10)는 피드백된 내부 전압(Vint)과 기준 전압(Vref)에 따라 정상적인 타겟 레벨을 발생하는 타겟 레벨 신호를 발생하고, 드라이버(20)는 타겟 레벨 신호에 응답하여 정상적인 타겟 레벨에 대응되는 내부 전압(Vint)을 발생하여 노드A로 출력한다.

스탠바이 모드시의 내부 회로의 소모 전류는 거의 발생하지 않게 되고, 이에 따라 내부 전압 발생회로의 외부 전압 인가선과 내부 전압 인가선과 드라이버(20)에서는 전압 강하가 발생하지 않는다.

따라서 스탠바이 모드시 드라이버(20)는 정상적인 타겟 레벨에 대응되는 전압 레벨을 가지는 내부 전압(Vint)을 발생하여 노드A로 출력한다.

다음 액티브 모드시 내부 전압 발생회로의 동작을 살펴보도록 한다.

액티브 모드시에는 전압 레벨 제어부(30)에 하이 레벨을 가지는 모드제어신호(mode\_ctrl)가 인가된다.

전압 레벨 제어부(30)의 제 1 PMOS(P1)는 턴 오프되고, 제 1 NMOS(N1)는 턴 온된다. 이에 노드B에는 "내부 전압(Vint) × R2/(R1 + R2)"이 인가되게 된다.

비교부(10)는 "내부 전압( $V_{int}$ )  $\times$   $R_2/(R_1 + R_2)$ "의 전압 레벨을 가지며 피드백된 내부 전압( $V_{int}$ )과 기준 전압( $V_{ref}$ )을 인가받아 소정의 레벨( $\Delta V$ ) 만큼 상승된 타겟 레벨을 발생하는 타겟 레벨 신호를 발생하고, 드라이버(20)는 타겟 레벨 신호에 응답하여 내부 전압( $V_{int}$ )을 발생한다.

액티브 모드의 경우, 내부 회로의 소모 전류는 증가하게 되고, 이에 따라 내부 전압 발생회로의 외부 전압 인가선과 내부 전압 인가선과 드라이버(20)에서는 소정의 레벨( $\Delta V$ ) 만큼 전압 강하가 발생하게 된다.

이에 드라이버(20)는 상승된 타겟 레벨( $\Delta V$ )과 전압 강하된 레벨( $\Delta V$ )이 상쇄되어 정상적인 타겟 레벨에 대응되는 전압 레벨을 가지는 내부 전압( $V_{int}$ )을 발생하여 노드A로 출력하여 준다.

이상에서와 살펴본 바와 같이 도 4의 내부 전압 발생회로는 동작 모드에 따라 피드백되는 내부 전압( $V_{int}$ )의 전압 레벨을 조정하여 항상 정상적인 내부 전압( $V_{int}$ )을 발생하여 내부회로에 제공하여 줄 수 있도록 한다.

또한 본 발명에서 설명한 방법 이외에도 동작 모드에 따라 기준 전압( $V_{ref}$ )의 전압 레벨을 조정하여 항상 정상적인 내부 전압( $V_{int}$ )을 발생하여 내부회로에 제공하여 줄 수 있도록 한다.

도 5는 본 발명의 반도체 메모리 장치의 디코더 영역에 적용된 내부 전압 발생회로의 액티브 모드시 내부 전압 특성을 도시한 도면이다.

소모 전류의 증대로 인해 발생하는 전압 강하 현상은 반도체 메모리 장치 전반에 걸쳐 발생하기 보다는 도 2, 도 3a 및 도 3b에서 설명한 바와 같이 액티브 모드가 되면 동작되는 소자수가 상대적으로 많이 모여 있는 디코더 영역(3)에서 빈번하게 발생되어진다. 이에 본 발명의 반도체 메모리 장치는 설계의 효율성을 위해 디코더 영역(3)에 대응되는 내부 전압 발생 회로에만 도 4의 내부 전압 발생 회로를 선택적으로 적용하여 준다.

계속하여 도면을 참조하면, 본 발명의 반도체 메모리 장치가 액티브 모드로 동작되어 디코더 영역(3)의 소모 전류가 증대하여, 내부 전압 발생 회로의 내부 전압이 소정의 레벨( $\Delta V$ ) 만큼 전압 강하되어도 인위적으로 상승된 타겟 레벨( $\Delta V$ )에 따라 충분히 보상되어진다.

즉, 디코더 영역(3)에 적용된 내부 전압 발생회로는 동작 모드에 따라 타겟 레벨을 인위적으로 변경하여 항상 안정적인 내부 전압을 출력할 수 있도록 한다.

상기에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 해당 업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 발명의 효과

이상, 설명한 바와 같이 본 발명의 내부 전압 발생회로는 내부 전압의 타겟 레벨을 반도체 회로의 동작 모드에 따라 인위적으로 변경하여 줄 수 있도록 하여 항상 안정화된 레벨을 가지는 내부 전압을 발생하여 준다. 따라서 내부 전압 발생회로 및 이를 이용하는 반도체 메모리 장치의 신뢰성을 증대하는 효과를 제공한다.

### (57) 청구의 범위

#### 청구항 1.

기준 전압과 피드백되는 내부 전압을 비교하여 타겟 레벨 신호를 발생하는 비교하는 비교기;

상기 비교기의 타겟 레벨 신호에 응답하여 타겟 레벨이 변화되는 내부 전압을 발생하는 드라이버; 및

동작 모드에 따라 상기 드라이버의 내부 전압의 레벨을 조정하여 상기 비교기로 피드백하는 전압 레벨 제어부를 구비하는 것을 특징으로 하는 내부 전압 발생회로.

## 청구항 2.

제 1 항에 있어서, 상기 전압 레벨 제어부는

상기 동작 모드가 액티브 모드이면 상기 내부 전압의 레벨을 강하시킨 후 상기 비교기로 피드백시키고, 스탠바이 모드이면 상기 내부 전압을 그대로 상기 비교기로 피드백시키는 것을 특징으로 하는 내부 전압 발생회로.

## 청구항 3.

제 1 항에 있어서, 상기 전압 레벨 제어부는

소스에 상기 내부 전압이 인가되고, 드레인에 상기 비교기의 입력단이 연결되고 게이트에 상기 모드제어신호가 인가되는 제 1 스위칭 트랜지스터;

상기 드라이버의 내부 전압과 상기 비교기의 입력단 사이에 위치하며 상기 제 1 스위칭 트랜지스터와 병렬되는 제 1 저항;

상기 비교기의 입력단에 연결되는 제 2 저항; 및

드레인에 상기 제 2 저항이 연결되고 소스에 접지 전압이 연결되고 게이트에 상기 모드제어신호가 인가되는 제 2 스위칭 트랜지스터를 구비하는 것을 특징으로 하는 내부 전압 발생회로.

## 청구항 4.

동작 모드에 따라 소모 전류의 차이가 큰 제 1 영역과, 동작 모드에 따라 소모 전류의 차이가 적은 제 2 영역 각각이 내부 전압 발생 회로를 구비하는 반도체 메모리 장치에 있어서,

상기 제 1 영역의 내부 전압 발생 회로는

기준 전압과 피드백되는 내부 전압을 비교하여 타겟 레벨 신호를 발생하는 비교하는 비교기;

상기 비교기의 타겟 레벨 신호에 응답하여 타겟 레벨이 변화되는 내부 전압을 발생하는 드라이버; 및

동작 모드에 따라 상기 드라이버의 내부 전압의 레벨을 조정하여 상기 비교기로 피드백하는 전압 레벨 제어부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 5.

제 4 항에 있어서, 상기 전압 레벨 제어부는

상기 동작 모드가 액티브 모드이면 상기 내부 전압의 레벨을 강하시킨 후 상기 비교기로 피드백시키고, 스탠바이 모드이면 상기 내부 전압을 그대로 상기 비교기로 피드백시키는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 6.

제 4 항에 있어서, 상기 전압 레벨 제어부는

소스에 상기 내부 전압이 인가되고, 드레인에 상기 비교기의 입력단이 연결되고 게이트에 상기 모드제어신호가 인가되는 제 1 스위칭 트랜지스터;

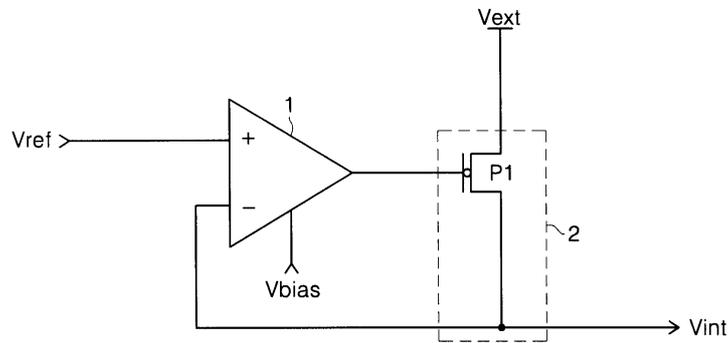
상기 드라이버의 내부 전압과 상기 비교기의 입력단 사이에 위치하며 상기 제 1 스위칭 트랜지스터와 병렬되는 제 1 저항;

상기 비교기의 입력단에 연결되는 제 2 저항; 및

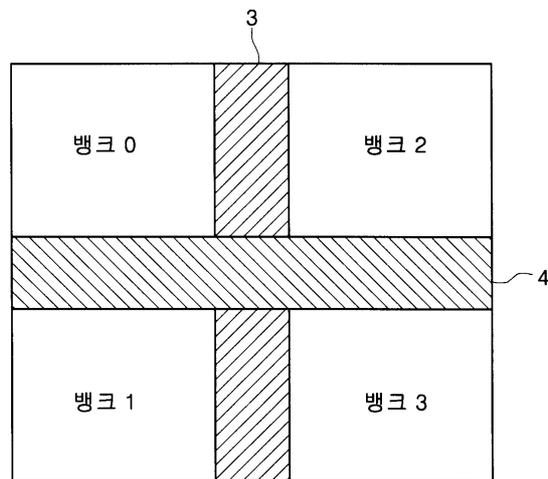
드레인에 상기 제 2 저항이 연결되고 소스에 접지 전압이 연결되고 게이트에 상기 모드제어신호가 인가되는 제 2 스위칭 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

도면

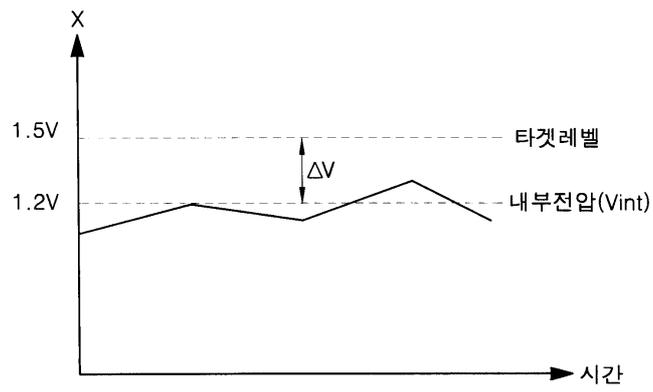
도면1



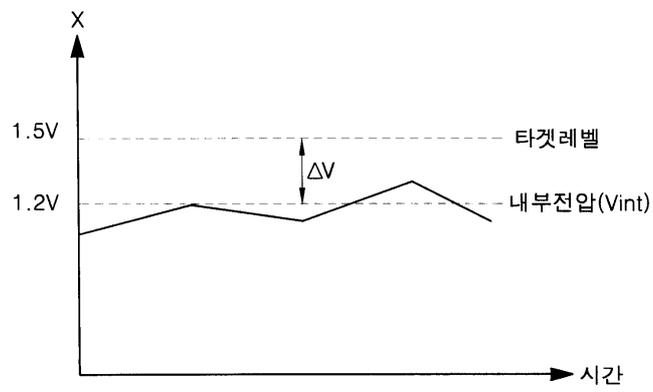
도면2



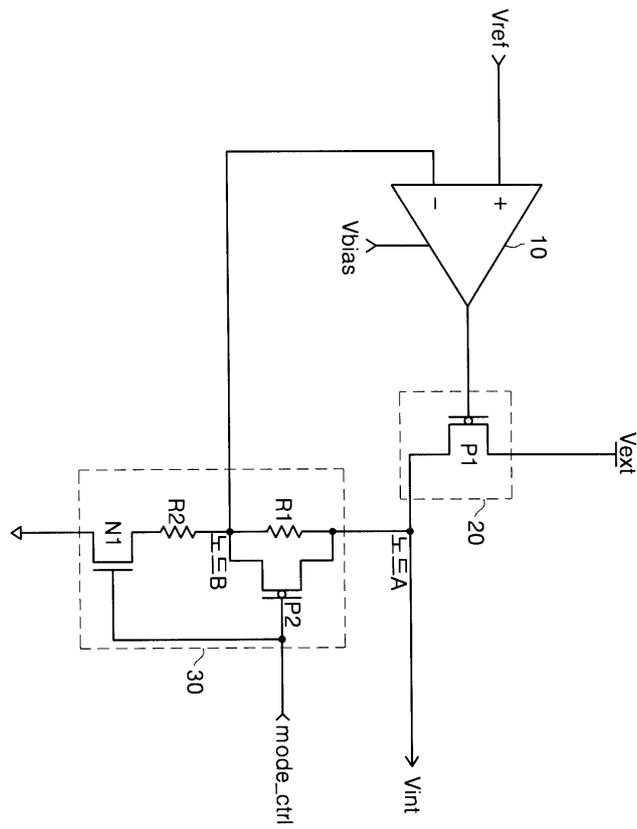
도면3a



도면3b



도면4



도면5

