

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3954395号  
(P3954395)

(45) 発行日 平成19年8月8日(2007.8.8)

(24) 登録日 平成19年5月11日(2007.5.11)

(51) Int. Cl.	F I				
<b>HO3H</b>	<b>9/17</b>	<b>(2006.01)</b>	HO3H	9/17	F
<b>HO3H</b>	<b>3/02</b>	<b>(2006.01)</b>	HO3H	3/02	B
<b>HO3H</b>	<b>9/58</b>	<b>(2006.01)</b>	HO3H	9/58	A

請求項の数 8 (全 23 頁)

(21) 出願番号	特願2002-13984 (P2002-13984)	(73) 特許権者	000005223
(22) 出願日	平成14年1月23日 (2002.1.23)		富士通株式会社
(65) 公開番号	特開2003-204239 (P2003-204239A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成15年7月18日 (2003.7.18)	(73) 特許権者	398067270
審査請求日	平成15年6月10日 (2003.6.10)		富士通メディアデバイス株式会社
(31) 優先権主張番号	特願2001-329308 (P2001-329308)		神奈川県横浜市港北区新横浜二丁目3番地12
(32) 優先日	平成13年10月26日 (2001.10.26)	(74) 代理人	100086380
(33) 優先権主張国	日本国(JP)		弁理士 吉田 稔
前置審査		(74) 代理人	100103078
			弁理士 田中 達也
		(72) 発明者	西原 時弘
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
			最終頁に続く

(54) 【発明の名称】 圧電薄膜共振子、フィルタ、および圧電薄膜共振子の製造方法

(57) 【特許請求の範囲】

【請求項1】

(111)面である第1の面を有する(111)カットのシリコン基板と、  
前記第1の面に接する第1電極膜と、  
前記第1電極膜に重なる圧電膜と、  
前記圧電膜に重なる第2電極膜と、を備え、  
前記第1電極膜は、(111)の一軸配向構造をとるCuよりなる単層導電膜、または、(111)の一軸配向構造をとってCuを主成分として含んでなる単層導電膜であり、  
前記圧電膜は、(002)の一軸配向構造をとるAlNまたはZnOよりなる、圧電薄膜共振子。

【請求項2】

(111)面である第1の面を有する(111)カットのシリコン基板と、  
前記第1の面に接する第1電極膜と、  
前記第1電極膜に重なる圧電膜と、  
前記圧電膜に重なる第2電極膜と、を備え、  
前記第1電極膜は、一軸配向構造を有する複数の導電層が積層されてなる積層導電膜であり、(111)の一軸配向構造をとるCuよりなり且つ前記第1の面に接する第1導電層、または、(111)の一軸配向構造をとってCuを主成分として含んでなり且つ前記第1の面に接する第1導電層、を含み、

前記圧電膜は、(002)の一軸配向構造をとるAlNまたはZnOよりなる、圧電薄膜共振子。

【請求項3】

(111)面である第1の面を有する(111)カットのシリコン基板と、

前記第1の面に接する第1電極膜と、

前記第1電極膜に重なる圧電膜と、

前記圧電膜に重なる第2電極膜と、を備え、

前記第1電極膜は、前記第1の面に接する第1導電層と、前記圧電膜に接する第2導電層とからなる、2層導電膜であり、前記第1導電層は、(111)の一軸配向構造をとるCuよりなるか、或は、(111)の一軸配向構造をとってCuを主成分として含んでなり、前記第2導電層は、(110)の一軸配向構造をとってMoを含んでなり、

10

前記圧電膜は、(002)の一軸配向構造をとるAlNまたはZnOよりなる、圧電薄膜共振子。

【請求項4】

前記シリコン基板には、前記第1電極膜と、前記圧電膜と、前記第2電極膜とからなる積層共振体に対応する位置において、前記第1の面にて開口する第1開口部および前記第1の面とは反対の第2の面にて開口する第2開口部を有しつつ前記第1の面に対して略垂直な空隙部が開設されている、請求項1から3のいずれか1つに記載の圧電薄膜共振子。

【請求項5】

前記第1開口部および前記第2開口部の形状は、円または楕円である、請求項4に記載の圧電薄膜共振子。

20

【請求項6】

前記第1電極膜の一部および前記圧電膜の一部は、前記空隙部に露出している、請求項4または5に記載の圧電薄膜共振子。

【請求項7】

前記第1電極膜において前記空隙部に露出する部分、および、前記圧電膜において前記空隙部に露出する部分は、フッ素系のガスでエッチングされない導電性材料により構成されている、請求項6に記載の圧電薄膜共振子。

【請求項8】

請求項1から7のいずれか1つに記載の圧電薄膜共振子を少なくとも1つ含んだ複数の圧電薄膜共振子を有し、当該複数の圧電薄膜共振子が一体となって動作することを特徴とする、フィルタ。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、圧電薄膜共振子、これを用いて構成されるフィルタ、および圧電薄膜共振子の製造方法に関する。

【0002】

【従来の技術】

携帯電話に代表される移動通信機器の急速な普及により、小型で軽量のバンドパスフィルタおよびこれを構成するための共振子の需要は増大している。大電力の用途に適したバンドフィルタを構成するための共振子としては、圧電薄膜共振子が知られている。圧電薄膜共振子は、一般に、基板と、基板上に設けられた積層共振体とからなる。積層共振体は、圧電膜と、当該圧電膜を上下から挟む一对の薄膜電極からなる。下部電極の下方において、基板には空隙部が開設されている。

40

【0003】

圧電薄膜共振子の上下の電極に交流電圧を印加すると、逆圧電効果により、これらに挟まれた圧電膜はその厚み方向に振動し、電気的共振特性を示す。逆に、圧電効果によって、圧電膜に生ずる弾性波ないし振動は、電気信号に変換され得る。この弾性波は、圧電膜の厚み方向に主変位を持つ厚み縦振動波である。このような圧電薄膜共振子では、積層共振

50

体の厚みHが弾性波の1/2波長の整数倍(n倍)となる周波数にて、積層共振体において共振現象が生ずる。材料の種類によって定まる弾性波の伝搬速度をVとすると、共振周波数Fは、 $F = nV / 2H$ と表される。この式によると、積層共振体の厚みHを調節することによって、当該積層共振体の共振周波数を制御できることが理解できよう。共振周波数を制御することによって、所望の周波数特性を有する圧電薄膜共振子を作製することができる。そして、そのような共振子をラダー型に接続することによって、所定の通過周波数帯域を有するバンドパスフィルタを構成することができる。

#### 【0004】

上述した圧電薄膜共振子においては、下部電極の下方に空隙部を設けることにより所望の共振特性の実現が図られている。そのような空隙部を設ける技術は、例えば、論文“ZnO/SiO<sub>2</sub>-DIAPHRAGM COMPOSITE RESONATOR ON A SILICON WAFER” (K.NAKAMURA, ELECTRONICS LETTERS 9<sup>th</sup> July 1981 Vol.17 No.14 p507-509)、特開昭60-189307号公報、特開2000-69594号公報、米国特許第6,060,818号、米国特許第5,587,620号などに開示されている。

#### 【0005】

図20は、論文“ZnO/SiO<sub>2</sub>-DIAPHRAGM COMPOSITE RESONATOR ON A SILICON WAFER”に記載されている圧電薄膜共振子700の断面図である。圧電薄膜共振子700は、(100)カットのシリコン基板710と、下部電極721、圧電膜722および上部電極723からなる積層共振体720とを備える。シリコン基板710の表面には、熱酸化法によりSiO<sub>2</sub>膜711が成膜されており、積層共振体720は、SiO<sub>2</sub>膜711上に設けられている。シリコン基板710は、SiO<sub>2</sub>膜711を成膜した後に形成された空隙部710aを有する。空隙部710aは、シリコン基板の(100)面を利用した異方性エッチングによって形成される。具体的には、エッチング液としてKOH水溶液やEDP水溶液(エチレンジアミン+ピロカテコール+水)を用いて、シリコン基板710の裏面(図中下面)から異方性エッチングを施すことによって、空隙部710aが形成される。

#### 【0006】

しかしながら、当該論文に記載されている異方性エッチングは、単結晶シリコン基板において、(100)面のエッチングレートが(111)面のエッチングレートより相当程度速いという特徴を利用しているため、積層共振体720が形成されるシリコン基板のカット面が(100)面に限定されてしまい、積層共振体720の各部位の材料および配向性が制限され得る。また、当該論文に記載されている異方性エッチングによると、シリコン基板710の(111)面に相当する空隙部710aの側壁710a'が、シリコン基板710のカット面である(100)面に対して54.7°の傾斜をなす。そのため、空隙部710aが、シリコン基板710の裏面において広く開口してしまう。例えば、シリコン基板710の厚みが300μmである場合、空隙部710の下方開口部は、上方開口部よりも420μm以上広がってしまう。その結果、圧電薄膜共振子700の機械的強度が劣化してしまうとともに、圧電薄膜共振子700の全体サイズが積層共振体720のサイズよりも相当程度大きくなってしまふ。更に、このような圧電薄膜共振子700を複数組み合わせることによってバンドパスフィルタなどのフィルタを構成する場合、下方に広く開口する空隙部710aが存在するため、フィルタの小型化を十分に図ることができない。例えば、シリコン基板710の厚みが300μmである場合、空隙部710aの下方開口部は、上方開口部よりも420μm以上広がってしまうので、隣接する上方開口部間の距離は420μmよりも大きく設定しなければならないのである。加えて、上方開口部間の距離を長く設定すると、積層共振体間を接続する配線長が長くなり、配線抵抗が増加してしまう。配線抵抗の増加は、高周波数帯域におけるフィルタ特性の向上を阻害する主な原因となる場合がある。

#### 【0007】

図21は、特開昭60-189307号公報に開示されている圧電薄膜共振子800の断面図を示す。圧電薄膜共振子800は、基板810と、下部電極821、圧電膜822および上部電極823からなる積層共振体820とを備える。基板810と積層共振体82

10

20

30

40

50

0との間に空隙部830が設けられている。特開昭60-189307号公報によると、圧電薄膜共振子800の製造においては、まず、基板810上において、空隙部830形成用の犠牲層がパターン形成される。次いで、犠牲層の一部を露出させつつ当該犠牲層上にSiO<sub>2</sub>膜840が成膜される。次いで、SiO<sub>2</sub>膜840上に積層共振体820が形成される。次いで、犠牲層をウェットエッチングで除去することにより、積層共振体820の下方に空隙部830が開設される。このような方法によると、空隙部830は、積層共振体820に対して不当に広くは形成されない。

#### 【0008】

厚み縦振動を利用した圧電薄膜共振子では、良好な共振特性を得るためには配向性の高い圧電膜を必要とするところ、特開昭60-189307号公報の技術によると、十分に高い配向性を有する圧電膜822を形成することは困難である。積層共振体820の下方の空隙部830に求められる長さL15は、積層共振体820の反り及び振動変位を考慮すると、少なくとも数μm必要である。しかしながら、圧電薄膜共振子800の製造において、長さL15に相当する厚さで成膜した犠牲層の表面は、シリコン基板810の表面よりも、表面粗さが大きい。そのため、表面粗さの大きなSiO<sub>2</sub>膜840を介して犠牲層上に成長させる下部電極821および圧電膜822の配向性は劣化してしまう。その結果、圧電薄膜共振子において良好な共振特性を得ることが困難となるのである。

#### 【0009】

図22は、特開2000-69594号公報に開示されている圧電薄膜共振子900の断面図である。圧電薄膜共振子900は、シリコン基板910と、下部電極921、圧電膜922および上部電極923からなる積層共振体920とを備える。積層共振体920の下方において、基板910には空隙部910aが形成されている。特開2000-69594号公報によると、圧電薄膜共振子900の製造においては、まず、シリコン基板910に対して、エッチングにより、空隙部910aとしての凹部が形成される。次いで、当該空隙部910aを含むシリコン基板910の表面に、熱酸化法によりSiO<sub>2</sub>膜930を形成する。次いで、犠牲層材料を空隙部910a内に堆積させて、犠牲層を形成する。堆積の後、犠牲層の表面に対して研磨およびクリーニングを施す。次いで、犠牲層の一部を露出させつつ当該犠牲層の上に積層共振体920を形成する。そして、犠牲層をウェットエッチングで除去する。

#### 【0010】

しかしながら、特開2000-69594号公報の方法では、空隙部910aに犠牲層を堆積する工程、および、その犠牲層を研磨する工程など、工程数が多い。そのため、低コストで歩留まりのよい圧電薄膜共振子製造を達成するのが難しい。

#### 【0011】

##### 【発明が解決しようとする課題】

本発明は、このような事情のもとで考え出されたものであって、上述の従来の問題点を解消ないし軽減することを課題とし、小型化を図るのに適するとともに優れた共振特性を有する圧電薄膜共振子、これにより構成されるフィルタ、および、そのような圧電薄膜共振子の製造方法を提供することを目的とする。

#### 【0012】

##### 【課題を解決するための手段】

本発明の第1の側面によると圧電薄膜共振子が提供される。この圧電薄膜共振子は、第1の面およびこれと反対の第2の面を有する基板と、第1の面に接する第1電極膜、当該第1電極膜に重なる圧電膜、および当該圧電膜に重なる第2電極膜からなる積層共振体と、を備え、基板には、積層共振体に対応する位置において、第1の面にて開口する第1開口部および第2の面にて開口する第2開口部を有しつつ第1の面に対して略垂直な空隙部が開設されていることを特徴とする。

#### 【0013】

このような構成によると、小型化を図るのに適するとともに優れた共振特性を有する圧電薄膜共振子を得ることができる。本発明では、空隙部は、基板において、積層共振体に対

10

20

30

40

50

応する位置で第1の面および第2の面にて開口し、第1の面に対して略垂直に形成されている。基板を垂直に貫通する空隙部は、基板のカット態様にかかわらず、ドライエッチングであるDeep-RIE（反応性イオンエッチング）で形成することができる。このように、基板を貫通する空隙部を積層共振体に対して過度には広く開口することなく形成することによって、圧電薄膜共振子自体の小型化を図ることができる。その結果、複数の圧電薄膜共振子を用いて例えばラダー型バンドフィルタなどのフィルタを作製する場合、第1の側面に係る圧電薄膜共振子によると、実用に適した小型のフィルタを得ることが可能となる。また、基板を貫通する空隙部を、基板のカット態様にかかわらず形成できるため、基板のカット態様を適宜選択でき、基板上において、所望の基板のカット面を利用して配向性の高い第1電極膜すなわち下部電極を形成することができる。したがって、配向性の高い第1電極膜上において、配向性の高い圧電膜を形成することができ、その結果、良好な共振特性を有する圧電薄膜共振子を得ることが可能となる。

10

**【0014】**

本発明において、第1電極膜および第2電極膜の形成には、例えば、アルミニウム（Al）、銅（Cu）、モリブデン（Mo）、クロム（Cr）、チタン（Ti）、白金（Pt）などを用いることができる。圧電膜の形成には、窒化アルミニウム（AlN）や酸化亜鉛（ZnO）、チタン酸ジルコン酸鉛（PZT）、チタン酸鉛（PbTiO<sub>3</sub>）などを用いることができる。また、基板としては、例えばシリコン基板を用いることができる。

**【0015】**

好ましくは、基板の第1の面に接して形成される第1電極膜は、一軸配向構造を有する単層導電膜、または、一軸配向構造を有する複数の導電膜が積層されてなる積層導電膜である。より好ましくは、第1電極膜に重ねて形成される圧電膜も一軸配向構造を有する。また、好ましくは、基板は（111）カットのシリコン基板であり、第1の面および第2の面は（111）面とされている。これらの構成は、配向性の高い圧電膜を形成するうえで好ましい。

20

**【0016】**

本発明の第2の側面によると別の圧電薄膜共振子が提供される。この圧電薄膜共振子は、（111）面である第1の面を有する（111）カットのシリコン基板と、AlまたはCuを含んで第1の面に接する第1電極膜と、AlNまたはZnOを含んで第1電極膜に重なる圧電膜と、圧電膜に重なる第2電極膜と、を備えることを特徴とする。

30

**【0017】**

このような構成によると、圧電膜を構成するための圧電体材料としてAlNまたはZnOを用いる場合において、シリコン基板の（111）面を利用して、配向性の高い第1電極膜を介して配向性の高い圧電膜を形成することができる。

**【0018】**

本発明の第1および第2の側面において、好ましくは、第1電極膜は、（111）の一軸配向構造をとるAlまたはCuを含む単層導電膜とする。或いは、第1電極膜は、一軸配向構造を有する複数の導電層が積層されてなり、（111）の一軸配向構造をとるAlまたはCuを含んで第1の面に接する第1導電層を有する積層導電膜としてもよい。或いは、第1電極膜は、（111）の一軸配向構造をとるAlまたはCuを含んで第1の面に接する第1導電層と、（110）の一軸配向構造をとるMoを含む第2導電層とからなる2層導電膜としてもよい。このような構成によると、（111）カットのシリコン基板上において、配向性の高い第1電極膜を形成することができる。

40

**【0019】**

好ましくは、圧電膜は、（002）の一軸配向構造をとるAlNまたはZnOである。このような構成によると、（111）カットのシリコン基板上に形成された配向性の高い一軸配向構造をとる第1電極膜上において、配向性の高い圧電膜を形成することができる。

**【0020】**

好ましくは、圧電薄膜共振子は、更に、基板の第2の面に接合されたカバー基板を有する。このような構成は、圧電薄膜共振子の実装プロセスなどにおいて、積層共振体の破損な

50

どの不具合を回避するのに好適である。

【0021】

好ましくは、第1電極膜の一部および圧電膜の一部は、共に空隙部に露出している。第1電極膜および圧電膜が励振部およびその近傍において絶縁膜などを介せずに空隙部に露出することによって、良好な共振特性を得ることが可能となる。

【0022】

本発明の第3の側面によると別の圧電薄膜共振子が提供される。この圧電薄膜共振子は、第1の面およびこれと反対の第2の面を有する基板と、第1の面に接する第1電極膜、当該第1電極膜に重なる圧電膜、および当該圧電膜に重なる第2電極膜からなる積層共振体と、を備え、基板には、積層共振体に対応する位置において、第1の面にて開口する第1開口部を有する空隙部が開設されており、第1電極膜の一部および圧電膜の一部は、空隙部に露出していることを特徴とする。

10

【0023】

積層共振体における第1電極膜および圧電膜の一部が空隙部に露出していると、積層共振体と空隙部との間に絶縁膜が介在している場合に比べて、積層共振体において良好な共振特性を得ることが可能となる。また、第1電極膜に加えて圧電膜が露出する程度にまで開口する空隙部を有することにより、後述するように最小挿入損失や減衰極の抑圧などの共振特性が良好となる。

【0024】

本発明の第4の側面によるとフィルタが提供される。このフィルタは、第1から第3の側面に係る上述のいずれかに記載の圧電薄膜共振子を少なくとも1つ含んだ複数の圧電薄膜共振子を有し、当該複数の圧電薄膜共振子が一体となって動作することを特徴とする。このような構成のフィルタは、良好なフィルタ特性を示す。

20

【0025】

本発明の第5の側面によると別のフィルタが提供される。このフィルタは、第1の面およびこれと反対の第2の面を有する基板と、第1の面に接する第1電極膜、当該第1電極膜に重なる圧電膜、および当該圧電膜に重なる第2電極膜からなる複数の積層共振体と、基板における、積層共振体の各々に対応する位置において、第1の面にて開口する第1開口部および第2の面にて開口する第2開口部を有しつつ第1の面に対して略垂直に開設された空隙部と、を備えて複数の圧電薄膜共振子が一体的に形成されており、隣接する第1開口部間の距離は420 μm以下であることを特徴とする。

30

【0026】

このような構成によると、小型のフィルタを得ることができる。加えて、積層共振体間を接続する配線長を短くでき、その結果、配線抵抗の増加を抑えることが可能となる。配線抵抗を低減することによって、高周波数帯域におけるフィルタ特性を向上することが可能となる。また、レイアウトの自由度が高いフィルタを得ることもできる。従来の圧電薄膜共振子では、一般に、300 μm以上の厚さを有するシリコン基板が用いられていた。このような厚さの基板を備えて、積層共振体の下方において当該基板を貫通する空隙部が設けられている圧電薄膜共振子は、従来では上述のように、下方開口部が過度に広がっている。その結果、複数のそのような圧電薄膜共振子よりなるフィルタにおいては、上述のように、隣接する上方開口部間の距離は420 μmよりも大きく設定しなければならなかった。これに対し、本発明の第5の側面によると、フィルタを構成する圧電薄膜共振子の空隙部を基板に対して垂直に開設するとともに上方開口部間の距離を短く設定することによって、小型化に適したフィルタを得ることができるのである。

40

【0027】

本発明の第4および第5の側面において、複数の圧電薄膜共振子は、相互に直列に接続された複数の第1圧電薄膜共振子と、相互に並列に接続された複数の第2圧電薄膜共振子とを含み、複数の第1圧電薄膜共振子および複数の第2圧電薄膜共振子によりラダー型フィルタとして構成されている。

【0028】

50

第5の側面において、好ましくは、複数の圧電薄膜共振子の少なくとも1つでは、第1電極膜の一部および圧電膜の一部は、空隙部に露出している。

【0029】

本発明の第6の側面によると別のフィルタが提供される。このフィルタは、第1の面およびこれと反対の第2の面を有する基板と、第1の面に接する第1電極膜、当該第1電極膜に重なる圧電膜、および当該圧電膜に重なる第2電極膜からなる複数の積層共振体と、基板における、積層共振体の各々に対応する位置において、第1の面にて開口する第1開口部を有するように設けられた空隙部と、を備えて、複数の圧電薄膜共振子が一体的に形成されており、複数の圧電薄膜共振子の少なくとも1つにおいて、第1電極膜の一部および圧電膜の一部は、対応する空隙部に露出していることを特徴とする。

10

【0030】

本発明の第1および第3から第6の側面において、好ましくは、空隙部の第1開口部および第2開口部の形状は、円または楕円である。空隙部の開口形状が円形や楕円形である場合には、矩形である場合と比較して、ドライエッチングによる空隙部形成の効率は良い。空隙部の開口部形状が矩形である場合には、角の部分のエッチング速度は、他の部分のそれよりも低下してしまうため、設計通りの開口部形状を形成できない場合がある。特に、単一基板上に異なるサイズの空隙部を形成する際には、開口部形状が矩形よりも円形や楕円形である方が、空隙部形成の効率の差は顕著となる。

【0031】

本発明の第1および第3から第6の側面において、好ましくは、第1電極膜において空隙部に露出する部分、および、圧電膜において空隙部に露出する部分は、フッ素系のガスでエッチングされないAlやCuなどの導電性材料により構成されている。このような構成によると、第1電極膜および空隙部の損傷を回避ないし抑制しつつ、ドライエッチングであるDeep-RIEにより空隙部を形成することができる。

20

【0032】

本発明の第1から第6の側面において、好ましくは、積層共振体における励振部の面積に対する第1開口部の面積の比は、1~2.25である。このような面積比率によると、積層共振体の変形や破損を回避しつつ良好な共振特性を得ることが可能となる。励振部とは、第1電極膜と第2電極膜とが圧電膜を介して重複する領域をいう。

【0033】

本発明の第1から第6の側面において、好ましくは、第1電極膜の励振部の形状と第2電極膜の励振部の形状は略一致している。このような構成は、2つの電極膜間において余分の容量の発生を防止し、良好な共振特性を達成するうえで好適である。また、好ましくは、第1電極膜の励振部の形状および第2電極膜の励振部の形状は、円または楕円の一部を有している。

30

【0034】

本発明の第7の側面によると圧電薄膜共振子の製造方法が提供される。この製造方法は、第1の面およびこれと反対の第2の面を有する基板に、第1の面に接する第1電極膜と、当該第1電極膜に重なる圧電膜と、当該圧電膜に重なる第2電極膜とからなる積層共振体を形成する工程と、基板に対して、ドライエッチングにより、積層共振体に対応する位置において第1の面および第2の面にて開口する空隙部を第1の面に対して略垂直に形成する工程と、を含むことを特徴とする。

40

【0035】

このような構成によると、本発明の第1の側面に係る圧電薄膜共振子を製造することができる。したがって、本発明の第7の側面によっても、第1の側面に関して上述したのと同様の効果が奏される。

【0036】

本発明の第8の側面によると別の圧電薄膜共振子の製造方法が提供される。この製造方法は、第1の面およびこれと反対の第2の面を有する基板に、第1の面に接する第1電極膜と、当該第1電極膜に重なる圧電膜と、当該圧電膜に重なる第2電極膜とからなる積層共

50

振体を形成する工程と、基板に対して、ドライエッチングにより、積層共振体に対応する位置において第1の面および第2の面にて開口する空隙部を形成する工程とを含み、空隙部を形成する工程において、第1電極膜の一部および圧電膜の一部を空隙部に露出させることを特徴とする。

【0037】

このような構成によると、本発明の第3の側面に係る圧電薄膜共振子を製造することができる。したがって、本発明の第8の側面によっても、第3の側面に関して上述したのと同様の効果が奏される。

【0038】

本発明の第7および第8の側面において、好ましくは、ドライエッチングはDeep-RIEである。これらの製造方法においては、更に、空隙部を閉塞するように基板の第2の面にカバー基板を接合する工程を含んでもよい。また、空隙部を形成する工程では、圧電薄膜共振子またはこれにより構成されるフィルタの輪郭を規定する溝部をエッチング形成してもよい。

【0039】

【発明の実施の形態】

図1は、本発明の第1の実施形態に係る圧電薄膜共振子100を表す。図2は、図1の線II-IIに沿った断面図である。

【0040】

圧電薄膜共振子100は、シリコン基板110と、その上に形成された積層共振体120とを有する。シリコン基板110は、(111)カットされた単結晶シリコン基板であり、(111)面に相当する第1の面111および第2の面112を有する。積層共振体120は、第1電極膜121と、第2電極膜122と、これらに挟まれた圧電膜123とからなる。本実施形態では、第1電極膜121は、100nmの厚みを有し、(111)の一軸配向構造をとるAlまたはCuにより形成されている。第2電極膜122は、100nmの厚みを有し、AlまたはCuにより形成されている。圧電膜123は、500nmの厚みを有し、(002)の一軸配向構造をとるAlNまたはZnOにより形成されている。

【0041】

シリコン基板110には、積層共振体120の下方に空隙部110aが形成されている。空隙部110aは、第1の面111および第2の面112に対して垂直にシリコン基板110を貫通しており、第2の面112における空隙部110aの開口部112aは、第1の面111における開口部111aと同一の面積および形状を有する。本実施形態では、開口部111a、112aは正方形である。このように、空隙部110aの開口部112aが開口部111aよりも有意には広がっていないため、シリコン基板110ひいては圧電薄膜共振子100を小型に設計することが可能となっている。例えば、圧電薄膜共振子100の共振周波数を5GHzに設定する場合、積層共振体120における励振部について長さL1は約50μmであり、空隙部110aについて長さL2は約60μmである。ここで励振部とは、第1電極膜121および第2電極膜122が圧電膜123を介して重複する領域をいう。本実施形態では、励振部は、一辺の長さがL1の正方形である。本発明では、励振部は、正方形に代えて長方形でもよいし、矩形でなくともよい。励振部形状に応じて開口部111a、112aの形状を変更してもよい。本実施形態では、第1電極膜121の一部および圧電膜123の一部は、空隙部110aに露出している。したがって、良好な共振特性を達成可能である。

【0042】

ここで、励振部についての長さL1、および、空隙部110aないし開口部111aについての長さL2が共振特性に与える影響について説明する。本発明の圧電薄膜共振子100による1ポート共振子を、ネットワークアナライザに対して図3に示すように接続し、その通過特性(S21特性)を測定したところ、図4および図5に示す結果を得た。測定に供した複数の圧電薄膜共振子100は、いずれも、(111)カットされた厚さ300

10

20

30

40

50



$\mu\text{m}$ のシリコン基板  $110$ 上に、 $\text{Al}$ よりなる厚さ  $100\text{nm}$ の第1電極膜  $121$ と、 $\text{ZnO}$ よりなる厚さ  $500\text{nm}$ の圧電膜  $123$ と、 $\text{Al}$ よりなる厚さ  $100\text{nm}$ の第2電極膜  $122$ とからなる積層共振体  $120$ が形成されたものである。当該複数の圧電薄膜共振子  $100$ において、正方形励振部の一辺の長さ  $L_1$ 、および、空隙部  $110a$ ないし正方形の開口部  $111a$ の一辺の長さ  $L_2$ の比は、異なる。図4のグラフは、通過特性における最小挿入損失の  $L_2/L_1$ 依存性を表す。図5のグラフは、通過特性における減衰極の抑圧の  $L_2/L_1$ 依存性を表す。

#### 【0043】

図4のグラフによると、最小挿入損失は、 $L_2/L_1$ の値が1より小さくなるにつれて上昇してしまい、 $L_2/L_1$ の値が1以上であると、相対的に小さな値で略一定であることがわかる。また、図5のグラフによると、減衰極の抑圧は、 $L_2/L_1$ の値が1より小さくなるにつれて低下してしまい、 $L_2/L_1$ の値が1以上であると、相対的に大きな値で略一定であることがわかる。このように、 $L_2/L_1$ の値が1以上において、最小挿入損失および減衰極の抑圧で示唆される共振特性は良好となる。このように共振特性が良好となるのは、 $L_2/L_1$ の値が1より小さいと、空隙部  $110a$ に露出するのは第1電極膜  $121$ の一部のみであるのに対し、 $L_2/L_1$ の値が1よりも大きいと、第1電極膜  $121$ の一部に加えて圧電膜  $123$ の一部も空隙部  $110a$ に露出するためである。一方、 $L_2/L_1$ の値が1.5よりも大きいと、励振部が反り易くなって共振特性の変動要因が増加するとともに破損のおそれも増大し、好ましくない。したがって、 $L_2/L_1$ の値は、1以上であって、かつ、製造プロセス上の精度なども考慮したうえで必要最小限の大きさとするのがよく、好ましくは1~1.5の範囲である。本測定において、励振部および開口部  $111a$ の形状は、各々、一辺を  $L_1$ および  $L_2$ とする正方形であるところ、 $L_2/L_1$ の値の好ましい範囲に基くと、開口部  $111a$ の面積に対する励振部の面積の比は、1~2.25の範囲が好ましいことが理解できよう。ただし、開口部  $111a$ および励振部の形状が正方形でない場合であっても、両者の面積比は、1~2.25の範囲が好ましい。

#### 【0044】

次に、シリコン基板の表面の状態が、基板上に成膜される第1電極膜、および、当該第1電極膜上に成膜される圧電膜の配向性に対して与える影響について説明する。まず、次のような基板A、B、C、Dを用意した。基板Aは、 $(111)$ カットのシリコン基板である。基板Bは、 $(100)$ カットのシリコン基板である。基板Cは、スパッタリングにより表面に厚さ  $5\mu\text{m}$ の  $\text{SiO}_2$ 膜を成膜した $(111)$ カットのシリコン基板である。基板Dは、スパッタリングにより表面に厚さ  $5\mu\text{m}$ の  $\text{SiO}_2$ 膜を成膜した $(100)$ カットのシリコン基板である。これらの基板上に、第1電極膜として、スパッタリングにより厚さ  $100\text{nm}$ の  $\text{Al}$ 膜を成膜した。更に、第1電極膜の上に、圧電膜として、スパッタリングにより厚さ  $500\text{nm}$ の  $\text{ZnO}$ 膜を成膜した。次いで、各基板について、成膜された  $\text{Al}$ および  $\text{ZnO}$ の配向性を調べた。具体的には、配向性については、X線回折装置を用いた測定により得られるロッキングカーブのFWHM (Full Width at Half Maximum)の値に基づいて評価した。FWHMの値が小さいほど配向性が高いことを意味する。良好な圧電性を得るためには、圧電膜のFWHMは  $6^\circ$ 以下であるのが好ましい。

#### 【0045】

基板A、B、C、Dに成膜された  $\text{Al}$ および  $\text{ZnO}$ について、 $(111)$ 一軸配向  $\text{Al}$ および  $(002)$ 一軸配向  $\text{ZnO}$ のFWHMの値を表1に掲げる。表1に示すように、基板Aにおいて、 $\text{Al}$ は  $(111)$ の良好な一軸配向をとり、 $\text{ZnO}$ は  $(002)$ の良好な一軸配向をとっていた。ここで、一軸配向とは、X線回折装置を使用して  $-2^\circ$ 測定を行った際に得られる結果において、他の結晶面からの回折ピーク強度が所望の結晶面からの回折ピーク強度に対して  $1/100$ 以下に抑えられていることを意味する。これに対し、基板Bでは、 $\text{Al}$   $(200)$ および  $\text{ZnO}$   $(103)$ といった他の結晶面からの比較的強い回折ピークが見られ、第1電極膜として成膜された  $\text{Al}$ および圧電膜として成膜された  $\text{ZnO}$ において十分な一軸配向をとっていなかった。このように、 $(111)$ カットであ

10

20

30

40

50

る基板 A の方が、(100) カットである基板 B よりも、Al (111) および ZnO (002) の FWHM の値が小さくなっており、第 1 電極膜として成膜された Al および圧電膜として成膜された ZnO の両方の配向性が高いことがわかる。なお、基板 C, D では、基板表面に成膜された SiO<sub>2</sub> 膜の表面の粗さが大きいことに起因して、Al および ZnO は、測定不可能なほど配向性が低かった。

【0046】

【表 1】

	Al	ZnO
基板 A	0.71°	0.86°
基板 B	13.2°	7.4°
基板 C	測定不可能	測定不可能
基板 D	測定不可能	測定不可能

10

20

【0047】

基板 A, B については、第 1 電極膜として厚さ 100 nm の Cu を成膜し、圧電膜として厚さ 500 nm の ZnO を成膜した場合についても、上述と同様の手法により配向性を調べた。その結果、基板 A において、Cu は (111) の良好な一軸配向をとり、ZnO は (002) の良好な一軸配向をとっていることがわかった。特に、圧電膜として成膜された ZnO の FWHM は、基板 A では 1.8° であり、基板 B では 9.6° であった。この結果は、基板 A の圧電膜として成膜された ZnO の方が、基板 B の ZnO のそれよりも配向性が高いことを示す。また、基板 A, B については、第 1 電極膜として、厚さ 50 nm の Al を成膜して更に厚さ 100 nm の Mo を成膜し、圧電膜として厚さ 500 nm の AlN を成膜した場合についても、上述と同様の手法により配向性を調べた。その結果、基板 A において、Al は (111) の良好な一軸配向をとり、Mo は (110) の良好な一軸配向をとり、AlN は (002) の良好な一軸配向をとっていることがわかった。これに対して、基板 B では、第 1 電極膜の Mo 層において Mo (211) といった他の結晶面からの回折ピークが見られ、充分な一軸配向をとっていなかった。特に、圧電膜として成膜された AlN の FWHM は、基板 A では 2.1° であり、基板 B では測定不可能であった。

30

【0048】

以上の結果より、基板 A, B すなわち SiO<sub>2</sub> 膜を成膜していないシリコン基板は、基板 C, D すなわち SiO<sub>2</sub> 膜を成膜したシリコン基板よりも、配向性を有する圧電膜を形成するのに適していることが理解できよう。更に、基板 A すなわち (111) カットのシリコン基板は、基板 B すなわち (100) カットのシリコン基板よりも、配向性の高い圧電膜を形成するのに適していることが理解できよう。

40

【0049】

図 6 は、図 1 に示す圧電薄膜共振子 100 の製造における一連の工程の一部を表す。図 7 は、図 6 に続く工程を表す。図 6 および図 7 は、製造工程における、図 1 の線 II-II に沿った断面形状の様子を表す。

【0050】

圧電薄膜共振子 100 の製造においては、まず、図 6 (a) に示すように、スパッタリング法により、シリコンウエハ 10 に対して、第 1 電極膜 121 を 100 nm の厚さで成膜する。シリコンウエハ 10 は、(111) カットされたものであり、(111) 面に相当

50

する第1の面11および第2の面12を有する。第1電極膜121は、AlまたはCuよりなる。次に、図6(b)に示すように、所定のレジストパターンを介してドライエッチングまたはウェットエッチングを施すことにより、第1電極膜121をパターンニングする。ドライエッチングにおいて、例えば、Alに対しては、 $BCl_3$ および $Cl_2$ の混合ガスを使用することができ、Cuに対しては、Arと $Cl_2$ の混合ガスを使用することができる。また、ウェットエッチングにおけるエッチング液として、例えば、Alに対しては、リン酸、酢酸、硝酸を含む水溶液を使用することができ、Cuに対しては、硝酸第二セリウムアンモニウム水溶液を使用することができる。電極膜に対する以降のエッチングについても、これらを使用することができる。

【0051】

次に、図6(c)に示すように、スパッタリング法により、圧電膜123を500nmの厚さで成膜し、続いて、第2電極膜122を100nmの厚さで成膜する。圧電膜123は、AlNまたはZnOよりなる。第2電極膜122は、AlまたはCuよりなる。次に、図6(d)に示すように、所定のレジストパターンを介してドライエッチングまたはウェットエッチングを施すことにより、第2電極膜122をパターンニングする。次に、図6(e)に示すように、所定のマスクを介してドライエッチングまたはウェットエッチングを施すことにより、圧電膜123をパターンニングする。ウェットエッチングにおけるエッチング液として、AlNに対しては加熱リン酸を使用することができ、ZnOに対しては酢酸水溶液を使用することができる。圧電膜123がパターンニングされることによって、各素子ごとに積層共振体120が形成されることとなる。以上、積層共振体120の形成について、電極膜ないし圧電膜上へのレジストの成膜、当該レジストに対する露光、および、電極膜または圧電膜のエッチングを経る手法について説明した。本発明では、これに代えて、レジストの成膜、当該レジストに対する露光、電極膜または圧電膜の成膜、および、リフトオフを経て積層共振体120を形成する手法を採用してもよい。

【0052】

次に、図7(a)に示すように、シリコンウエハ10の第1の面11の側にレジスト30を形成する。レジスト30によって、以降の工程において積層共振体120が適切に保護される。

【0053】

次に、図7(b)に示すように、シリコンウエハ10に対してレジストパターン20を形成する。具体的には、シリコンウエハ10の第2の面12にフォトリソを成膜し、当該フォトリソに対して露光および現像を施すことにより、レジストパターン20を形成する。

【0054】

次に、図7(c)に示すように、シリコンウエハ10に対して、レジストパターン20を介してドライエッチングであるDeep-RIEを施す。これによって、各素子ごとに空隙部110aが形成される。本実施形態のDeep-RIEでは、エッチングと側壁保護膜形成とを交互に繰り返して行い、例えば、 $SF_6$ ガスによるエッチングを10秒間とし、 $C_4F_8$ ガスによる側壁保護膜形成を10秒間とし、ウエハに印加するバイアスは20W程度とする。これによって、シリコンウエハ10の第1の面11および第2の面12に対して垂直な空隙部110aが形成される。また、このとき、このようなフッ素系ガスを用いたドライエッチングによっては、Al, Cu, AlN, ZnOはエッチングされないため、第1電極膜121および圧電膜122に損傷を与えることなく、信頼性よく空隙部110aを形成することができる。すなわち、Al, Cu, AlN, ZnOは、このドライエッチングの際のエッチングストップ層として機能していることになる。また、本発明では、空隙部110aを形成する工程で、空隙部110aと共に素子分割用の境界貫通溝を形成してもよい。その場合には、素子を分割するための後述のダイシング工程を別途設ける必要はなく、圧電薄膜共振子100の製造工程の簡略化を図ることができる。

【0055】

次に、図7(d)に示すように、レジストパターン20およびレジスト30を剥離する。

その後、ダイシング工程を経て各素子に分割し、複数の圧電薄膜共振子 100 が完成することとなる。

【0056】

図8は、本発明の第2の実施形態に係る圧電薄膜共振子200の断面図である。圧電薄膜共振子200は、圧電薄膜共振子100のそれとは異なる第1電極膜221および第2電極膜222を有する。圧電薄膜共振子100の第1電極膜121および第2電極膜122は、AlまたはCuよりなる単層導電膜である。これに対し、圧電薄膜共振子200の第1電極膜221は第1導電層221aおよび第2導電層221bからなる2層導電膜である。第1導電層221aは、50nmの厚みを有し、(111)の一軸配向構造をとるAlまたはCuよりなる。第2導電層221bは、100nmの厚みを有し、(110)の一軸配向構造をとるMoよりなる。また、第2電極膜222は、100nmの厚みを有し、Moよりなる。

10

【0057】

圧電薄膜共振子200の製造においては、圧電薄膜共振子100に関して図6(a)に示す工程で、第1電極膜121に代えて、第1電極膜221として第1導電層221aおよびこれに積層する第2導電層221bを成膜する。そして、図6(b)に示す工程で、第1導電層221aおよび第2導電層221bを併せてパターンニングする。このパターンニングのためのエッチングおよび第2電極膜222をパターンニングするためのエッチングにおいて、ウェットエッチングのエッチング液としては、例えば、リン酸、酢酸、硝酸を含む水溶液を使用することができる。他の構成および形成工程については、圧電薄膜共振子100と同一である。

20

【0058】

圧電薄膜共振子200のような電極構造においても、上述の配向性調査でも示したように、(111)カットのシリコン基板110上に、例えばAlNやZnOにより配向性の高い圧電膜123を形成することができる。ただし、本発明では、第1電極膜は、単層導電膜および2層導電膜に代えて、一軸配向構造を有する複数の導電層が積層された積層導電膜であってもよい。その場合、シリコン基板110に接する最下層の導電膜は、(111)の一軸配向構造をとるAlまたはCuにより構成される導電膜であるのが好ましい。

【0059】

図9は、本発明の第3の実施形態に係る圧電薄膜共振子300の断面図である。圧電薄膜共振子300は、圧電薄膜共振子100に、カバー基板50を接合した構造を有する。カバー基板50は、200μmの厚みを有し、圧電薄膜共振子100におけるシリコン基板110の第2の面112に対して、空隙部110aを閉塞するように接合されている。より具体的には、カバー基板50の片面に、接合材料としてのAu-Sn膜51をスパッタリング法により5μmの厚さで成膜する。次に、シリコン基板110の第2の面112に対して、Au-Sn膜51を介してカバー基板50を合わせる。次に、約310℃で30分間の加熱を経て、両基板を接合する。

30

【0060】

カバー基板50を伴うこのような構造によると、特に圧電薄膜共振子の実装工程において、積層共振体120を適切に保護することができる。具体的には、第2の面112の側をカバー基板50を介して導体ペーストなどによりマザーボードなどに接合する際、当該導体ペーストが空隙部110aに入り込むのを回避することができる。また、フリップチップボンディングにおいて第2の面112の側を吸着コレットで吸引保持する際、吸引に起因する第1電極膜121や圧電膜123の破壊などを防止することができる。なお、本実施形態では、接合材料としては、Au-Sn膜51に代えて、他の金属材料を使用してもよいし、エポキシなどの樹脂材料を使用してもよい。或は、接合材料を使用せずに、直接接合や陽極接合などの接合技術を用いてもよい。

40

【0061】

図10は、本発明の第4の実施形態に係る圧電薄膜共振子400の平面図である。図11は、図10の線XI-XIに沿った断面図である。

50

## 【0062】

圧電薄膜共振子400は、シリコン基板410と、その上に形成された積層共振体420とを有する。シリコン基板410は、(111)カットされた単結晶シリコン基板であり、(111)面に相当する第1の面411および第2の面412を有する。積層共振体420は、第1電極膜421と、第2電極膜422と、これらに挟まれた圧電膜423とからなる。第1電極膜421および第2電極膜422は、各々、略円形の円形電極部421aおよび円形電極部422aを有する。円形電極部421aおよび円形電極部422aは、圧電膜423を介して重複し、圧電薄膜共振子400の励振部をなす。このように、積層共振体420は円形の励振部を有する。本実施形態では、この励振部の直径 $L1'$ は約 $50\mu\text{m}$ である。第1電極膜421、第2電極膜422、および圧電膜423の厚み寸法および構成材料は、上述の第1の実施形態に係る圧電薄膜共振子100と同様である。

10

## 【0063】

シリコン基板410には、積層共振体420における励振部の直下において空隙部410aが形成されている。空隙部410aは、第1の面411および第2の面412に対して垂直にシリコン基板410を貫通しており、第1の面411にて開口する円形の第1開口部411a、および、第2の面412にて開口する円形の第2開口部412aを有する。本実施形態では、第1開口部411a、第2開口部412a、および空隙部410aの断面の直径 $L2'$ は、約 $60\mu\text{m}$ である。このように、空隙部410aの開口部412aが開口部411aよりも有意には広がっていないため、シリコン基板410ひいては圧電薄膜共振子400を小型に設計することが可能となっている。図11によく表れているように、本実施形態では、第1電極膜421の円形電極部421aおよび圧電膜423は、空隙部410aに露出している。したがって、良好な共振特性を達成可能である。圧電薄膜共振子400は、圧電薄膜共振子100に関して上述したのと同様の工程を経て製造することができる。

20

## 【0064】

図12から図14は、本発明の第5の実施形態に係るバンドパスフィルタ500を表す。図12は、バンドパスフィルタ500の平面図である。図13は、図12の線XIII-XIIIに沿った断面図である。図14は、図12の線XIV-XIVに沿った断面図である。

## 【0065】

バンドパスフィルタ500は、シリコン基板110と、この上にパターン形成された第1電極膜121、圧電膜123、および第2電極膜122とを備える。第1電極膜121、圧電膜123、および第2電極膜122は、相互に直列に接続されている4つの圧電薄膜共振子100Aと、相互に並列に接続されている4つの圧電薄膜共振子100Bとを構成するように、重なり合っている。各圧電薄膜共振子100A、100Bは、第1の実施形態に係る圧電薄膜共振子100に相当する。シリコン基板110上にてパターン形成されている第1電極膜121は、その露出端部において、外部端子接続用の端子部60A、60Bを有する。相互に直列の圧電薄膜共振子100Aと相互に並列の圧電薄膜共振子100Bの共振周波数を有意に異ならしめるためには、並列共振子である圧電薄膜共振子100Bの第2電極膜122上に、更に、例えば厚み $50\text{nm}$ のA1膜を設けるのが好ましい。このように、バンドパスフィルタ500は、合計8個の圧電薄膜共振子100A、100Bが単一のシリコン基板110において一体的に構成されたラダー型フィルタである。図19は、そのようなバンドパスフィルタ500の等価回路である。

30

40

## 【0066】

圧電薄膜共振子100Aの積層共振体120において、正方形の励振部の長さ $L3$ は $75\mu\text{m}$ であり、図13に示すように、これに対応する空隙部110aの正方開口形(図12においては図示せず)の一辺の長さ $L5$ は $80\mu\text{m}$ である。圧電薄膜共振子100Aの空隙部110a間の距離 $L6$ は $20\mu\text{m}$ である。一方、圧電薄膜共振子100Bの積層共振体120において、正方形の励振部の長さ $L4$ は $50\mu\text{m}$ であり、図14に示すように、これに対応する空隙部110aの正方開口形(図12においては図示せず)の一辺の長さ $L7$ は $55\mu\text{m}$ である。圧電薄膜共振子100Bの空隙部110a間の距離 $L8$ は $45\mu\text{m}$

50

mである。このように、バンドパスフィルタ500においては、各圧電薄膜共振子100A, 100Bの空隙部110aは、シリコン基板110において、積層共振体120の励振部に対応する位置で開口し、シリコン基板110の第1の面111ないし積層共振体120に対して垂直に形成されている。したがって、各積層共振体120を近接配置することができ、その結果、バンドパスフィルタ500の小型化が図られる。また、各積層共振体120を近接配置することによって、圧電薄膜共振子100A, 100B間を電氣的に接続するための配線距離を短くすることができ、その結果、各圧電薄膜共振子100A, 100B間の配線抵抗を低減することが可能となっている。

#### 【0067】

本実施形態では、図13に表れているように、圧電薄膜共振子100Aにおける積層共振体120を構成する第1電極膜121の一部および圧電膜123の一部は、空隙部110aに露出している。積層共振体120を構成する第1電極膜121および圧電膜123が空隙部110aへ露出するのは、圧電薄膜共振子100Bについても同様である。したがって、各圧電薄膜共振子100A, 100Bは良好な共振特性を示し、その結果、バンドパスフィルタ500は良好なフィルタ特性を達成可能である。バンドパスフィルタ500は、圧電薄膜共振子100に関して上述したのと略同様の工程を経て、複数の圧電薄膜共振子100を一体的に形成することによって製造することができる。

#### 【0068】

本発明では、バンドパスフィルタ500を構成する圧電薄膜共振子100A, 100Bにおいて、圧電薄膜共振子100の構成に代えて、第1電極膜がAl(50nm)とMo(100nm)とからなる2層導電膜であって第2電極膜がMo(100nm)である圧電薄膜共振子200、または、カバー基板51を備える圧電薄膜共振子300の構成を採用してもよい。

#### 【0069】

図15から図18は、本発明の第6の実施形態に係るバンドパスフィルタ600を表す。図15は、バンドパスフィルタ600の平面図である。図16は、図15の線XVI-XVIに沿った断面図である。図17は、図15の線XVII-XVIIに沿った断面図である。図18は、図15の線XVIII-XVIIIに沿った断面図である。

#### 【0070】

バンドパスフィルタ600は、シリコン基板410と、この上にパターン形成された第1電極膜421、圧電膜423、および第2電極膜422とを備える。第1電極膜421、圧電膜423、および第2電極膜422は、相互に直列に接続されている4つの圧電薄膜共振子400Aと、相互に並列に接続されている4つの圧電薄膜共振子400Bとを構成するように、重なり合っている。各圧電薄膜共振子400A, 400Bは、第4の実施形態に係る圧電薄膜共振子400に相当する。シリコン基板410上にてパターン形成されている第1電極膜421は、その露出端部において、外部端子接続用の端子部70A, 70Bを有する。相互に直列の圧電薄膜共振子400Aと相互に並列の圧電薄膜共振子400Bの共振周波数を有意に異ならしめるためには、並列共振子である圧電薄膜共振子400Bの第2電極膜422上に、更に、例えば厚み50nmのAl膜を設けるのが好ましい。このように、バンドパスフィルタ600は、合計8個の圧電薄膜共振子400A, 400Bが単一のシリコン基板410において一体的に構成されたラダー型フィルタである。バンドパスフィルタ600も、図19の等価回路で表すことができる。

#### 【0071】

圧電薄膜共振子400Aの積層共振体420において、円形の励振部の直径L9は85μmであり、図16に示すように、これに対応する空隙部410aの円形開口(図15においては図示せず)の直径L11は90μmである。圧電薄膜共振子400Aの空隙部410a間の距離L12は20μmである。一方、圧電薄膜共振子400Bの積層共振体420において、励振部の長さL10は55μmであり、図17および図18に示すように、これに対応する空隙部410aの円形開口(図15においては図示せず)の直径L13は60μmである。図17に示すように、圧電薄膜共振子400Bの空隙部410a間の距

10

20

30

40

50

離 L 1 4 は 5 0  $\mu$  m である。このように、バンドパスフィルタ 6 0 0 においては、各圧電薄膜共振子 4 0 0 A , 4 0 0 B の空隙部 4 1 0 a は、シリコン基板 4 1 0 において、積層共振体 4 2 0 の励振部に対応する位置で開口し、シリコン基板 4 1 0 の第 1 の面 4 1 1 ないし積層共振体 4 2 0 に対して垂直に形成されている。したがって、各積層共振体 4 2 0 を近接配置することができ、その結果、バンドパスフィルタ 6 0 0 の小型化が図られる。また、各積層共振体 4 2 0 を近接配置することによって、圧電薄膜共振子 4 0 0 A , 4 0 0 B 間を電氣的に接続するための配線距離を短くすることができ、その結果、各圧電薄膜共振子 4 0 0 A , 4 0 0 B 間の配線抵抗を低減することが可能となっている。

#### 【 0 0 7 2 】

本実施形態では、図 1 6 および図 1 7 によく表れているように、圧電薄膜共振子 4 0 0 A , 4 0 0 B における積層共振体 4 2 0 を構成する第 1 電極膜 4 2 1 の一部および圧電膜 4 2 3 の一部は、空隙部 4 1 0 a に露出している。したがって、各圧電薄膜共振子 4 0 0 A , 4 0 0 B は良好な共振特性を示し、その結果、バンドパスフィルタ 6 0 0 は良好なフィルタ特性を達成可能である。バンドパスフィルタ 6 0 0 は、圧電薄膜共振子 1 0 0 に関して上述したのと略同様の工程を経て、複数の圧電薄膜共振子 4 0 0 を一体的に形成することによって製造することができる。

#### 【 0 0 7 3 】

本発明では、バンドパスフィルタ 6 0 0 を構成する圧電薄膜共振子 4 0 0 A , 4 0 0 B において、圧電薄膜共振子 4 0 0 の構成に代えて、圧電薄膜共振子 2 0 0 のように第 1 電極膜が Al ( 5 0 n m ) と Mo ( 1 0 0 n m ) とからなる 2 層導電膜であって第 2 電極膜が Mo ( 1 0 0 n m ) でありつつ、励振部が円形または楕円形な圧電薄膜共振子、もしくは、圧電薄膜共振子 3 0 0 のようにカバー基板 5 1 を備えつつ励振部が円形または楕円形な圧電薄膜共振子の構成を採用してもよい。

#### 【 0 0 7 4 】

上述の第 5 および第 6 の実施形態はバンドパスフィルタであるが、本発明では、例えば第 1 から第 4 の実施形態に係る圧電薄膜共振子により、ハイパスフィルタやローパスフィルタを構成してもよい。

#### 【 0 0 7 5 】

以上のまとめとして、本発明の構成およびそのバリエーションを以下に付記として列挙する。

#### 【 0 0 7 6 】

( 付記 1 ) 第 1 の面およびこれと反対の第 2 の面を有する基板と、前記第 1 の面に接する第 1 電極膜、当該第 1 電極膜に重なる圧電膜、および当該圧電膜に重なる第 2 電極膜からなる積層共振体と、を備え、

前記基板には、前記積層共振体に対応する位置において、前記第 1 の面にて開口する第 1 開口部および前記第 2 の面にて開口する第 2 開口部を有しつつ前記第 1 の面に対して略垂直な空隙部が開設されていることを特徴とする、圧電薄膜共振子。

( 付記 2 ) 前記第 1 電極膜は、一軸配向構造を有する単層導電膜、または、一軸配向構造を有する複数の導電膜が積層されてなる積層導電膜である、付記 1 に記載の圧電薄膜共振子。

( 付記 3 ) 前記圧電膜は一軸配向構造を有する、付記 2 に記載の圧電薄膜共振子。

( 付記 4 ) 前記基板は ( 1 1 1 ) カットのシリコン基板であり、前記第 1 の面および前記第 2 の面は ( 1 1 1 ) 面である、付記 1 から 3 のいずれか 1 つに記載の圧電薄膜共振子。

( 付記 5 ) ( 1 1 1 ) 面である第 1 の面を有する ( 1 1 1 ) カットのシリコン基板と、Al または Cu を含んで前記第 1 の面に接する第 1 電極膜と、AlN または ZnO を含んで前記第 1 電極膜に重なる圧電膜と、前記圧電膜に重なる第 2 電極膜と、を備えることを特徴とする、圧電薄膜共振子。

( 付記 6 ) 前記第 1 電極膜は、( 1 1 1 ) の一軸配向構造をとる Al または Cu を含む単層導電膜である、付記 4 または 5 に記載の圧電薄膜共振子。

( 付記 7 ) 前記第 1 電極膜は、一軸配向構造を有する複数の導電層が積層されてなり、(

10

20

30

40

50

111)の一軸配向構造をとるAlまたはCuを含んで前記第1の面に接する第1導電層を有する積層導電膜である、付記4または5に記載の圧電薄膜共振子。

(付記8)前記第1電極膜は、(111)の一軸配向構造をとるAlまたはCuを含んで前記第1の面に接する第1導電層と、(110)の一軸配向構造をとるMoを含む第2導電層とからなる2層導電膜である、付記4または5に記載の圧電薄膜共振子。

(付記9)前記圧電膜は、(002)の一軸配向構造をとるAlNまたはZnOである、付記6から8のいずれか1つに記載の圧電薄膜共振子。

(付記10)更に、前記基板の前記第2の面に接合されて前記空隙部を閉塞するカバー基板を有する、付記1から4および6から9のいずれか1つに記載の圧電薄膜共振子。

(付記11)前記第1開口部および前記第2開口部の形状は、円または楕円である、付記1から4および6から10のいずれか1つに記載の圧電薄膜共振子。 10

(付記12)前記第1電極膜の一部および前記圧電膜の一部は、前記空隙部に露出している、付記1から4および6から11のいずれか1つに記載の圧電薄膜共振子。

(付記13)第1の面およびこれと反対の第2の面を有する基板と、前記第1の面に接する第1電極膜、当該第1電極膜に重なる圧電膜、および当該圧電膜に重なる第2電極膜からなる積層共振体と、を備え、前記基板には、前記積層共振体に対応する位置において、前記第1の面にて開口する第1開口部を有する空隙部が開設されており、前記第1電極膜の一部および前記圧電膜の一部は、前記空隙部に露出していることを特徴とする、圧電薄膜共振子。 20

(付記14)前記第1電極膜において前記空隙部に露出する部分、および、前記圧電膜において前記空隙部に露出する部分は、フッ素系のガスでエッチングされない導電性材料により構成されている、付記12または13に記載の圧電薄膜共振子。

(付記15)前記積層共振体における励振部の面積に対する前記第1開口部の面積の比は、1~2.25である、付記1から4および6から14のいずれか1つに記載の圧電薄膜共振子。

(付記16)前記第1電極膜の励振部の形状と前記第2電極膜の励振部の形状は略一致している、付記1から15のいずれか1つに記載の圧電薄膜共振子。

(付記17)前記第1電極膜の励振部の形状および前記第2電極膜の励振部の形状は、円または楕円の一部を有する、付記1から16のいずれか1つに記載の圧電薄膜共振子。 30

(付記18)付記1から17のいずれか1つに記載の圧電薄膜共振子を少なくとも1つ含んだ複数の圧電薄膜共振子を有し、当該複数の圧電薄膜共振子が一体となって動作することを特徴とする、フィルタ。

(付記19)第1の面およびこれと反対の第2の面を有する基板と、前記第1の面に接する第1電極膜、当該第1電極膜に重なる圧電膜、および当該圧電膜に重なる第2電極膜からなる複数の積層共振体と、前記基板における、前記積層共振体の各々に対応する位置において、前記第1の面にて開口する第1開口部および前記第2の面にて開口する第2開口部を有しつつ前記第1の面に対して略垂直に開設された空隙部と、を備えて複数の圧電薄膜共振子が一体的に形成されており、 40

隣接する前記第1開口部間の距離は420 $\mu$ m以下であることを特徴とする、フィルタ。

(付記20)前記複数の圧電薄膜共振子は、相互に直列に接続された複数の第1圧電薄膜共振子と、相互に並列に接続された複数の第2圧電薄膜共振子とを含み、前記複数の第1圧電薄膜共振子および前記複数の第2圧電薄膜共振子によりラダー型フィルタとして構成されている、付記18または19に記載のフィルタ。

(付記21)前記複数の圧電薄膜共振子の少なくとも1つにおいて、前記第1電極膜の一部および前記圧電膜の一部は、前記空隙部に露出している、付記19または20に記載のフィルタ。

(付記22)第1の面およびこれと反対の第2の面を有する基板と、前記第1の面に接する第1電極膜、当該第1電極膜に重なる圧電膜、および当該圧電膜に 50



重なる第2電極膜からなる複数の積層共振体と、  
前記基板における、前記積層共振体の各々に対応する位置において、前記第1の面にて開口する第1開口部を有するように開設された空隙部と、を備えて複数の圧電薄膜共振子が一体的に形成されており、

前記複数の圧電薄膜共振子の少なくとも1つにおいて、前記第1電極膜の一部および前記圧電膜の一部は、対応する空隙部に露出していることを特徴とする、フィルタ。

(付記23)前記第1電極膜において前記空隙部に露出する部分、および、前記圧電膜において前記空隙部に露出する部分は、フッ素系のガスでエッチングされない導電性材料により構成されている、付記19から22のいずれか1つに記載の圧電薄膜共振子。

(付記24)前記第1電極膜の励振部の形状と前記第2電極膜の励振部の形状は略一致している、付記19から23のいずれか1つに記載のフィルタ。

(付記25)前記積層共振体における励振部の面積に対する前記第1開口部の面積の比は、1~2.25である、付記19から24のいずれか1つに記載のフィルタ。

(付記26)前記第1開口部および前記第2開口部の形状は、円または楕円である、付記19から25のいずれか1つに記載のフィルタ。

(付記27)第1の面およびこれと反対の第2の面を有する基板に、前記第1の面に接する第1電極膜と、当該第1電極膜に重なる圧電膜と、当該圧電膜に重なる第2電極膜とからなる積層共振体を形成する工程と、

前記基板に対して、ドライエッチングにより、前記積層共振体に対応する位置において前記第1の面および前記第2の面にて開口する空隙部を前記第1の面に対して略垂直に形成する工程と、を含むことを特徴とする、圧電薄膜共振子の製造方法。

(付記28)第1の面およびこれと反対の第2の面を有する基板に、前記第1の面に接する第1電極膜と、当該第1電極膜に重なる圧電膜と、当該圧電膜に重なる第2電極膜とからなる積層共振体を形成する工程と、

前記基板に対して、ドライエッチングにより、前記積層共振体に対応する位置において前記第1の面および前記第2の面にて開口する空隙部を形成する工程とを含み、  
前記空隙部を形成する工程において、前記第1電極膜の一部および前記圧電膜の一部を前記空隙部に露出させることを特徴とする、圧電薄膜共振子の製造方法。

(付記29)前記ドライエッチングはDeep-RIEである、付記27または28に記載の圧電薄膜共振子の製造方法。

(付記30)更に、前記空隙部を閉塞するように前記基板の前記第2の面にカバー基板を接合する工程を含む、付記27から29のいずれか1つに記載の圧電薄膜共振子の製造方法。

(付記31)前記空隙部を形成する工程では、圧電薄膜共振子またはこれにより構成されるフィルタの輪郭を規定する溝部もエッチング形成される、付記27から30のいずれか1つに記載の圧電薄膜共振子の製造方法。

【0077】

【発明の効果】

本発明によれば、小型化を図るのに適するとともに優れた共振特性を有する圧電薄膜共振子を得ることができる。また、そのような圧電薄膜共振子により小型化が図られつつ良好なフィルタ特性を有するフィルタを得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る圧電薄膜共振子を表す。

【図2】図1の線II-IIに沿った断面図である。

【図3】特性評価のための測定に供した1ポート共振子を表す。

【図4】最小挿入損失のL2/L1依存性を示すグラフである。

【図5】減衰極の抑圧のL2/L1依存性を示すグラフである。

【図6】図1に示す圧電薄膜共振子の製造における一連の工程の一部を表す。

【図7】図6に続く工程を表す。

【図8】本発明の第2の実施形態に係る圧電薄膜共振子の断面図である。

10

20

30

40

50

- 【図 9】本発明の第 3 の実施形態に係る圧電薄膜共振子の断面図である。  
 【図 10】本発明の第 4 の実施形態に係る圧電薄膜共振子の平面図である。  
 【図 11】図 10 の線 XI - XI に沿った断面図である。  
 【図 12】本発明の第 5 の実施形態に係るバンドパスフィルタの平面図である。  
 【図 13】図 12 の線 XIII - XIII に沿った断面図である。  
 【図 14】図 12 の線 XIV - XIV に沿った断面図である。  
 【図 15】本発明の第 6 の実施形態に係るバンドパスフィルタの平面図である。  
 【図 16】図 15 の線 XVI - XVI に沿った断面図である。  
 【図 17】図 15 の線 XVII - XVII に沿った断面図である。  
 【図 18】図 15 の線 XVIII - XVIII に沿った断面図である。  
 【図 19】第 5 および第 6 の実施形態に係るバンドパスフィルタの等価回路図である。  
 【図 20】従来 of 圧電薄膜共振子の断面図である。  
 【図 21】従来 of 別の圧電薄膜共振子の断面図である。  
 【図 22】従来 of 別の圧電薄膜共振子の断面図である。

10

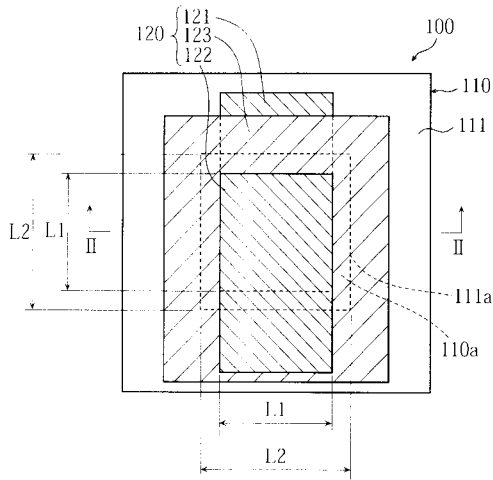
## 【符号の説明】

1 0 0 , 2 0 0 , 3 0 0 , 4 0 0	圧電薄膜共振子
5 0 0 , 6 0 0	バンドパスフィルタ
1 1 0 , 4 1 0	シリコン基板
1 1 0 a , 4 1 0 a	空隙部
1 1 1 , 4 1 1	第 1 の面
1 1 1 a , 4 1 1 a	第 1 開口部
1 1 2 , 4 1 2	第 2 の面
1 1 2 a , 4 1 2 a	第 2 開口部
1 2 0 , 4 2 0	積層共振体
1 2 1 , 2 2 1 , 4 2 1	第 1 電極膜
1 2 2 , 2 2 2 , 4 2 2	第 2 電極膜
1 2 3 , 4 2 3	圧電膜

20

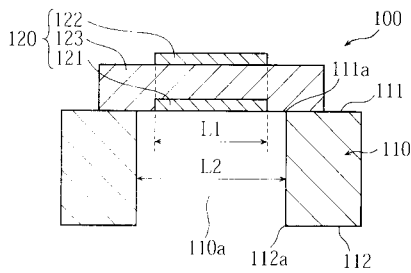
【 図 1 】

第1の実施形態の圧電薄膜共振子



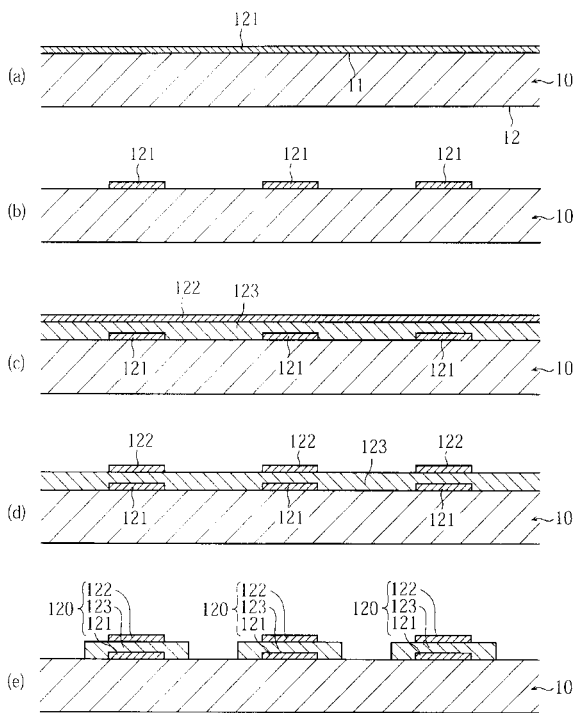
【 図 2 】

図1の線II-IIに沿った断面図



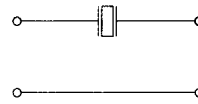
【 図 6 】

本発明に係る圧電薄膜共振子の製造工程



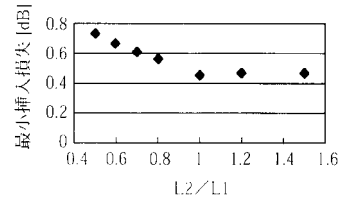
【 図 3 】

測定に供した1ポート共振子



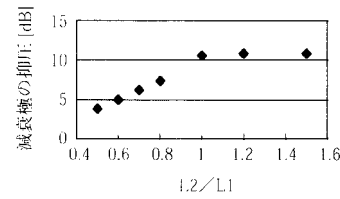
【 図 4 】

最小挿入損失のL2/L1依存性



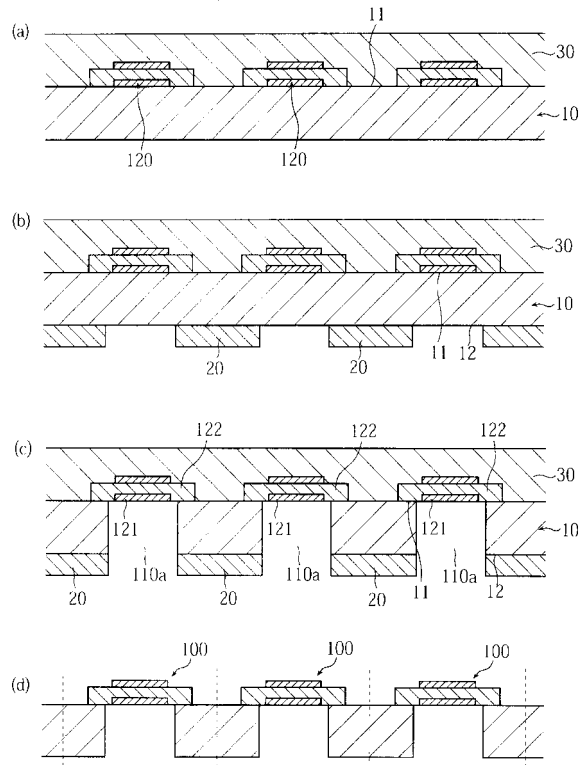
【 図 5 】

減衰極の抑圧のL2/L1依存性



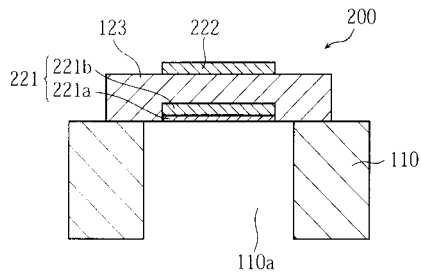
【 図 7 】

図6に続く工程



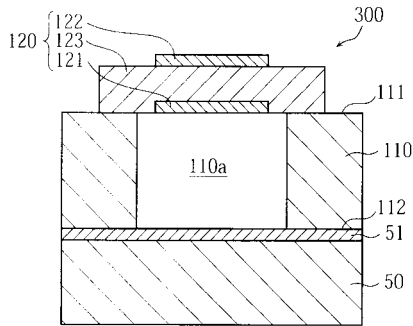
【 図 8 】

第2の実施形態の圧電薄膜共振子



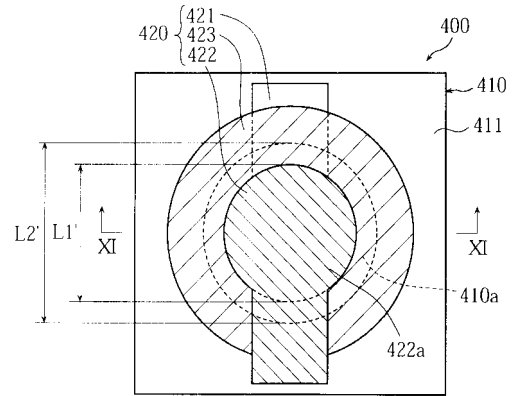
【 図 9 】

第3の実施形態の圧電薄膜共振子



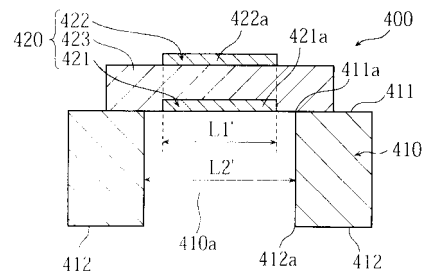
【 図 10 】

第4の実施形態の圧電薄膜共振子



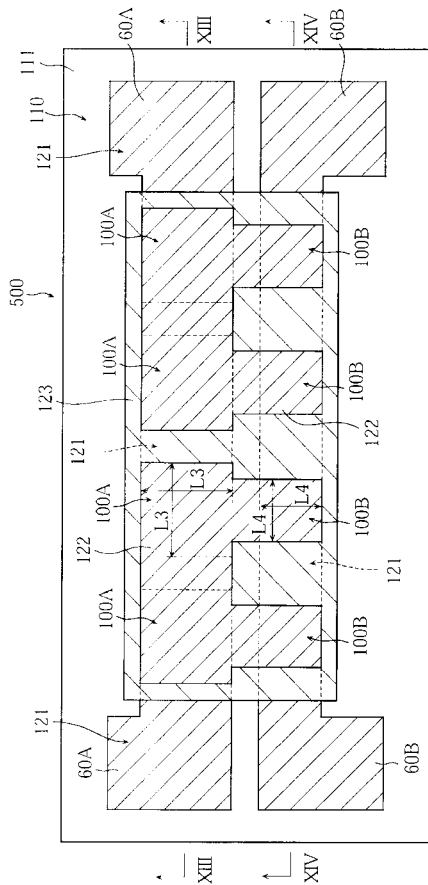
【 図 11 】

図10の線XI-XIに沿った断面図



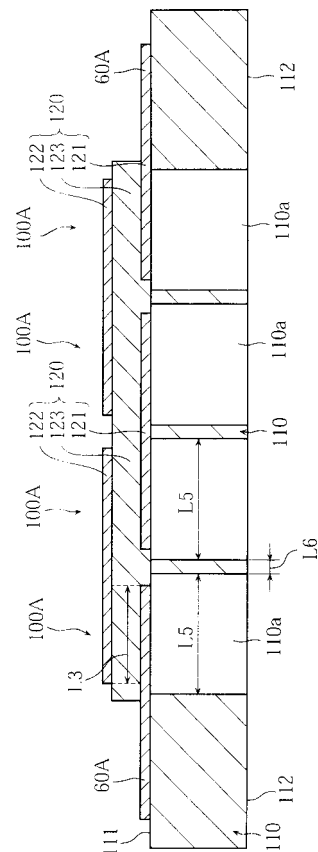
【 図 12 】

第5の実施形態のバンドパスフィルタ



【 図 13 】

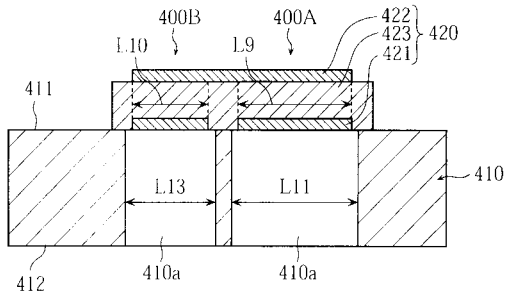
図12の線XIII-XIIIに沿った断面図





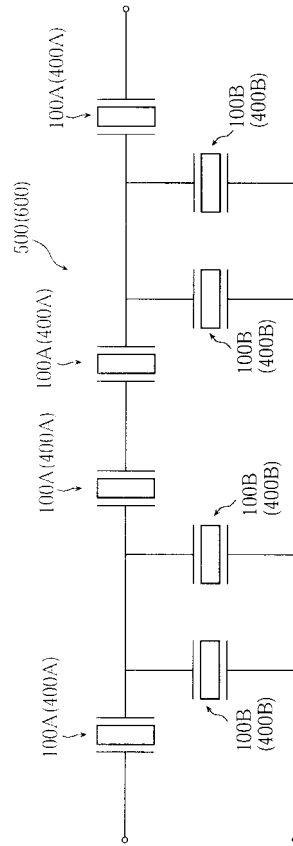
【 図 1 8 】

図15の線XVIII-XVIIIに沿った断面図



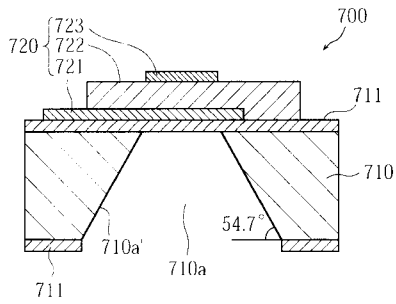
【 図 1 9 】

バンドパスフィルタの等価回路図



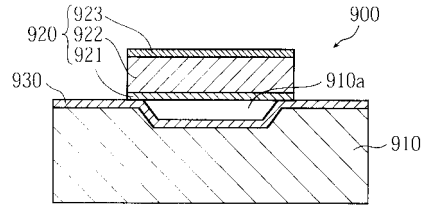
【 図 2 0 】

従来の圧電薄膜共振子



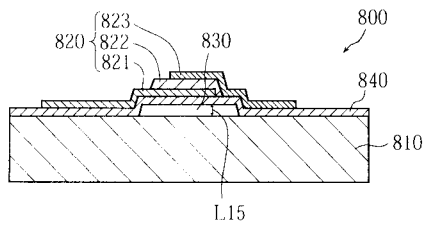
【 図 2 2 】

従来の別の圧電薄膜共振子



【 図 2 1 】

従来の別の圧電薄膜共振子



---

フロントページの続き

- (72)発明者 坂下 武  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 木町 礼  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 横山 剛  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 宮下 勉  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 佐藤 聡史

- (56)参考文献 特開平05 - 090268 (JP, A)  
特開平05 - 190548 (JP, A)  
特開平09 - 130200 (JP, A)  
特開昭60 - 030116 (JP, A)  
特開2001 - 094373 (JP, A)  
特開2001 - 098370 (JP, A)  
実開昭56 - 145127 (JP, U)

- (58)調査した分野(Int.Cl., DB名)  
H03H 3/007-9/76