



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I663701 B

(45)公告日：中華民國 108 (2019) 年 06 月 21 日

(21)申請案號：106114243

(22)申請日：中華民國 106 (2017) 年 04 月 28 日

(51)Int. Cl. : *H01L23/58 (2006.01)**H01L21/50 (2006.01)**H01Q1/00 (2006.01)*

(71)申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72)發明人：邱志賢 CHIU, CHIH HSIEN (TW)；陳嘉揚 CHEN, CHIA YANG (TW)

(74)代理人：陳孚竹；張家彬

(56)參考文獻：

TW 200601610A

TW 200800609A

TW 201635604A

TW 201707174A

TW 201709438A

TW 201712520A

TW 201714266A

審查人員：邱迺軒

申請專利範圍項數：18 項 圖式數：4 共 26 頁

(54)名稱

電子封裝件及其製法

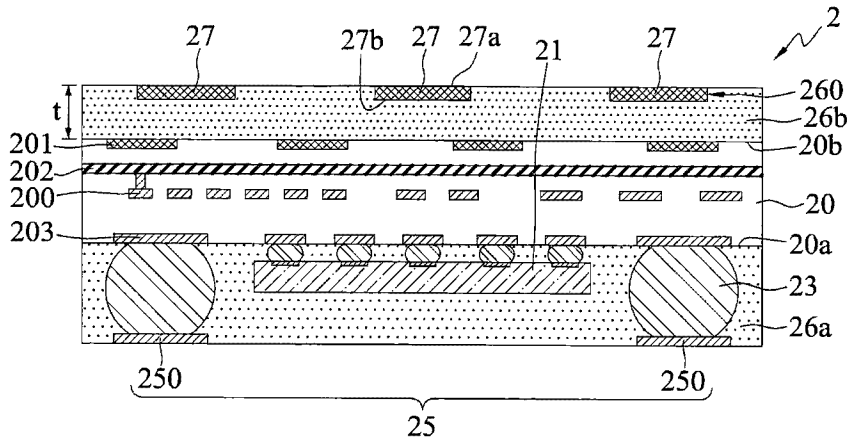
ELECTRONIC PACKAGE AND METHOD FOR FABRICATING THE SAME

(57)摘要

一種電子封裝件及其製法，係於一第一承載結構下側接置電子元件，且於該第一承載結構上側形成封裝層，其中，該封裝層上設置一可由交變電壓、交變電流或輻射變化產生輻射能量之導體，以縮小該電子封裝件之厚度且同時提升天線效能。

An electronic package and a method for fabricating the same are disclosed. An electronic component is disposed on a lower side of a first carrier structure, and an encapsulating layer is formed on an upper side of the first carrier structure. A conductor is disposed on the encapsulating layer that generates radiation energy by an alternating voltage, an alternating current or radiation variation. Therefore, the electronic package thus fabricated has a reduced thickness and improved antenna efficiency.

指定代表圖：



第2D圖

符號簡單說明：

- 2 . . . 電子封裝件
- 20 . . . 第一承載結構
- 20a . . . 第一側
- 20b . . . 第二側
- 200 . . . 線路層
- 201 . . . 第二導體
- 202 . . . 第一屏蔽層
- 203 . . . 外接墊
- 21 . . . 第一電子元件
- 23 . . . 支撐件
- 25 . . . 第二承載結構
- 250 . . . 電性接觸墊
- 26a . . . 第一封裝層
- 26b . . . 第二封裝層
- 260 . . . 凹槽
- 27 . . . 第一導體
- 27a . . . 第一表面
- 27b . . . 第二表面
- t . . . 厚度

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

電子封裝件及其製法

ELECTRONIC PACKAGE AND METHOD FOR
FABRICATING THE SAME

【技術領域】

本發明係關於一種電子封裝件，特別是關於一種具有天線結構之電子封裝件及其製法。

【先前技術】

隨著近年來可攜式電子產品的蓬勃發展，各類相關產品之開發亦朝向高密度、高性能以及輕、薄、短、小之趨勢，為此，業界發展出各式整合多功能的封裝態樣，以期能符合電子產品輕薄短小與高密度的要求。例如，目前無線通訊技術已廣泛應用於各式各樣的消費性電子產品以利接收或發送各種無線訊號，其中，平面天線(Patch Antenna)因具有體積小、重量輕與製造容易等特性而廣泛利用在手機(cell phone)、個人數位助理(Personal Digital Assistant，簡稱PDA)等電子產品之無線通訊模組中。

第1圖係為習知半導體通訊模組1的剖視示意圖。該半導體通訊模組1之製法係於一封裝基板10之下側藉由複數導電凸塊110設置半導體元件11，再以底膠14包覆該些導電凸塊110，並於該封裝基板10下側之接點(I/O)100上形成複數錫球13，且於該封裝基板10上側以膠帶15貼

合一天線基板 12，其中，該天線基板 12 係由一有機板體（如印刷電路板）構成，其於上側形成有金屬材質之天線體 120，藉以整合天線功能與半導體元件 11。

惟，習知半導體通訊模組 1 中，該天線基板 12 係由一有機板體構成，再以膠帶 15 貼合，故該天線基板 12 具有極大的厚度 H（尚未包含膠帶 15 之厚度），不僅使該半導體通訊模組 1 難以符合微小化之需求，且使該半導體通訊模組 1 之天線效能不佳（因厚度會影響天線效能）。

再者，使用該天線基板 12 會產生公差量的累積，例如，該天線基板 12 的製作公差、膠帶 15 的製作公差及貼合公差等，且因過多公差量的累積而無法準確控制該半導體通訊模組 1 之厚度，致使難以達到預期縮小該半導體通訊模組 1 之目的，因而難以符合產品微小化之需求。

因此，如何克服上述習知技術的種種問題，實已成目前亟欲解決的課題。

【發明內容】

鑑於上述習知技術之缺失，本發明係提供一種電子封裝件，係包括：第一承載結構，係具有相對之第一側與第二側；至少一電子元件，係接置於該第一承載結構之第一側及/或第二側上；以及封裝層，係形成於該第一承載結構之第二側上，其中，該封裝層上設置一可由交變電壓、交變電流或輻射變化產生輻射能量之第一導體。

本發明復提供一種電子封裝件之製法，係包括：提供一具有相對之第一側與第二側之第一承載結構，且於該第一側及/或第二側設有至少一電子元件；以及形成封裝層於

該第一承載結構之第二側上，其中，該封裝層上設置一可由交變電壓、交變電流或輻射變化產生輻射能量之第一導體。

前述之電子封裝件及其製法中，該第一承載結構之第二側係形成有對應該第一導體功能之第二導體。

前述之電子封裝件及其製法中，該第一承載結構復形成有屏蔽層，例如，該屏蔽層於該第一承載結構之佈設面積係大於該第二導體於該第一承載結構之佈設面積。

前述之電子封裝件及其製法中，該封裝層復形成於該第一承載結構之第一側上，以包覆該電子元件。

前述之電子封裝件及其製法中，復包括結合複數支撐件於該第一承載結構之第一側上。

前述之電子封裝件及其製法中，復包括堆疊第二承載結構於該第一承載結構之第一側上。例如，該第二承載結構係形成有對應該第一導體功能之第三導體。或者，該第二承載結構復形成有屏蔽層。

另外，前述之電子封裝件及其製法中，復包括形成遮蔽體於該封裝層與該第一承載結構之側面上及/或該電子元件上方。

由上可知，本發明之電子封裝件及其製法中，主要藉由在第一承載結構上形成封裝層後，再於該封裝層上形成有天線功能之第一導體，以取代習知天線基板及膠帶之技術，故能有效縮小該電子封裝件之厚度，以符合微小化之需求，且能提升該電子封裝件之天線效能。

再者，由於無需使用習知天線基板，因而能避免產生公差量的累積，故相較於習知天線基板及膠帶之技術，本發明之製法能準確控制該電子封裝件之厚度，以達到預期縮小該電子封裝件之目的，因而得以符合產品微小化之需求。

【圖式簡單說明】

第 1 圖係為習知半導體通訊模組之剖面示意圖；

第 2A 至 2D 圖係為本發明之電子封裝件之製法之剖面示意圖；

第 2D' 圖係為對應第 2D 圖之另一實施例之剖面示意圖；

第 3A 至 3C 圖係為對應第 2D 圖之其它不同實施例之剖面示意圖；以及

第 4A 及 4B 圖係為對應第 2D 圖之又一實施例之剖面示意圖。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功

效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如「上」、「第一」、「第二」、「第三」及「一」等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第 2A 至 2D 圖係為本發明之電子封裝件 2 之製法之剖面示意圖。

如第 2A 圖所示，提供一具有相對之第一側 20a 與第二側 20b 的第一承載結構 20，且於該第一側 20a 上接置有至少一第一電子元件 21 並結合有複數支撐件 23。

於本實施例中，該第一承載結構 20 例如為具有核心層與線路結構之封裝基板 (substrate) 或無核心層 (coreless) 之線路結構，其係於介電材上形成複數線路層 200，如扇出 (fan out) 型重佈線路層 (redistribution layer, 簡稱 RDL)。應可理解地，該第一承載結構 20 亦可為其它可供承載如晶片等電子元件之承載單元，例如導線架 (leadframe)，並不限於上述。

再者，於該第一承載結構 20 之第二側 20b 形成有一第二導體 201。較佳地，於該第一承載結構 20 中復形成有一第一屏蔽層 (shielding layer) 202。例如，該第一屏蔽層 202 於該第一承載結構 20 之佈設面積係大於該第二導體 201 於該第一承載結構 20 之佈設面積。具體地，該第一屏蔽層 202 可為至少一完整、網狀或任意圖案之金屬薄片 (foil)，

亦或為圖案化之導電材，且於該第二導體 201 與該第一屏蔽層 202 之間係形成有介電體 20'，其材質如預浸材 (prepreg，簡稱 PP)、聚醯亞胺 (polyimide，簡稱 PI)、環氧樹脂 (epoxy) 或玻纖 (glass fiber)。

又，該第一電子元件 21 係為主動元件、被動元件或二者組合等，其中，該主動元件係例如為半導體晶片，且該被動元件係例如為電阻、電容及電感。例如，該第一電子元件 21 係為半導體晶片，其藉由複數如鍍錫材料之導電凸塊 210 以覆晶方式設於該線路層 200 上並電性連接該線路層 200；或者，該第一電子元件 21 可藉由複數鍍線 (圖略) 以打線方式電性連接該線路層 200；亦或，該第一電子元件 21 可直接接觸該線路層 200。然而，有關該第一電子元件 21 電性連接該第一承載結構 20 之方式不限於上述。

另外，該支撐件 23 係例如為鍍球 (solder ball)，其設於該第一承載結構 20 之第一側 20a 之線路層 200 之外接墊 203 上，以電性連接該第一承載結構 20。

如第 2B 圖所示，將該第一承載結構 20 透過該支撐件 23 堆疊結合至一第二承載結構 25 上。

於本實施例中，該第二承載結構 25 係為金屬架，例如導線架 (leadframe)，其包含複數相分離之電性接觸墊 250，以供該支撐件 23 結合至該電性接觸墊 250。

再者，可選擇性地，先將該第二承載結構 25 設於一膠帶 (tape) 25" 上，再將該第一承載結構 20 結合至該第二承載結構 25 上。

又，該第一承載結構 20 堆疊於該第二承載結構 25 上之方式可依需求為銲接、黏貼(adhering)、超聲波(ultrasonic)或其它適當方式，故該支撐件 23 之構造可依需求設計，並不限於銲球。

如第 2C 圖所示，形成一封裝層 26 於該第一承載結構 20 之第一側 20a 及第二側 20b 上。之後，移除該膠帶 25”。

於本實施例中，係透過雙面模壓製程形成該封裝層 26，其中，形成於該第一側 20a 上之封裝層定義為第一封裝層 26a，形成於該第二側 20b 上之封裝層定義為第二封裝層 26b，使該第一封裝層 26a 包覆該第一電子元件 21 與該些支撐件 23，且令該些電性接觸墊 250 外露於該第一封裝層 26a（例如，該些電性接觸墊 250 之下表面齊平該封裝層 26 之下表面），以於該些電性接觸墊 250 之外露表面上形成有如銲球之外接件（圖未示），俾供接置如電路板之電子裝置（圖未示）。

再者，形成該封裝層 26 之材質係為聚醯亞胺（polyimide，簡稱 PI）、乾膜（dry film）、環氧樹脂（epoxy）或封裝材（molding compound）等，但並不限於上述。

如第 2D 圖所示，形成一可由交變電壓、交變電流或輻射變化產生輻射能量之第一導體 27 於該第二封裝層 26b 上，且該第一導體 27 之位置係對應該第二導體 201 之位置，其中，該第一導體 27 具有相對之第一表面 27a 與第二表面 27b，且該第一表面 27a 結合該第二封裝層 26b，而該第二表面 27b 外露於該第二封裝層 26b。

於本實施例中，該輻射能量係為電磁場，且可藉由濺鍍(sputtering)、蒸鍍(vaporizing)、電鍍、無電電鍍、化鍍或貼膜(foiling)等方式製作厚度輕薄之該第一導體 27。例如，該第一導體 27 之製程可先於該第二封裝層 26b 上形成圖案化凹槽 260，再於該凹槽 260 中形成導電材以作為該第一導體 27；或者，該第一導體 27 之製程亦可直接於該第二封裝層 26b 上形成圖案化導電材(未先形成凹槽)，以作為該第一導體 27。

再者，如第 2D' 圖所示，於第 2C 圖之製程中亦可進行單面模壓製程，僅於第一承載結構 20 之第二側 20b 上形成封裝層 26'，使該封裝層 26' 未形成於該第一承載結構 20 之第一側 20a 上，並將底膠 24 形成於該第一承載結構 20 之第一側 20a 與該第一電子元件 21 之間以包覆該些導電凸塊 210。

又，如第 2D' 圖所示，於第 2A 至 2B 圖之製程中，該支撐件 23' 亦可為絕緣膠、錫膏或導電膠等，且該第二承載結構 25' 可為半導體結構、絕緣結構或導電結構，並依需求調整該第二承載結構 25' 之高度。具體地，該第二承載結構 25' 係為導線架(lead frame)、基板(substrate)、晶片、導電框、非導電之框架或其它適當構造等。

另外，為了降低製作成本，該支撐件與該第二承載結構亦可一同製作。例如，可將該支撐件 23' 形成於該第二承載結構 25' 上，待製作完成該第一導體 27 後，再將該結合有支撐件 23' 之第二承載結構 25' 堆疊至該第一承

載結構 20 之第一側 20a 之外接墊 203 上。

本發明之製法係藉由製作該封裝層 26,26' 後，在位於該第一承載結構 20 之第二側 20b 之封裝層 26,26' 上利用各種加工方式形成天線圖案之該第一導體 27，取代習知天線基板及膠帶之技術，故能有效縮小該電子封裝件 2,2' 之厚度，以符合微小化之需求，且能提升該電子封裝件 2,2' 之天線效能。

再者，由於無需使用習知天線基板，因而能避免產生公差量的累積，故相較於習知天線基板及膠帶之技術，本發明之製法能準確控制該電子封裝件 2,2' 之厚度，以達到預期縮小該電子封裝件 2,2' 之目的，因而得以符合產品微小化之需求。

又，本發明可利用該第一屏蔽層 202 防止該第一導體 27 及/或該第二導體 201 對該第一電子元件 21 的串音干擾 (cross talking)、噪音干涉 (noise interfering) 及輻射干擾 (radiation interference) 等問題。較佳者，該第一屏蔽層 202 係由多層金屬薄片所製成，以強化上述功能。

第 3A 至 3C 圖係為對應第 2D 圖之其它不同實施例之剖面示意圖。

如第 3A 圖所示之電子封裝件 3a，其包含複數第一電子元件 21,21'，且至少其中一第一電子元件 21' 屬於被動元件，並於該第一承載結構 20 之第二側 20b 上接置第二電子元件 22。

於本實施例中，該第二電子元件 22 係為主動元件、被

動元件或其二者組合等，其中，該主動元件係例如半導體晶片，且該被動元件係例如電阻、電容及電感，故所述之電子元件可依需求設於該第一承載結構 20 之第一側 20a 及/或第二側 20b 上。例如，該第二電子元件 22 係直接接觸該線路層 200；或者，該第二電子元件 22 係以覆晶方式或打線方式電性連接該線路層 200。然而，有關該第二電子元件 22 電性連接該第一承載結構 20 之方式不限於上述。

再者，該支撐件 33 係為銅核心球 (Cu core ball)，其包含一銅塊 330 與包覆該銅塊 330 之錫材 331。或者，該支撐件亦可為被動元件，其中，該被動元件係為電阻、電容及電感，例如去耦合電容 (decoupling capacitor)。應可理解地，該支撐件可為其它金屬材 (如針狀、柱狀等)，且於同一封裝件中可混合上述各種態樣使用。

如第 3B 圖所示之電子封裝件 3b，其依據第 3A 圖所示之電子封裝件 3a，復包含一對應該第一電子元件 21 位置的遮蔽體 31，以作為散熱或屏蔽之用。

於本實施例中，可藉由濺鍍 (sputtering)、蒸鍍 (vaporizing)、電鍍、化鍍或貼膜 (foiling) 等方式製作該遮蔽體 31，且該些電性接觸墊 250 係位於該遮蔽體 31 之周圍並與該遮蔽體 31 相分離。應可理解地，該遮蔽體 31 亦可連結至少一電性接觸墊 250。

再者，該遮蔽體 31 未接觸該第一電子元件 21，亦即該遮蔽體 31 與該第一電子元件 21 之間形成有間隔，如該封裝層 26 或空氣縫隙。或者，該遮蔽體 31 亦可接觸 (圖

未示) 該第一電子元件 21; 亦或, 該遮蔽體 31 可藉由一結合層(圖未示) 結合至該第一電子元件 21 上, 其中, 該結合層係例如為薄膜(film)、環氧樹脂或熱介面材料(thermal interface material, 簡稱 TIM)。

又, 該遮蔽體 31 之高度(厚度) 可與該電性接觸墊 250 之高度(厚度) 相同或不相同, 且可依需求, 該遮蔽體 31 與該電性接觸墊 250 係為一體成形, 亦即該第二承載結構 25 包含該遮蔽體 31。

另外, 如第 3C 圖所示之電子封裝件 3c, 該遮蔽體 34 亦可形成於該封裝層 26 之側面 26c 與該第一承載結構 20 之側面 20c 上, 甚至延伸至該第二承載結構 35 上, 以作為屏蔽之用。具體地, 該電性接觸墊 350 外露於該封裝層 26 之側面 26c, 以接觸該遮蔽體 34, 且令該電子封裝件 3c 成為類似四方平面無引腳封裝(Quad Flat No-leads, 簡稱 QFN) 之結構。

第 4A 及 4B 圖係為對應第 2D 圖之又一實施例之剖面示意圖。

如第 4A 圖所示之電子封裝件 4a, 該第二承載結構 45 係為線路結構, 例如, 具有核心層與線路結構之封裝基板(substrate) 或無核心層(coreless) 之線路結構。具體地, 該第二承載結構 45 之構造係與該第一承載結構 20 之構造相同或近似。

於本實施例中, 該第二承載結構 45 係形成有複數線路層 453、複數用以結合該些支撐件 23 並電性連接該線路層

453 之電性接觸墊 450、及對應該第一導體 27 功能之第三導體 451，且該第二承載結構 45 亦可形成有電性連接該線路層 453 之第二屏蔽層 452。例如，該第三導體 451 與該第二屏蔽層 452 之製程可參考第二導體 201 與第一屏蔽層 202 之製程。

再者，如第 4B 圖所示之電子封裝件 4b，該第二承載結構 45' 上亦可依需求接置第三電子元件 43。例如，該第二承載結構 45' 之構造係不同於該第一承載結構 20 之構造。具體地，該第二承載結構 45' 未形成第三導體 451 及第二屏蔽層 452，且該第三電子元件 43 係為主動元件、被動元件或其二者組合等，其中，該主動元件係例如為半導體晶片，且該被動元件係例如為電阻、電容及電感，而有關該第三電子元件 43 電性連接該第二承載結構 45' 之線路層 453 之方式並無特別限制。

又，該第二承載結構 45' 亦可為具有複數導電矽穿孔（Through-silicon via，簡稱 TSV）之矽中介板（Through Silicon interposer，簡稱 TSI）。

本發明復提供一種電子封裝件 2,2', 3a,3b,3c,4a,4b，其包括：一第一承載結構 20、至少一第一電子元件 21,21'、複數支撐件 23,23', 33、一封裝層 26,26' 以及一第二承載結構 25,25', 35,45,45'。

所述之第一承載結構 20 係具有相對之第一側 20a 與第二側 20b。

所述之第一電子元件 21,21' 係接置於該第一承載結

構 20 之第一側 20a 上。

所述之支撐件 23,23',33 係結合於該第一承載結構 20 之第一側 20a 上。

所述之封裝層 26,26' 係形成於該第一承載結構 20 上，且定義有形成於該第一側 20a 上之第一封裝層 26a 及形成於該第二側 20b 上之第二封裝層 26b，其中，該封裝層 26,26'（第二封裝層 26b）上設置一可由交變電壓、交變電流或輻射變化產生輻射能量之第一導體 27。

所述之第二承載結構 25,25',35,45,45' 係堆疊於該第一承載結構 20 之第二側 20b 上。

於一實施例中，該第一承載結構 20 之第二側 20b 係形成有一對應該第一導體 27 功能之第二導體 201，且該第一承載結構 20 復形成有一第一屏蔽層 202，其中，該第一屏蔽層 202 於該第一承載結構 20 之佈設面積係大於該第二導體 201 於該第一承載結構 20 之佈設面積。

於一實施例中，至少一第二電子元件 22 係設於該第一承載結構 20 之第二側 20b 上。因此，該電子元件可依需求設於該第一承載結構 20 之第一側 20a 及/或第二側 20b 上。

於一實施例中，該第一電子元件 21,21' 係電性連接該第一承載結構 20 之線路層 200。

於一實施例中，該封裝層 26 復形成於該第一承載結構 20 之第一側 20a 上（即第一封裝層 26a），以包覆該第一電子元件 21,21'。

於一實施例中，該第二承載結構 25,35,45,45' 係包含

有複數結合該些支撐件 23,33 之電性接觸墊 250,350,450。

於一實施例中，該第二承載結構 45 係形成有對應該第一導體 27 功能之第三導體 451 及第二屏蔽層 452。

於一實施例中，該第二承載結構 45' 上係設有至少一第三電子元件 43。

於一實施例中，所述之電子封裝件 3b 復包括一設於該第一電子元件 21,21' 上方之遮蔽體 31。

於一實施例中，所述之電子封裝件 3c 復包括一遮蔽體 34，係形成於該封裝層 26、該第一承載結構 20 與該第二承載結構 35 之側面上。

綜上所述，本發明之電子封裝件及其製法，係藉由在第一承載結構之第二側之封裝層上形成有天線功能之導體，以取代習知天線基板及膠帶之技術，故能有效縮小該電子封裝件之厚度，以符合微小化之需求，且能提升該電子封裝件之天線效能。

再者，由於無需使用習知天線基板，因而能避免產生公差量的累積，故本發明之製法能準確控制該電子封裝件之厚度，以達到預期縮小該電子封裝件之目的，因而得以符合產品微小化之需求。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改，且前述各實施例之內容可再相互組合應用。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

發明摘要

I663701

※申請案號：106114243

※申請日：106/04/28

※IPC 分類：H01L 23/58 (2006.01)

H01L 21/50 (2006.01)

H01Q 1/00 (2006.01)

【發明名稱】(中文/英文)

電子封裝件及其製法

ELECTRONIC PACKAGE AND METHOD FOR
FABRICATING THE SAME

【中文】

一種電子封裝件及其製法，係於一第一承載結構下側接置電子元件，且於該第一承載結構上側形成封裝層，其中，該封裝層上設置一可由交變電壓、交變電流或輻射變化產生輻射能量之導體，以縮小該電子封裝件之厚度且同時提升天線效能。

【英文】

An electronic package and a method for fabricating the same are disclosed. An electronic component is disposed on a lower side of a first carrier structure, and an encapsulating layer is formed on an upper side of the first carrier structure. A conductor is disposed on the encapsulating layer that generates radiation energy by an alternating voltage, an alternating current or radiation variation. Therefore, the electronic package thus fabricated has a reduced thickness and improved antenna efficiency.

【代表圖】

【本案指定代表圖】：第（ 2D ）圖。

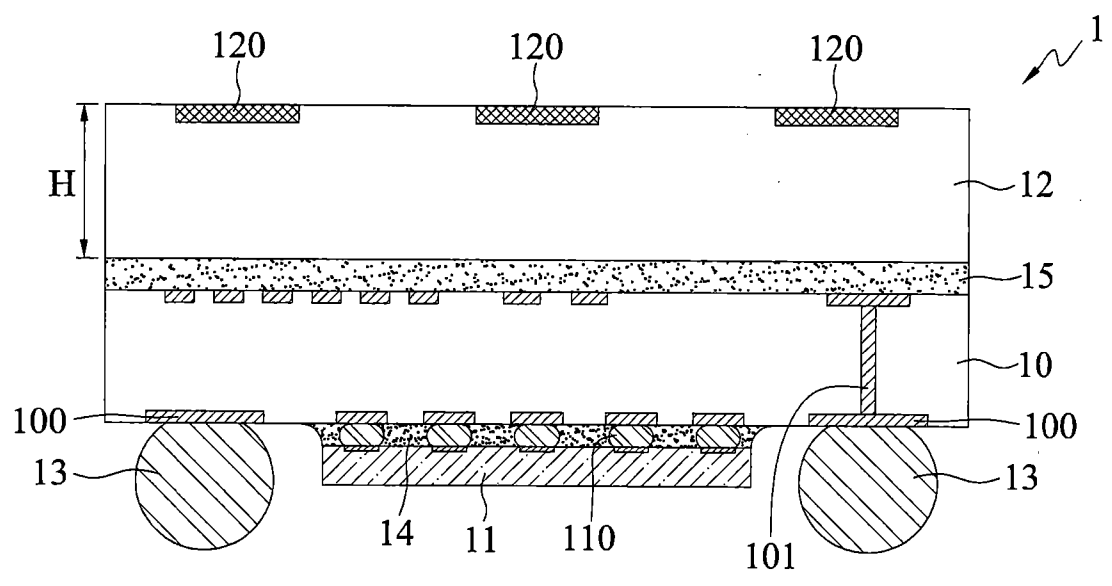
【本代表圖之符號簡單說明】：

2	電子封裝件	20	第一承載結構
20a	第一側	20b	第二側
200	線路層	201	第二導體
202	第一屏蔽層	203	外接墊
21	第一電子元件	23	支撐件
25	第二承載結構	250	電性接觸墊
26a	第一封裝層	26b	第二封裝層
260	凹槽	27	第一導體
27a	第一表面	27b	第二表面
t	厚度		

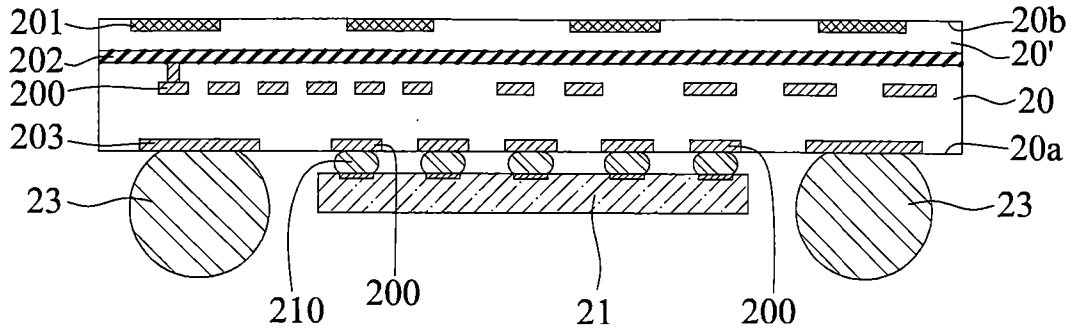
【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式

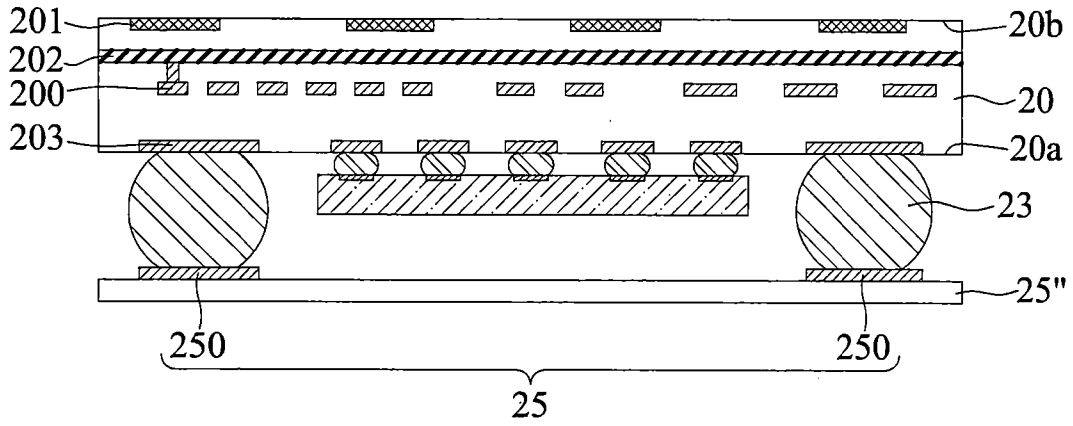
圖式



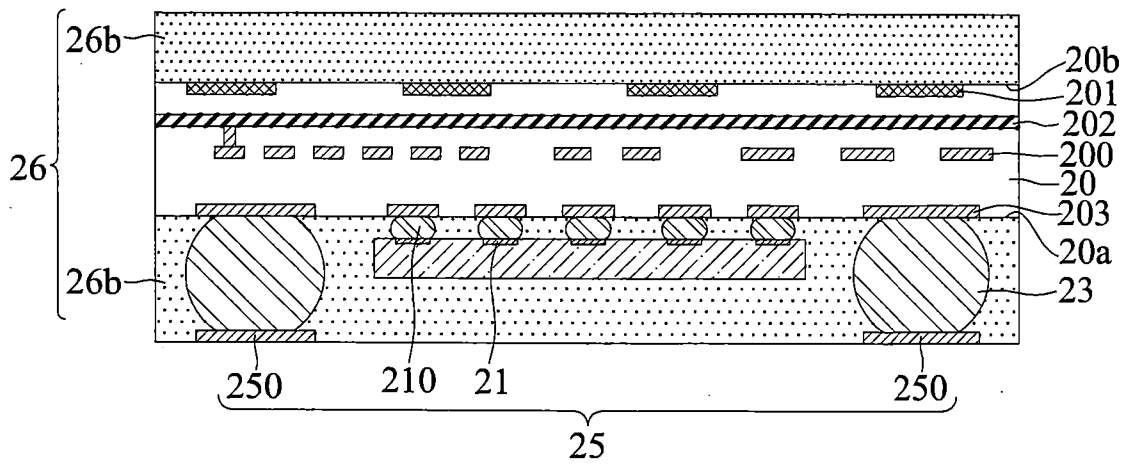
第1圖



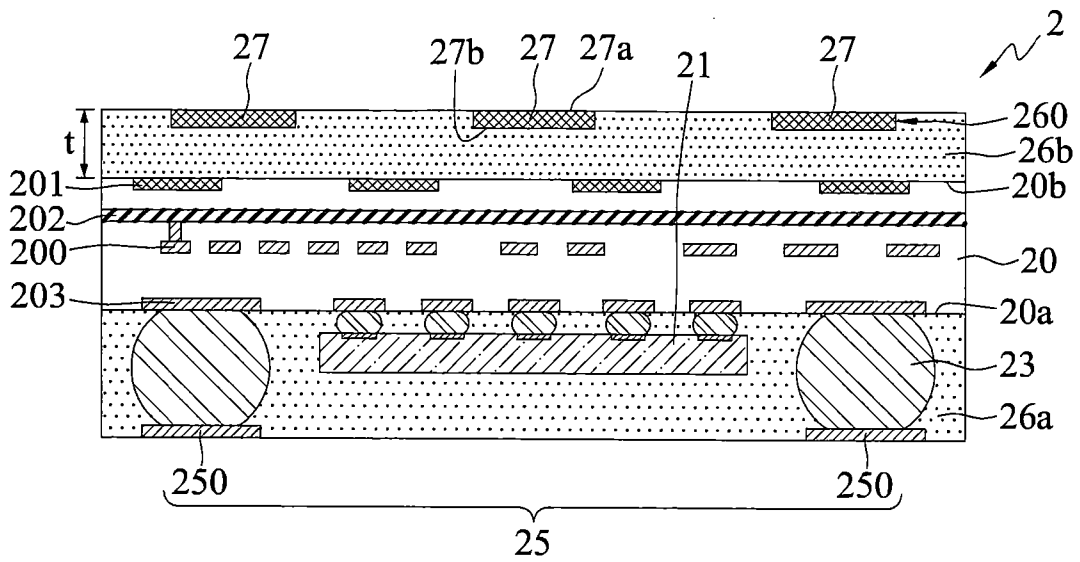
第2A圖



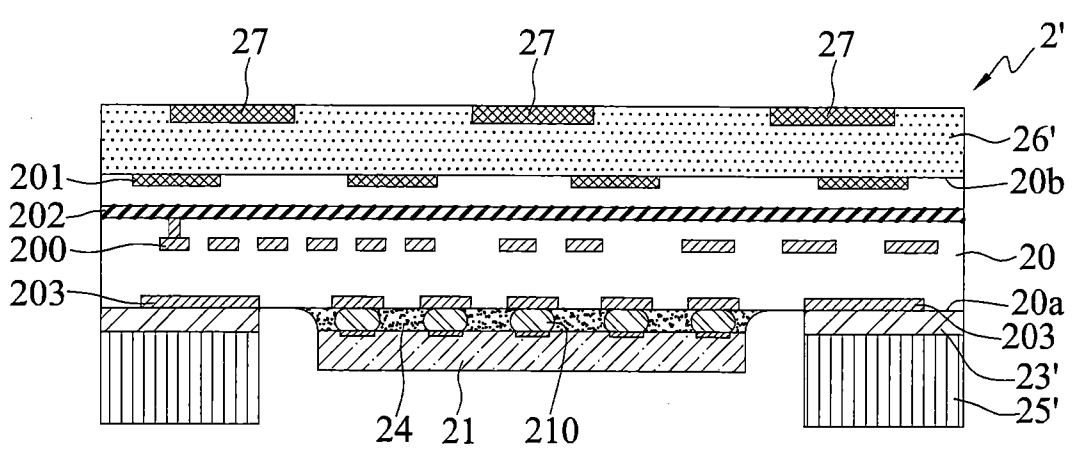
第2B圖



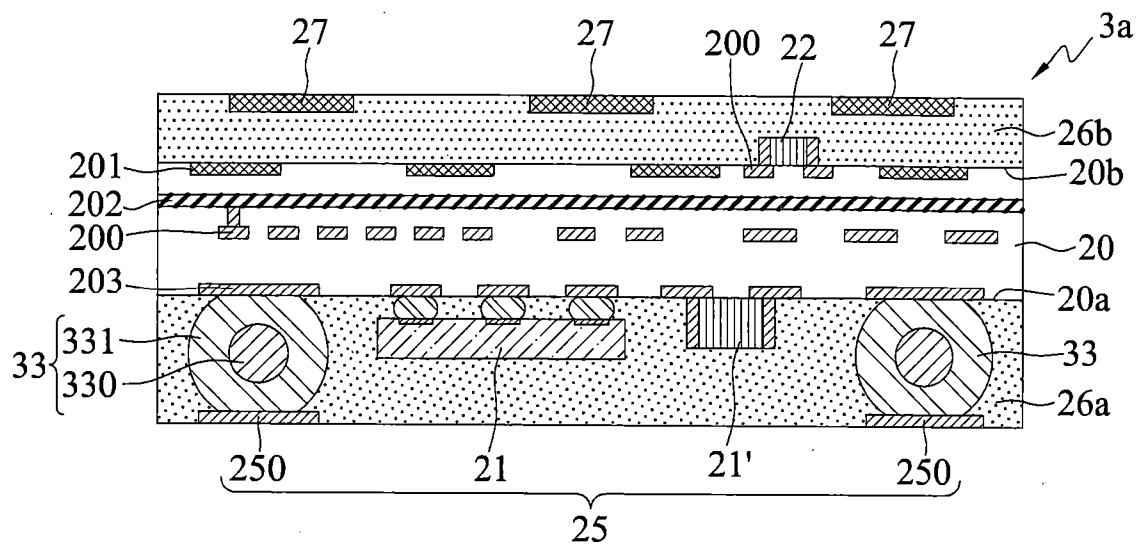
第2C圖



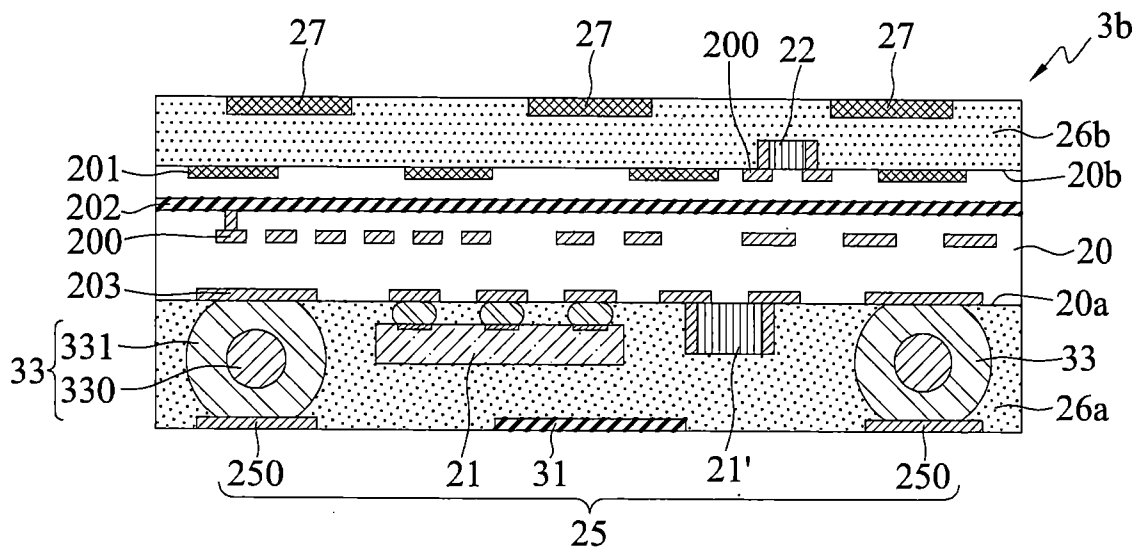
第2D圖



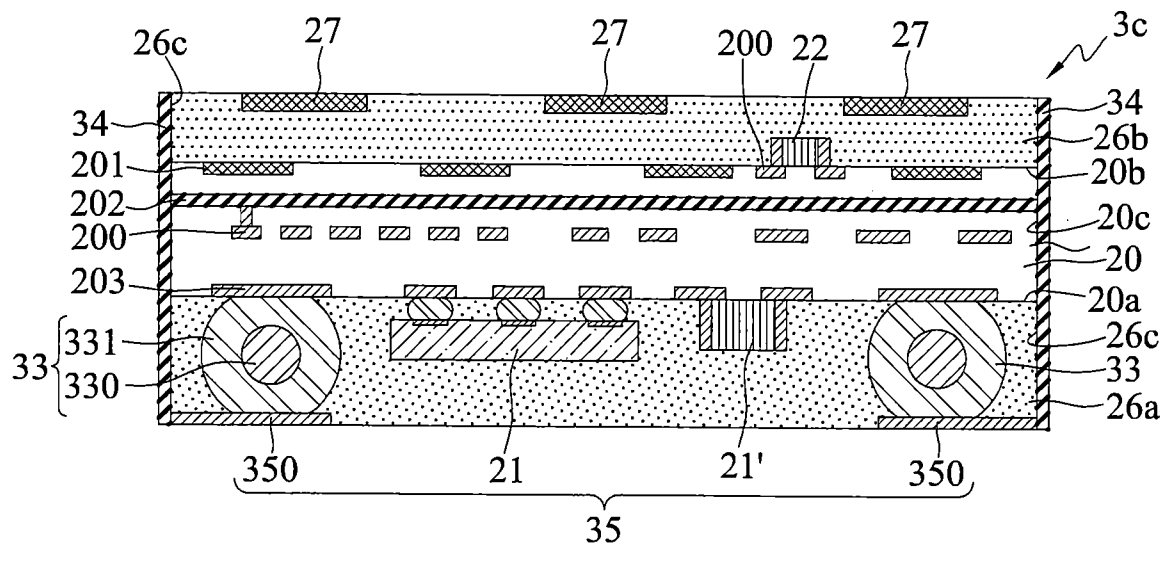
第2D'圖



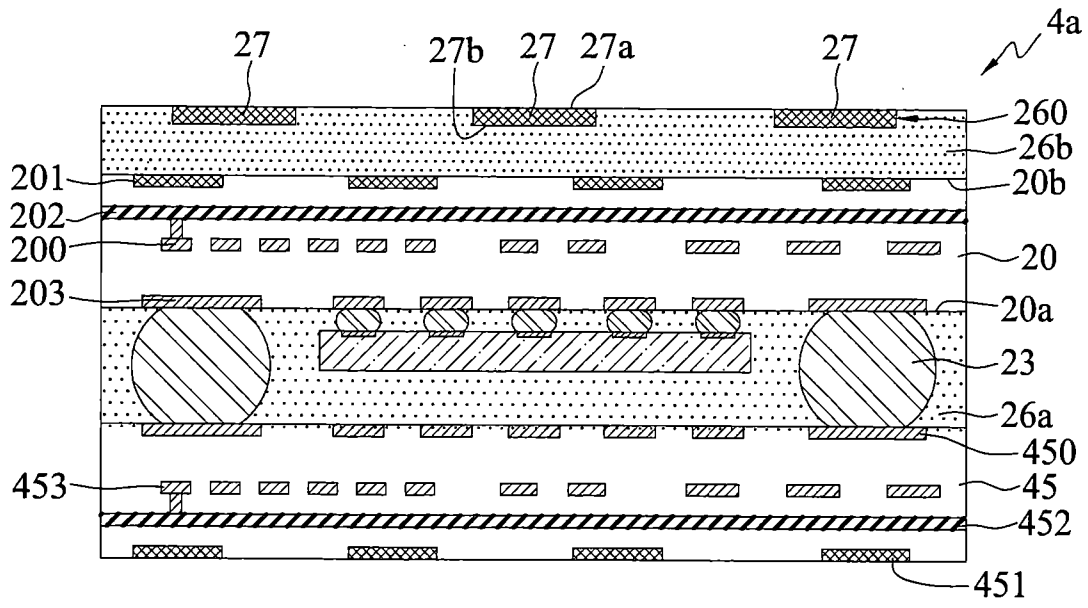
第3A圖



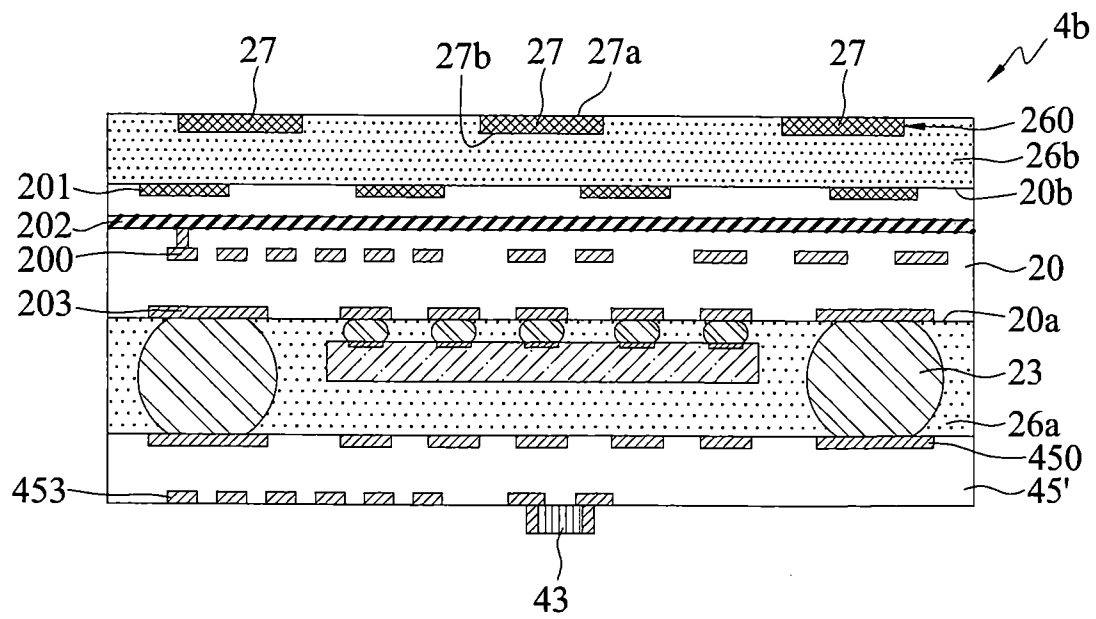
第3B圖



第3C圖



第4A圖



第4B圖

【符號說明】

1	半導體通訊模組	10	封裝基板
100	接點	11	半導體元件
110,210	導電凸塊	12	天線基板
120	天線體	13	鉚球
14,24	底膠	15,25"	膠帶
2,2', ,3a,3b,3c,4a,4b	電子封裝件		
20	第一承載結構	20'	介電體
20a	第一側	20b	第二側
20c,26c	側面	200,453	線路層
201	第二導體	202	第一屏蔽層
203	外接墊	21,21'	第一電子元件
22	第二電子元件	23,23', ,33	支撐件
25,25', ,35,45,45'	第二承載結構		
250,350,450	電性接觸墊	26,26'	封裝層
260	凹槽	26a	第一封裝層
26b	第二封裝層	27	第一導體
27a	第一表面	27b	第二表面
31,34	遮蔽體	330	銅塊
331	鉚錫材	43	第三電子元件
451	第三導體	452	第二屏蔽層
H,t	厚度		

申請專利範圍

1. 一種電子封裝件，係包括：
 第一承載結構，係具有相對之第一側與第二側；
 至少一電子元件，係接置於該第一承載結構之第一側上；以及
 封裝層，係形成於該第一承載結構之第二側上，其中，該封裝層之相對二側上分別設置有一可由交變電壓、交變電流或輻射變化產生輻射能量之第一導體及未與該第一導體接觸之第二導體，且該第二導體係形成於該第一承載結構之第二側上，其中，該第二導體係對應該第一導體。
2. 如申請專利範圍第 1 項所述之電子封裝件，其中，該第一承載結構復形成有屏蔽層。
3. 如申請專利範圍第 2 項所述之電子封裝件，其中，該屏蔽層於該第一承載結構之佈設面積係大於該第二導體於該第一承載結構之佈設面積。
4. 如申請專利範圍第 1 項所述之電子封裝件，其中，該封裝層復形成於該第一承載結構之第一側上。
5. 如申請專利範圍第 1 項所述之電子封裝件，復包括結合於該第一承載結構之第一側上之複數支撐件。
6. 如申請專利範圍第 1 項所述之電子封裝件，復包括堆疊於該第一承載結構之第一側上之第二承載結構。
7. 如申請專利範圍第 6 項所述之電子封裝件，其中，該第二承載結構係形成有對應該第一導體功能之第三導體。

8. 如申請專利範圍第 6 項所述之電子封裝件，其中，該第二承載結構復形成有屏蔽層。
9. 如申請專利範圍第 1 項所述之電子封裝件，復包括形成於該封裝層與第一承載結構之側面上及/或該電子元件上之遮蔽體。
10. 一種電子封裝件之製法，係包括：
提供一具有相對之第一側與第二側之第一承載結構，且於該第一側上設置有至少一電子元件；以及
形成封裝層於該第一承載結構之第二側上，其中，該封裝層之相對二側上分別設置有一可由交變電壓、交變電流或輻射變化產生輻射能量之第一導體及未與該第一導體接觸之第二導體，且該第二導體係形成於該第一承載結構之第二側上，其中，該第二導體係對應該第一導體。
11. 如申請專利範圍第 10 項所述之電子封裝件之製法，其中，該第一承載結構復形成有屏蔽層。
12. 如申請專利範圍第 11 項所述之電子封裝件之製法，其中，該屏蔽層於該第一承載結構之佈設面積係大於該第二導體於該第一承載結構之佈設面積。
13. 如申請專利範圍第 10 項所述之電子封裝件之製法，其中，該封裝層復形成於該第一承載結構之第一側上。
14. 如申請專利範圍第 10 項所述之電子封裝件之製法，復包括結合複數支撐件於該第一承載結構之第一側上。
15. 如申請專利範圍第 10 項所述之電子封裝件之製法，復

- 包括堆疊第二承載結構於該第一承載結構之第一側上。
16. 如申請專利範圍第 15 項所述之電子封裝件之製法，其中，該第二承載結構係形成有對應該第一導體功能之第三導體。
 17. 如申請專利範圍第 15 項所述之電子封裝件之製法，其中，該第二承載結構復形成有屏蔽層。
 18. 如申請專利範圍第 10 項所述之電子封裝件之製法，復包括形成遮蔽體於該封裝層與該第一承載結構之側面上及/或該電子元件上。