

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

**特許第3759117号**  
**(P3759117)**

(45) 発行日 平成18年3月22日(2006.3.22)

(24) 登録日 平成18年1月13日(2006.1.13)

(51) Int. Cl.		F I		
<b>H03M</b>	<b>1/74</b>	<b>(2006.01)</b>	H03M	1/74
<b>H03F</b>	<b>3/343</b>	<b>(2006.01)</b>	H03F	3/343
<b>H03M</b>	<b>1/66</b>	<b>(2006.01)</b>	H03M	1/66

請求項の数 5 (全 8 頁)

<p>(21) 出願番号 特願2003-91282 (P2003-91282)</p> <p>(22) 出願日 平成15年3月28日 (2003.3.28)</p> <p>(65) 公開番号 特開2004-304234 (P2004-304234A)</p> <p>(43) 公開日 平成16年10月28日 (2004.10.28)</p> <p>審査請求日 平成16年1月23日 (2004.1.23)</p>	<p>(73) 特許権者 501285133 川崎マイクロエレクトロニクス株式会社 千葉県千葉市美浜区中瀬一丁目3番地</p> <p>(74) 代理人 100080159 弁理士 渡辺 望稔</p> <p>(74) 代理人 100090217 弁理士 三和 晴子</p> <p>(72) 発明者 植野 雅之 千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内</p> <p>(72) 発明者 ▲高▼田 昌利 千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 I/V変換回路およびDAコンバータ

(57) 【特許請求の範囲】

【請求項1】

I入力端子から電流が供給される第1ノードとグランドとの間に接続された第1素子、および前記第1ノードに供給される電流がカレントミラーされる第2ノードとグランドとの間に接続された第2素子を有するカレントミラー回路と、  
前記第1ノードに第1のバイアス電流を供給し、前記第1ノードに供給される電流量を調整する第1のバイアス電流発生回路と、  
前記第1ノードの電圧とバイアス電圧とをその入力とし、前記第1ノードの電圧が前記バイアス電圧と略等しい電圧となるように、前記カレントミラー回路の第1素子および第2素子を制御する第1の制御回路と、  
前記第2ノードに第2のバイアス電流を供給し、前記第2ノードに供給される電流量を調整する第2のバイアス電流発生回路と、  
前記第2ノードとV出力端子との間に接続され、前記バイアス電圧を基準として、自分自身に流れる電流を電圧に変換する第3素子と、  
前記第2ノードの電圧と前記バイアス電圧とをその入力とし、前記第2ノードの電圧が前記バイアス電圧と略等しい電圧となるように、前記V出力端子から出力される電圧を制御する第2の制御回路とを備えることを特徴とするI/V変換回路。

【請求項2】

前記第2のバイアス電流は前記第1のバイアス電流のm倍であり、前記カレントミラー回路の第2素子を介して流れる電流は第1素子を介して流れる電流のm倍である請求項1に

記載の I / V 変換回路。

【請求項 3】

前記カレントミラー回路の第 1 素子および第 2 素子は N 型 MOS トランジスタ、前記第 3 素子は抵抗素子、前記第 1 の制御回路および前記第 2 の制御回路はオペアンプである請求項 1 または 2 に記載の I / V 変換回路。

【請求項 4】

前記バイアス電圧の値を変更する手段を備える請求項 1 ~ 3 のいずれかに記載の I / V 変換回路。

【請求項 5】

アナログ信号に変換すべきデジタル信号の値に対応する合計電流を発生する電流発生回路と、請求項 1 ~ 4 のいずれかに記載の I / V 変換回路とを備え、前記電流発生回路によって発生される合計電流が、前記 I / V 変換回路の I 入力端子から第 1 ノードに供給されることを特徴とする D A コンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流を電圧に変換する I / V (電流 / 電圧) 変換回路およびこれを用いた D A コンバータに関するものである。

【0002】

【従来の技術】

従来の D A コンバータ (以下、D A C という) は、電流発生回路により、アナログ信号に変換すべきデジタル信号の値に対応した合計電流を発生し、I / V 変換回路により、合計電流を電圧に変換することによって、デジタル信号の値に対応する電圧を有するアナログ信号を発生する。

【0003】

しかし、従来の D A C では、電流発生回路として、M O S トランジスタが用いられているため、アナログ信号の電圧に応じてリニアリティ不良が発生するという問題があった。また、D A C により発生されるアナログ信号の電圧は、これを利用する後段回路の入出力特性に応じてシフトしておかないと、後段回路において、D A C から出力されるアナログ信号を使用することができないという問題があった。

【0004】

これに対し、本出願人は、特許文献 1 において、アナログ信号のリニアリティ不良を解消し、後段回路の入出力特性に応じて、アナログ信号の電圧をレベルシフトすることができる I / V 変換回路とこれを用いた D A C を提案している。

【0005】

図 4 は、特許文献 1 に開示の I / V 変換回路の構成回路図である。同図に示す I / V 変換回路 40 は、カレントミラー回路となる N 型 MOS トランジスタ (以下、N M O S という) 42, 44 と、オペアンプ 46, 48 と、P 型 MOS トランジスタ (以下、P M O S という) 50 と、抵抗値 R の抵抗素子 52 とを備えている。また、同図には、D A C から供給される電流に相当する、アナログ信号 V o u t に変換すべきデジタル信号の値に対応する合計電流 I s i g を発生する電流源 54 と、バイアス電流 I b を発生する電流源 56 とが示されている。

【0006】

特許文献 1 に開示の I / V 変換回路 40 では、オペアンプ 46 により、ノード A の電圧がバイアス電圧 V b と同じ電圧となるように、カレントミラー回路の N M O S 42, 44 が制御され、オペアンプ 48 により、ノード B の電圧がバイアス電圧 V b と同じ電圧となるように P M O S 50 が制御される。そして、抵抗素子 52 により、バイアス電圧 V b を基準として、N M O S 42 から N M O S 44 へカレントミラーされた電流 ( I s i g + I b ) が電圧に変換される。

【0007】

10

20

30

40

50

特許文献1のI/V変換回路40によれば、ノードAの電圧、すなわち電流源54のMOSトランジスタのソース・ドレイン間の電圧を一定電圧に固定できるため、アナログ信号Voutのリニアリティ不良を解消することができる。また、バイアス電流Ib、バイアス電圧Vb、抵抗素子52の抵抗値Rの設定を適宜変更し、後段回路の入出力特性に応じて、アナログ信号Voutの出力レベルを変換することにより、後段回路へのアナログ信号Voutの伝達を容易にすることができる。

【0008】

特許文献1のI/V変換回路40からは、下記式により算出されるアナログ信号Voutが出力される。

$$\begin{aligned} V_{out} &= R \cdot (I_{sig} + I_b) + V_b \\ &= R \cdot I_{sig} + R \cdot I_b + V_b \end{aligned}$$

10

ここで、 $R \cdot I_{sig}$ は信号成分であり、 $R \cdot I_b + V_b$ はクランプ成分である。

【0009】

すなわち、アナログ信号Voutの電圧は、 $R \cdot I_b + V_b$ でクランプされ、そのクランプレベルは、 $R$ 、 $I_b$ 、 $V_b$ の値を変えることによって任意の値に設定可能である。ところが、 $R$ の値を変えると信号成分の振幅が変わってしまうし、 $V_b$ の値を動的に変えると、リニアリティ不良が発生してDAコンバータの性能が劣化する。そのため、クランプレベルの制御は、 $R$ および $V_b$ の値を固定し、 $I_b$ の値を変えることによって行われている。

20

【0010】

しかし、 $I_b$ の値を小さくすると、インピーダンスが上昇して回路の通過帯域が狭くなり、高速動作には不向きとなるため、 $I_b$ の値を信号の最大周波数に応じた一定値以上に設定する必要がある。一方、 $I_b$ の値を大きくすると消費電流が増大するため、消費電流の点では、 $I_b$ の値を極力小さい値に設定する必要がある。従って、従来のI/V変換回路40には、適切な $I_b$ の値を決定するために、 $I_b$ の値を制御する手段が必要であった。

【0011】

【特許文献1】

特開2002-118468号公報

【0012】

【発明が解決しようとする課題】

本発明の目的は、前記従来技術に基づく問題点を解消し、信号の通過帯域を広くとることができ、消費電流も削減することができるI/V変換回路およびDAコンバータを提供することにある。

30

【0013】

【課題を解決するための手段】

上記目的を達成するために、本発明は、I入力端子から電流が供給される第1ノードとグラウンドとの間に接続された第1素子、および前記第1ノードに供給される電流がカレントミラーされる第2ノードとグラウンドとの間に接続された第2素子を有するカレントミラー回路と、

40

前記第1ノードに第1のバイアス電流を供給し、前記第1ノードに供給される電流量を調整する第1のバイアス電流発生回路と、

前記第1ノードの電圧とバイアス電圧とをその入力とし、前記第1ノードの電圧が前記バイアス電圧と略等しい電圧となるように、前記カレントミラー回路の第1素子および第2素子を制御する第1の制御回路と、

前記第2ノードに第2のバイアス電流を供給し、前記第2ノードに供給される電流量を調整する第2のバイアス電流発生回路と、

前記第2ノードとV出力端子との間に接続され、前記バイアス電圧を基準として、自身自身に流れる電流を電圧に変換する第3素子と、

前記第2ノードの電圧と前記バイアス電圧とをその入力とし、前記第2ノードの電圧が前

50

記バイアス電圧と略等しい電圧となるように、前記V出力端子から出力される電圧を制御する第2の制御回路とを備えることを特徴とするI/V変換回路を提供するものである。

【0014】

ここで、前記第2のバイアス電流は前記第1のバイアス電流のm倍であり、前記カレントミラー回路の第2素子を介して流れる電流は第1素子を介して流れる電流のm倍であるのが好ましい。

【0015】

また、前記カレントミラー回路の第1素子および第2素子はN型MOSトランジスタ、前記第3素子は抵抗素子、前記第1の制御回路および前記第2の制御回路はオペアンプであるのが好ましい。

10

【0016】

また、前記バイアス電圧の値を変更する手段を備えるのが好ましい。

【0017】

また、本発明は、アナログ信号に変換すべきデジタル信号の値に対応する合計電流を発生する電流発生回路と、上記のいずれかに記載のI/V変換回路とを備え、前記電流発生回路によって発生される合計電流が、前記I/V変換回路のI入力端子から第1ノードに供給されることを特徴とするDAコンバータを提供する。

【0018】

【発明の実施の形態】

以下に、添付の図面に示す好適実施形態に基づいて、本発明のI/V変換回路およびこれを用いたDAコンバータを詳細に説明する。

20

【0019】

図1は、本発明のI/V変換回路の一実施形態の構成回路図である。同図に示すI/V変換回路10は、本発明のDAコンバータ(以下、DACという)の出力段に用いられる電流/電圧変換回路であり、N型MOSトランジスタ(以下、NMOSという)12, 14と、オペアンプ16, 18と、抵抗素子20と、電流源22, 24とを備えている。なお、同図には、電流源26、負荷CLも示されている。

【0020】

ここで、NMOS12, 14は、そのゲートに共通の信号(オペアンプ16の出力信号)が入力されており、カレントミラー回路を構成する。すなわち、後述するように、NMOS12, 14には常に同量の電流 $I_{sig} + I_{b1}$ が流れる。NMOS12はノードAとグラウンドとの間に接続され、NMOS14はノードBとグラウンドとの間に接続されている。

30

【0021】

また、オペアンプ16, 18は、その端子+と端子-に入力される電圧が等しくなるように、その出力信号の電圧を調整する制御回路である。オペアンプ16は、その端子+にノードAの電圧 $V_{b1}$ 、端子-にバイアス電圧 $V_b$ が入力され、その出力信号はNMOS12, 14のゲートに共通に入力されている。オペアンプ18は、その+端子にノードBの電圧 $V_{b2}$ 、端子-にバイアス電圧 $V_b$ が入力され、その出力信号は、アナログ信号 $V_{out}$ としてV出力端子から出力されている。

40

【0022】

抵抗素子20は、ノードBの電圧 $V_{b2}$ を基準として、自分自身に流れる電流Iを電圧Vに変換する素子であり、アナログ信号 $V_{out}$ とノードBとの間に接続されている。抵抗素子20の抵抗値はRとする。

【0023】

電流源22は、電流量を微調整するためのバイアス電流 $I_{b1}$ を発生し、ノードAに供給する電流発生回路であり、電源とノードAとの間に接続されている。同様に、電流源24は、電流量を微調整するためのバイアス電流 $I_{b2}$ を発生し、ノードBに供給する電流発生回路であり、電源とノードBとの間に接続されている。

【0024】

50

なお、電流源 26 は、本発明の DAC において、アナログ信号  $V_{out}$  に変換すべきデジタル信号の値に対応する合計電流  $I_{sig}$  を発生する電流発生回路であり、電源とノード A との間に接続されている。電流源 26 が発生する合計電流  $I_{sig}$  は、I/V 変換回路 10 の I 入力端子からノード A に供給される。本発明の DAC は、基本的に、この電流発生回路と、図 1 に示す I/V 変換回路 10 とによって構成される。

【0025】

以下、I/V 変換回路 10 の動作を説明する。

【0026】

電流源 26 からは、I 入力端子を介してノード A に合計電流  $I_{sig}$  が供給される。この合計電流  $I_{sig}$  は、本発明の DAC がアナログ信号  $V_{out}$  に変換すべきデジタル信号の値に応じて変化する。

10

【0027】

I/V 変換回路 10 では、ノード A の電圧  $V_{b1}$  が、合計電流  $I_{sig}$  の変化に関わらず、バイアス電圧  $V_b$  と常に同じ電圧となるように、オペアンプ 16 の出力信号の電圧が変化する。オペアンプ 16 の出力信号は NMOS 12 のゲートに入力され、NMOS 12 のオン抵抗が変化する。これにより、ノード A の電圧  $V_{b1}$  は、合計電流  $I_{sig}$  の変化に関わらず、常にバイアス電圧  $V_b$  と同じ電圧となるように制御される。

【0028】

このように、I/V 変換回路 10 では、ノード A の電圧  $V_{b1}$ 、すなわち本発明の DAC において、デジタル信号の値に応じた合計電流  $I_{sig}$  を発生する電流源 26 となる MOS トランジスタのソース・ドレイン間の電圧  $V_{ds}$  が、常に一定電圧となるように制御されるため、DAC のリニアリティ不良を解消することができる。

20

【0029】

NMOS 12, 14 は、前述のようにカレントミラー回路を構成する。NMOS 12 には、電流源 26 から供給される合計電流  $I_{sig}$  と電流源 22 から供給されるバイアス電流  $I_{b1}$  とを加算した電流  $I_{sig} + I_{b1}$  が流れる。従って、NMOS 12 と同様に、オペアンプ 16 の出力信号に応じて NMOS 14 のオン抵抗が変化し、NMOS 14 には、常に NMOS 12 と同量の電流  $I_{sig} + I_{b1}$  が流れる。

【0030】

V 出力端子から出力されるアナログ信号  $V_{out}$  の電圧、すなわちオペアンプ 18 の出力信号の電圧は、ノード B の電圧  $V_{b2}$  とバイアス電圧  $V_b$  とが常に同じ電圧となるように変化する。前述のように、NMOS 14 を介して流れる電流は  $I_{sig} + I_{b1}$  であるから、抵抗素子 20 を流れる電流は、 $I_{sig} + I_{b1} - I_{b2}$  となる。ここで、 $I_{b1} = I_{b2}$  であれば、抵抗素子 20 を流れる電流は  $I_{sig}$  となる。

30

【0031】

抵抗素子 20 を流れる電流  $I_{sig}$  は抵抗素子 R により I/V 変換され、アナログ信号  $V_{out} = I_{sig} \cdot R + V_{b2}$  として出力される。ここで、 $V_{b1} = V_{b2} = V_b$  であるから、アナログ信号  $V_{out} = I_{sig} \cdot R + V_b$  となる。

【0032】

すなわち、アナログ信号  $V_{out}$  の電圧は、ノード B の電圧  $V_{b2}$ 、バイアス電圧  $V_b$  にクランプされる。このため、DAC のアナログ信号  $V_{out}$  を利用する後段回路の入出力特性に応じてバイアス電圧  $V_b$  を適宜設定することにより、アナログ信号  $V_{out}$  の出力レベルを変換することができ、後段回路へのアナログ信号  $V_{out}$  の伝達を容易にすることができる。

40

【0033】

また、アナログ信号  $V_{out}$  の電圧は、バイアス電流  $I_{b1}$ ,  $I_{b2}$  の値に依存しない。従って、バイアス電流  $I_{b1}$ ,  $I_{b2}$  の値を制御する回路が不要であり、回路規模を削減することができるため、コストダウンが可能である。また、バイアス電流  $I_{b1}$ ,  $I_{b2}$  は、信号の最大周波数に応じた一定値以上の最小値に設定することができるため、消費電流の削減も可能である。さらに、負荷  $C_L$  は、オペアンプ 18 により直接駆動されるため

50

、例えば  $I_{sig} = 0$  となり、抵抗素子 20 に電流が流れない場合であっても、インピーダンスが高くなることはなく、従って通過帯域が狭くなることもない。

【0034】

次に、図1に示す I/V 変換回路 10 において、出力増幅率を変更する場合を説明する。

【0035】

図2は、本発明の I/V 変換回路の別の実施形態の構成回路図である。同図に示す I/V 変換回路 30 は、図1に示す I/V 変換回路 10 において、電流源 24 および NMOS 14 の代わりに、それぞれ流れる電流が m 倍の電流源 24' および NMOS 14' を用いて構成されている。I/V 変換回路 30 のこれ以外の構成は、I/V 変換回路 10 と同じであるから、同一要素に同一符号を付してその繰り返しの説明は省略する。

10

【0036】

図3は、電流源の一実施形態の構成回路図である。同図に示すように、電流源 22, 24' は、例えば P 型 MOS トランジスタ (以下、PMOS という) 32, 34 によって構成される。ここで、PMOS 32 は、電源とノード A との間に接続され、PMOS 34 は、電源とノード B との間に接続されている。また、PMOS 32, 34 のゲートには信号  $V_{gate}$  が共通に入力され、カレントミラー回路が構成されている。

【0037】

ここで、PMOS 34 のトランジスタサイズは PMOS 32 のトランジスタサイズの m 倍である。従って、電流源 22 によって発生されるバイアス電流を  $I_b$  とすると、電流源 24' によって発生されるバイアス電流は  $m I_b$  となる。

20

【0038】

同様に、カレントミラー回路を構成する NMOS 14' のトランジスタサイズは NMOS 12 のトランジスタサイズの m 倍である。従って、NMOS 12 を流れる電流が  $I_{sig} + I_b$  であるから、NMOS 14' を流れる電流は  $m(I_{sig} + I_b)$  となる。

【0039】

従って、V 出力端子から出力されるアナログ信号  $V_{out}$  は下記式で表される。すなわち、

$$\begin{aligned} V_{out} &= \{m(I_{sig} + I_b) - m I_b\} \cdot R + V_{b2} \\ &= m \cdot I_{sig} \cdot R + V_b \end{aligned}$$

30

従って、出力増幅率を m 倍にした場合も、アナログ信号  $V_{out}$  は、バイアス電流  $I_b$  の値に全く依存しないことが分かる。

【0040】

なお、図1および図2に示す実施形態では、カレントミラー回路として NMOS 12, 14 を、また、制御回路としてオペアンプ 16, 18 をそれぞれ用いて、I/V 変換回路を実現する具体例を挙げて説明している。しかし、本発明はこれに限定されず、同じ機能を実現する他の手段を用いて本発明の I/V 変換回路を実現してもよい。また、バイアス電圧  $V_b$  の設定手段を備え、後段回路の入出力特性に応じて  $V_b$  を可変に設定可能とするのが好ましい。

【0041】

40

また、本発明の DAC は、電流発生回路の出力段に、図1および図2に一例を示す本発明の I/V 変換回路を用いたものである。電流発生回路は、アナログ信号に変換すべきデジタル信号の値に対応した合計電流を発生するものであれば何ら制限はなく、従来公知のものがいずれも利用可能である。

【0042】

本発明は、基本的に以上のようなものである。

以上、本発明の I/V 変換回路およびこれを用いた DA コンバータについて詳細に説明したが、本発明は上記実施形態に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【0043】

50

【発明の効果】

以上詳細に説明した様に、本発明によれば、DACのリニアリティ不良を解消し、後段回路の入出力特性に応じて、アナログ信号の出力レベルを変換することができるのはもちろん、アナログ信号Voutの電圧がバイアス電流の値に依存しないため、バイアス電流の値を制御する回路が不要であり、回路規模を削減することができるため、コストダウンが可能である。また、バイアス電流は、信号の最大周波数に応じた一定値以上の最小値に設定することができるため、同時に消費電流の削減も可能である。さらに、負荷が、第2の制御回路により直接駆動されるため、第3素子に電流が流れない場合であっても、アナログ信号の通過帯域が狭くなるのを防ぐことができる。

【図面の簡単な説明】

【図1】 本発明のI/V変換回路の一実施形態の構成回路図である。

【図2】 本発明のI/V変換回路の別の実施形態の構成回路図である。

【図3】 電流源の一実施形態の構成回路図である。

【図4】 従来のI/V変換回路の一例の構成回路図である。

【符号の説明】

10, 30, 40 I/V変換回路

12, 14, 14', 42, 44 N型MOSトランジスタ

16, 18, 46, 48 オペアンプ

20, 52 抵抗素子

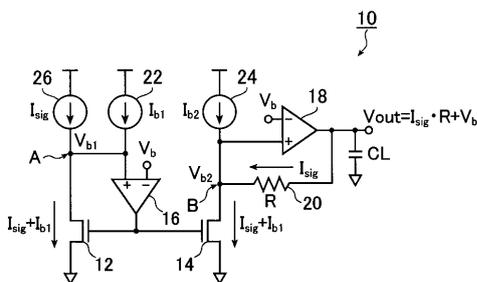
22, 24, 24', 26, 54, 56 電流源

32, 34 P型MOSトランジスタ

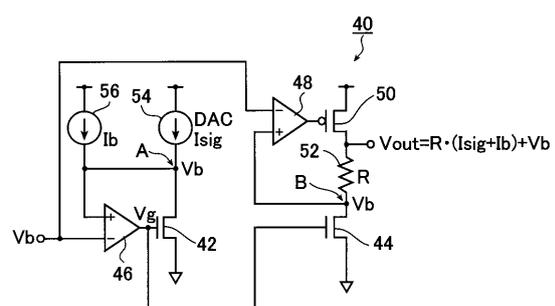
10

20

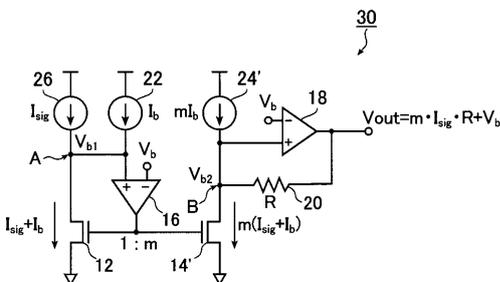
【図1】



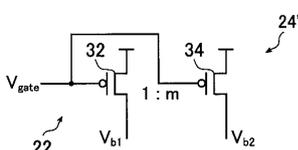
【図4】



【図2】



【図3】



---

フロントページの続き

(72)発明者 小笠原 寛

千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内

審査官 柳下 勝幸

(56)参考文献 特開2002-118468(JP,A)

特開昭57-83925(JP,A)

特開2002-290239(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M1/00-1/88, H03F3/343