



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년11월21일  
(11) 등록번호 10-2468261  
(24) 등록일자 2022년11월14일

(51) 국제특허분류(Int. Cl.)  
G11C 7/22 (2015.01) H03K 5/1534 (2006.01)  
H03K 5/156 (2006.01)  
(52) CPC특허분류  
G11C 7/22 (2018.05)  
G11C 7/222 (2013.01)  
(21) 출원번호 10-2016-0014924  
(22) 출원일자 2016년02월05일  
심사청구일자 2021년01월15일  
(65) 공개번호 10-2017-0094036  
(43) 공개일자 2017년08월17일  
(56) 선행기술조사문헌  
KR1020090045590 A\*  
(뒷면에 계속)

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
정인화  
경기도 화성시 동탄대로22길 30, 605동 102호 (영  
천동, 동탄센트럴자이)  
(74) 대리인  
김성남

전체 청구항 수 : 총 2 항

심사관 : 박소정

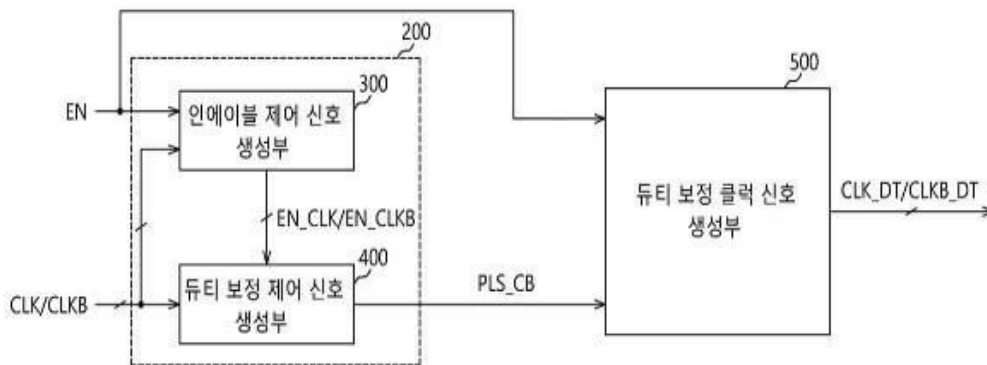
(54) 발명의 명칭 듀티 보정 회로

(57) 요약

본 기술은 제 1 차동 클럭 신호와 제 2 차동 클럭 신호 각각의 엣지를 검출하여 듀티 보정 제어 신호를 생성하도록 구성된 제어부; 및 상기 듀티 보정 제어 신호의 엣지에 따라 듀티 보정 클럭 신호를 생성하도록 구성된 듀티 보정 클럭 신호 생성부를 포함할 수 있다.

대표도

100



(52) CPC특허분류

*H03K 5/1534* (2013.01)

*H03K 5/1565* (2013.01)

(56) 선행기술조사문헌

US20130257499 A1\*

KR100473813 B1

US20010026183 A1

US20020017936 A1

\*는 심사관에 의하여 인용된 문헌

---

**명세서**

**청구범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

인에이블 신호에 따라 제 1 차동 클럭 신호와 제 2 차동 클럭 신호 각각의 엣지를 검출하여 듀티 보정 제어 신호를 생성하도록 구성된 제어부; 및

상기 인에이블 신호 및 상기 듀티 보정 제어 신호의 엣지에 따라 듀티 보정 클럭 신호를 생성하도록 구성된 듀티 보정 클럭 신호 생성부를 포함하며,

상기 제어부는

상기 인에이블 신호를 상기 제 2 차동 클럭 신호로 샘플링하여 제 1 인에이블 제어 신호를 생성하고, 상기 제 1 인에이블 제어 신호를 상기 제 1 차동 클럭 신호로 샘플링하여 제 2 인에이블 제어 신호를 생성하도록 구성된 인에이블 제어 신호 생성부, 및

상기 제 1 인에이블 제어 신호의 활성화 구간에 해당하며 상기 제 1 차동 클럭 신호의 엣지들에 대응되는 제 1 펄스 신호들을 생성하고, 상기 제 2 인에이블 제어 신호의 활성화 구간에 해당하며 상기 제 2 차동 클럭 신호의 엣지들에 대응되는 제 2 펄스 신호들을 생성하여 상기 듀티 보정 제어 신호로서 출력하도록 구성된 듀티 보정 제어 신호 생성부를 포함하는 듀티 보정 회로.

**청구항 6**

삭제

**청구항 7**

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제 5 항에 있어서,

상기 인에이블 제어 신호 생성부는

상기 인에이블 신호를 상기 제 2 차동 클럭 신호로 샘플링하여 상기 제 1 인에이블 제어 신호로서 출력하도록 구성된 제 1 플립플롭, 및

상기 제 1 인에이블 제어 신호를 상기 제 1 차동 클럭 신호로 샘플링하여 상기 제 2 인에이블 제어 신호로서 출력하도록 구성된 제 2 플립플롭을 포함하는 듀티 보정 회로.

**청구항 8**

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제 5 항에 있어서,

상기 듀티 보정 제어 신호 생성부는

상기 제 1 인에이블 제어 신호의 활성화 구간에 해당하며 상기 제 1 차동 클럭 신호의 엣지들에 대응되는 상기 제 1 펄스 신호들을 생성하여 제 1 예비 듀티 보정 제어 신호로서 출력하도록 구성된 제 1 엣지 검출부,

상기 제 2 인에이블 제어 신호의 활성화 구간에 해당하며 상기 제 2 차동 클럭 신호의 엣지들에 대응되는 상기 제 2 펄스 신호들을 생성하여 제 2 예비 듀티 보정 제어 신호로서 출력하도록 구성된 제 2 엣지 검출부, 및

상기 제 1 예비 듀티 보정 제어 신호와 상기 제 2 예비 듀티 보정 제어 신호를 논리합하여 상기 듀티 보정 제어 신호로서 출력하도록 구성된 신호 조합부를 포함하는 듀티 보정 회로.

#### 청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제 5 항에 있어서,

상기 듀티 보정 클럭 신호 생성부는

상기 듀티 보정 제어 신호의 제 1 타이밍을 기점으로 제 1 피드백 신호를 분주함으로써 제 1 듀티 보정 클럭 신호를 생성하고,

상기 듀티 보정 제어 신호의 제 2 타이밍을 기점으로 제 2 피드백 신호를 분주함으로써 제 2 듀티 보정 클럭 신호를 생성하도록 구성되는 듀티 보정 회로.

#### 청구항 10

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제 9 항에 있어서,

상기 듀티 보정 클럭 신호 생성부는

상기 듀티 보정 제어 신호의 첫 번째 엣지부터 엣지가 발생할 때마다 상기 제 1 듀티 보정 클럭 신호를 천이시키고,

상기 듀티 보정 제어 신호의 두 번째 엣지부터 엣지가 발생할 때마다 상기 제 2 듀티 보정 클럭 신호를 천이시키도록 구성되는 듀티 보정 회로.

#### 청구항 11

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆

제 5 항에 있어서,

상기 듀티 보정 클럭 신호 생성부는

상기 인에이블 신호가 활성화되면 제 1 피드백 신호를 래치한 신호를 상기 듀티 보정 제어 신호의 엣지에 따라 상기 제 1 듀티 보정 클럭 신호로서 출력하고, 상기 제 1 듀티 보정 클럭 신호를 반전시켜 상기 제 1 피드백 신호를 생성하도록 구성된 제 1 분주기,

상기 인에이블 신호를 상기 듀티 보정 제어 신호의 엣지를 기준으로 쉬프트시켜 쉬프트 신호를 생성하도록 구성된 타이밍 제어기, 및

상기 쉬프트 신호가 활성화되면 제 2 피드백 신호를 래치한 신호를 상기 보정 제어 신호의 엣지에 따라 상기 제 2 듀티 보정 클럭 신호로서 출력하고, 상기 제 2 듀티 보정 클럭 신호를 반전시켜 상기 제 2 피드백 신호를 생성하도록 구성된 제 2 분주기를 포함하는 듀티 보정 회로.

#### 청구항 12

인에이블 신호를 제 2 차동 클럭 신호로 샘플링하여 제 1 인에이블 제어 신호를 생성하고, 상기 제 1 인에이블 제어 신호를 제 1 차동 클럭 신호로 샘플링하여 제 2 인에이블 제어 신호를 생성하도록 구성된 인에이블 제어

신호 생성부;

상기 제 1 인에이블 제어 신호의 활성화 구간에 해당하며 상기 제 1 차동 클럭 신호의 엣지들에 대응되는 제 1 펄스 신호들을 생성하고, 상기 제 2 인에이블 제어 신호의 활성화 구간에 해당하며 상기 제 2 차동 클럭 신호의 엣지들에 대응되는 제 2 펄스 신호들을 생성하여 듀티 보정 제어 신호로서 출력하도록 구성된 듀티 보정 제어 신호 생성부; 및

상기 듀티 보정 제어 신호의 제 1 타이밍을 기점으로 제 1 피드백 신호를 분주함으로써 제 1 듀티 보정 클럭 신호를 생성하고, 상기 듀티 보정 제어 신호의 제 2 타이밍을 기점으로 제 2 피드백 신호를 분주함으로써 제 2 듀티 보정 클럭 신호를 생성하도록 구성되는 듀티 보정 클럭 신호 생성부를 포함하는 듀티 보정 회로.

### 청구항 13

◆청구항 13은(는) 설정등록료 납부시 포기되었습니다.◆

제 12 항에 있어서,

상기 인에이블 제어 신호 생성부는

상기 인에이블 신호를 상기 제 2 차동 클럭 신호로 샘플링하여 상기 제 1 인에이블 제어 신호로서 출력하도록 구성된 제 1 플립플롭, 및

상기 제 1 인에이블 제어 신호를 상기 제 1 차동 클럭 신호로 샘플링하여 상기 제 2 인에이블 제어 신호로서 출력하도록 구성된 제 2 플립플롭을 포함하는 듀티 보정 회로.

### 청구항 14

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆

제 12 항에 있어서,

상기 듀티 보정 제어 신호 생성부는

상기 제 1 인에이블 제어 신호의 활성화 구간에 해당하며 상기 제 1 차동 클럭 신호의 엣지들에 대응되는 상기 제 1 펄스 신호들을 생성하여 제 1 예비 듀티 보정 제어 신호로서 출력하도록 구성된 제 1 엣지 검출부,

상기 제 2 인에이블 제어 신호의 활성화 구간에 해당하며 상기 제 2 차동 클럭 신호의 엣지들에 대응되는 상기 제 2 펄스 신호들을 생성하여 제 2 예비 듀티 보정 제어 신호로서 출력하도록 구성된 제 2 엣지 검출부, 및

상기 제 1 예비 듀티 보정 제어 신호와 상기 제 2 예비 듀티 보정 제어 신호를 논리합하여 상기 듀티 보정 제어 신호로서 출력하도록 구성된 신호 조합부를 포함하는 듀티 보정 회로.

### 청구항 15

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제 12 항에 있어서,

상기 듀티 보정 클럭 신호 생성부는

상기 듀티 보정 제어 신호의 첫 번째 엣지부터 엣지가 발생할 때마다 상기 제 1 듀티 보정 클럭 신호를 천이시키고,

상기 듀티 보정 제어 신호의 두 번째 엣지부터 엣지가 발생할 때마다 상기 제 2 듀티 보정 클럭 신호를 천이시키도록 구성되는 듀티 보정 회로.

### 청구항 16

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제 12 항에 있어서,

상기 듀티 보정 클럭 신호 생성부는

상기 인에이블 신호가 활성화되면 제 1 피드백 신호를 래치한 신호를 상기 듀티 보정 제어 신호의 엣지에 따라

상기 제 1 듀티 보정 클럭 신호로서 출력하고, 상기 제 1 듀티 보정 클럭 신호를 반전시켜 상기 제 1 피드백 신호를 생성하도록 구성된 제 1 분주기,

상기 인에이블 신호를 상기 듀티 보정 제어 신호의 엣지를 기준으로 쉬프트시켜 쉬프트 신호를 생성하도록 구성된 타이밍 제어기, 및

상기 쉬프트 신호가 활성화되면 제 2 피드백 신호를 래치한 신호를 상기 듀티 보정 제어 신호의 엣지에 따라 상기 제 2 듀티 보정 클럭 신호로서 출력하고, 상기 제 2 듀티 보정 클럭 신호를 반전시켜 상기 제 2 피드백 신호를 생성하도록 구성된 제 2 분주기를 포함하는 듀티 보정 회로.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 반도체 회로에 관한 것으로서, 특히 듀티 보정 회로에 관한 것이다.

#### 배경 기술

[0002] 반도체 회로 기술에 있어서 클럭(Clock) 신호는 시스템이나 회로에서 동작 타이밍을 서로 맞추기 위한 기준으로 사용된다. 회로나 시스템 외부로부터 입력되는 클럭 신호가 내부에서 사용될 때는 내부 회로에 의한 시간 지연이 필연적으로 발생할 수 있다.

[0003] 반도체 장치, 예를 들어, 반도체 메모리 장치는 이와 같은 시간 지연을 보상하여 외부 클럭 신호와 동일한 위상을 가지는 내부 클럭 신호가 요구된다.

[0004] 외부 클럭과 동일한 위상을 가지는 내부 클럭 신호를 생성하기 위하여, 반도체 장치내에 지연 고정 루프(Delay Locked Loop, DLL)나 위상 고정 루프(Phase Locked Loop, PLL)와 같은 회로가 내장되고 있다.

[0005] 또한 지연 고정 루프 또는 위상 고정 루프에 의해 위상차가 보정되더라도, 듀티 비(Duty Ratio) 차이가 발생하는 경우 즉, 하이 레벨 구간 및 로우 레벨 구간의 비율이 원하는 비율(예를 들어, 50:50)과 다른 값을 가지는 경우, 해당 반도체 장치의 동작 타이밍 마진이 감소하여 성능을 저하시킬 수 있다.

[0006] 따라서 반도체 장치는 클럭 신호의 듀티 비를 보정하기 위한 듀티 보정 회로를 포함할 수 있다.

#### 발명의 내용

##### 해결하려는 과제

[0007] 본 발명의 실시예는 클럭 특성 저하를 줄이고, 보정 가능 듀티 범위가 넓으며, 신속한 듀티 보정이 가능한 듀티 보정 회로를 제공한다.

##### 과제의 해결 수단

[0008] 본 발명의 실시예는 제 1 차동 클럭 신호와 제 2 차동 클럭 신호 각각의 엣지를 검출하여 듀티 보정 제어 신호를 생성하도록 구성된 제어부; 및 상기 듀티 보정 제어 신호의 엣지에 따라 듀티 보정 클럭 신호를 생성하도록 구성된 듀티 보정 클럭 신호 생성부를 포함할 수 있다.

[0009] 본 발명의 실시예는 인에이블 신호에 따라 제 1 차동 클럭 신호와 제 2 차동 클럭 신호 각각의 엣지를 검출하여 듀티 보정 제어 신호를 생성하도록 구성된 제어부; 및 상기 인에이블 신호 및 상기 듀티 보정 제어 신호의 엣지에 따라 듀티 보정 클럭 신호를 생성하도록 구성된 듀티 보정 클럭 신호 생성부를 포함할 수 있다.

[0010] 본 발명의 실시예는 인에이블 신호를 제 2 차동 클럭 신호로 샘플링하여 제 1 인에이블 제어 신호를 생성하고, 상기 제 1 인에이블 제어 신호를 제 1 차동 클럭 신호로 샘플링하여 제 2 인에이블 제어 신호를 생성하도록 구성된 인에이블 제어 신호 생성부; 상기 제 1 인에이블 제어 신호의 활성화 구간에 해당하며 상기 제 1 차동 클럭 신호의 엣지들에 대응되는 제 1 펄스 신호들을 생성하고, 상기 제 2 인에이블 제어 신호의 활성화 구간에 해당하며 상기 제 2 차동 클럭 신호의 엣지들에 대응되는 제 2 펄스 신호들을 생성하여 듀티 보정 제어 신호로서 출력하도록 구성된 듀티 보정 제어 신호 생성부; 및 상기 보정 제어 신호의 제 1 타이밍을 기점으로 제 1 피드백 신호를 분주함으로써 제 1 듀티 보정 클럭 신호를 생성하고, 상기 보정 제어 신호의 제 2 타이밍을 기점으로 제 2 피드백 신호를 분주함으로써 제 2 듀티 보정 클럭 신호를 생성하도록 구성되는 듀티 보정 클럭 신호 생성

부를 포함할 수 있다.

[0011] 본 발명의 실시예에서 상기 듀티 보정 클럭 신호 생성부는 상기 인에이블 신호가 활성화되면 제 1 피드백 신호를 래치한 신호를 상기 보정 제어 신호의 엣지에 따라 상기 제 1 듀티 보정 클럭 신호로서 출력하고, 상기 제 1 듀티 보정 클럭 신호를 반전시켜 상기 제 1 피드백 신호를 생성하도록 구성된 제 1 분주기, 상기 인에이블 신호를 상기 보정 제어 신호의 엣지를 기준으로 쉬프트시켜 쉬프트 신호를 생성하도록 구성된 타이밍 제어기, 및 상기 쉬프트 신호가 활성화되면 제 2 피드백 신호를 래치한 신호를 상기 보정 제어 신호의 엣지에 따라 상기 제 2 듀티 보정 클럭 신호로서 출력하고, 상기 제 2 듀티 보정 클럭 신호를 반전시켜 상기 제 2 피드백 신호를 생성하도록 구성된 제 2 분주기를 포함할 수 있다.

**발명의 효과**

[0012] 본 기술은 듀티 보정에 따른 클럭 특성 저하를 줄이고, 보정 가능 듀티 범위가 넓으며, 신속한 듀티 보정이 가능하다.

**도면의 간단한 설명**

[0013] 도 1은 본 발명의 실시예에 따른 듀티 보정 회로(100)의 구성을 나타낸 도면,  
 도 2는 도 1의 인에이블 제어신호 생성부(300)의 구성을 나타낸 도면,  
 도 3은 도 1의 듀티 보정 제어신호 생성부(400)의 구성을 나타낸 도면,  
 도 4는 도 1의 듀티 보정 클럭 신호 생성부(500)의 구성을 나타낸 도면,  
 도 5 및 도 6은 본 발명의 실시예에 따른 듀티 보정 동작을 설명하기 위한 타이밍도이다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.

[0015] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 듀티 보정 회로(100)는 제어부(200) 및 듀티 보정 클럭 신호 생성부(500)를 포함할 수 있다.

[0016] 제어부(200)는 클럭 신호 예를 들어, 차동 클럭 신호(CLK, CLKB) 및 인에이블 신호(EN)에 따라 듀티 보정 제어 신호(PLS\_CB)를 출력할 수 있다.

[0017] 차동 클럭 신호(CLK, CLKB)에서 CLK는 제 1 차동 클럭 신호, CLKB는 제 2 차동 클럭 신호로 칭할 수 있다.

[0018] 제 1 차동 클럭 신호(CLK)와 제 2 차동 클럭 신호(CLKB)는 정해진 위상차(예를 들어, 180 도)를 가질 수 있다.

[0019] 제어부(200)는 인에이블 신호(EN)를 이용하여 제 1 차동 클럭 신호(CLK)와 제 2 차동 클럭 신호(CLKB)의 엣지를 검출하고, 검출된 엣지에 대응되도록 생성한 펄스 신호들을 듀티 보정 제어 신호(PLS\_CB)로서 출력할 수 있다.

[0020] 제어부(200)는 인에이블 제어 신호 생성부(300) 및 듀티 보정 제어 신호 생성부(400)를 포함할 수 있다.

[0021] 인에이블 제어 신호 생성부(300)는 차동 클럭 신호(CLK, CLKB) 및 인에이블 신호(EN)에 따라 제 1 인에이블 제어 신호(EN\_CLK) 및 제 2 인에이블 제어 신호(EN\_CLKB)를 생성할 수 있다.

[0022] 인에이블 제어 신호 생성부(300)는 인에이블 신호(EN)를 제 1 차동 클럭 신호(CLK)와 제 2 차동 클럭 신호(CLKB) 각각에 맞도록 제 1 인에이블 제어 신호(EN\_CLK)와 제 2 인에이블 제어 신호(EN\_CLKB)로서 구분하여 생성할 수 있다.

[0023] 제 1 인에이블 제어 신호(EN\_CLK)는 제 1 차동 클럭 신호(CLK)의 라이징 엣지를 검출하는데 사용될 수 있다.

[0024] 제 2 인에이블 제어 신호(ENB\_CLK)는 제 2 차동 클럭 신호(CLKB)의 라이징 엣지를 검출하는데 사용될 수 있다.

[0025] 듀티 보정 제어 신호 생성부(400)는 차동 클럭 신호(CLK, CLKB), 제 1 인에이블 제어 신호(EN\_CLK) 및 제 2 인에이블 제어 신호(EN\_CLKB)에 따라 듀티 보정 제어 신호(PLS\_CB)를 생성할 수 있다.

[0026] 듀티 보정 클럭 신호 생성부(500)는 듀티 보정 제어 신호(PLS\_CB) 및 인에이블 신호(EN)에 따라 듀티 보정 클럭 신호(CLK\_DT, CLKB\_DT)를 생성할 수 있다.

[0027] 듀티 보정 클럭 신호(CLK\_DT, CLKB\_DT)에서 CLK\_DT는 제 1 듀티 보정 클럭 신호, CLKB\_DT는 제 2 듀티 보정 클

력 신호라 칭할 수 있다.

- [0028] 제 1 듀티 보정 클럭 신호(CLK\_DT) 및 제 2 듀티 보정 클럭 신호(CLKB\_DT)는 입력 신호 즉, 제 1 차동 클럭 신호(CLK)와 제 2 차동 클럭 신호(CLKB)의 듀티 비 차이와 상관없이 원하는 듀티 비를 가질 수 있으며, 나머지 도면들을 참조하여 이를 보다 상세히 설명하기로 한다.
- [0029] 도 2에 도시된 바와 같이, 인에이블 제어 신호 생성부(300)는 인에이블 신호(EN)를 제 2 차동 클럭 신호(CLKB)로 샘플링하여 제 1 인에이블 제어 신호(EN\_CLK)를 생성하고, 제 1 인에이블 제어 신호(EN\_CLK)를 제 1 차동 클럭 신호(CLK)로 다시 샘플링하여 제 2 인에이블 제어 신호(EN\_CLKB)를 생성할 수 있다.
- [0030] 인에이블 제어 신호 생성부(300)는 제 1 플립플롭(D-FF)(310) 및 제 2 플립플롭(320)을 포함할 수 있다.
- [0031] 제 1 플립플롭(310)은 인에이블 신호(EN)를 제 2 차동 클럭 신호(CLKB)로 샘플링하여 제 1 인에이블 제어 신호(EN\_CLK)를 생성할 수 있다.
- [0032] 제 2 플립플롭(320)은 제 1 인에이블 제어 신호(EN\_CLK)를 제 1 차동 클럭 신호(CLK)로 샘플링하여 제 2 인에이블 제어 신호(EN\_CLKB)를 생성할 수 있다.
- [0033] 도 3에 도시된 바와 같이, 듀티 보정 제어 신호 생성부(400)는 제 1 엣지 검출부(410), 제 2 엣지 검출부(420) 및 신호 조합부(430)를 포함할 수 있다.
- [0034] 제 1 엣지 검출부(410)는 제 1 차동 클럭 신호(CLK)의 라이징 엣지들에 대응되는 펄스 신호들을 생성하고, 생성된 펄스 신호들 중에서 제 1 인에이블 제어 신호(EN\_CLK)의 활성화 구간에 해당하는 펄스 신호들을 제 1 예비 듀티 보정 제어 신호(PLS\_CLK)로서 출력할 수 있다.
- [0035] 제 1 엣지 검출부(410)는 제 1 내지 제 5 로직 게이트(411 - 415)를 포함할 수 있다.
- [0036] 제 1 내지 제 3 로직 게이트(411 - 413)는 인버터들로 구성된 지연기로서, 제 1 차동 클럭 신호(CLK)를 설정 시간만큼 지연시켜 출력할 수 있다.
- [0037] 제 4 로직 게이트(414)는 제 1 차동 클럭 신호(CLK)와 지연기의 출력 신호를 논리곱 하여 출력할 수 있다.
- [0038] 제 5 로직 게이트(415)는 제 4 로직 게이트(414)의 출력 신호와 제 1 인에이블 제어 신호(EN\_CLK)를 논리곱 하여 제 1 예비 듀티 보정 제어 신호(PLS\_CLK)로서 출력할 수 있다.
- [0039] 제 2 엣지 검출부(420)는 제 2 차동 클럭 신호(CLKB)의 라이징 엣지들에 대응되는 펄스 신호들을 생성하고, 생성된 펄스 신호들 중에서 제 2 인에이블 제어 신호(EN\_CLKB)의 활성화 구간에 해당하는 펄스 신호들을 제 2 예비 듀티 보정 제어 신호(PLS\_CLKB)로서 출력할 수 있다.
- [0040] 제 2 엣지 검출부(420)는 제 1 내지 제 5 로직 게이트(421 - 425)를 포함할 수 있다.
- [0041] 제 1 내지 제 3 로직 게이트(421 - 423)는 인버터들로 구성된 지연기로서, 제 2 차동 클럭 신호(CLKB)를 설정 시간만큼 지연시켜 출력할 수 있다.
- [0042] 제 4 로직 게이트(424)는 제 2 차동 클럭 신호(CLKB)와 지연기의 출력 신호를 논리곱 하여 출력할 수 있다.
- [0043] 제 5 로직 게이트(425)는 제 4 로직 게이트(424)의 출력 신호와 제 2 인에이블 제어 신호(EN\_CLKB)를 논리곱 하여 제 2 예비 듀티 보정 제어 신호(PLS\_CLKB)로서 출력할 수 있다.
- [0044] 신호 조합부(430)는 제 1 예비 듀티 보정 제어 신호(PLS\_CLK)와 제 2 예비 듀티 보정 제어 신호(PLS\_CLKB)를 논리합하여 듀티 보정 제어 신호(PLS\_CB)로서 출력할 수 있다.
- [0045] 신호 조합부(430)는 제 1 및 제 2 로직 게이트(431, 432)를 포함할 수 있다.
- [0046] 제 1 로직 게이트(431)는 제 1 예비 듀티 보정 제어 신호(PLS\_CLK)와 제 2 예비 듀티 보정 제어 신호(PLS\_CLKB)를 부정 논리합하여 출력할 수 있다.
- [0047] 제 2 로직 게이트(432)는 제 1 로직 게이트(431)의 출력 신호를 반전시켜 듀티 보정 제어 신호(PLS\_CB)로서 출력할 수 있다.
- [0048] 도 4에 도시된 바와 같이, 듀티 보정 클럭 신호 생성부(500)는 제 1 듀티 보정 클럭 신호 생성부(510) 및 제 2 듀티 보정 클럭 신호 생성부(520)를 포함할 수 있다.
- [0049] 제 1 듀티 보정 클럭 신호 생성부(510)는 보정 제어 신호(PLS\_CB)의 제 1 타이밍을 기점으로 피드백 신호(FB1)



를 분주함으로써 제 1 듀티 보정 클럭 신호(CLK\_DT)를 생성할 수 있다.

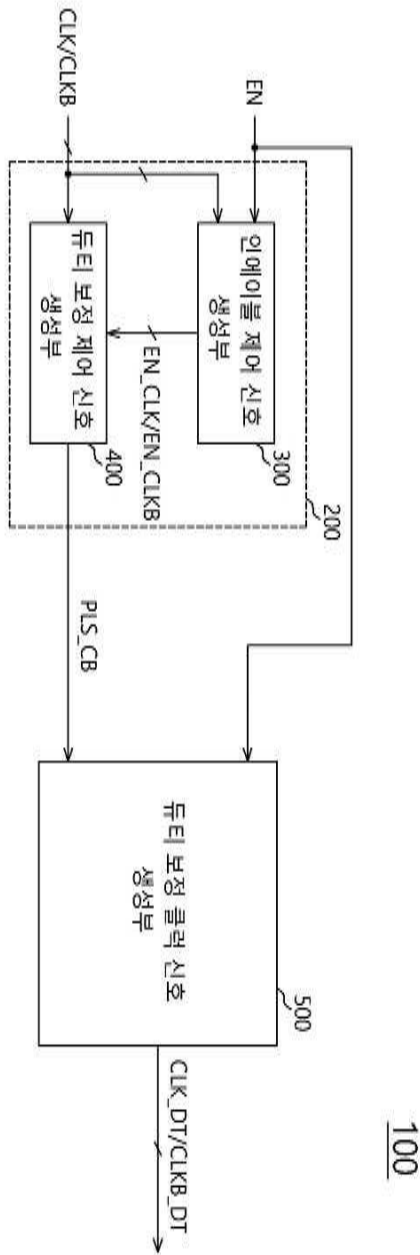
- [0050] 제 1 듀티 보정 클럭 신호 생성부(510)는 보정 제어 신호(PLS\_CB)의 첫 번째 엣지부터 엣지가 발생할 때마다 제 1 듀티 보정 클럭 신호(CLK\_DT)를 천이시킴으로써, 제 1 듀티 보정 클럭 신호(CLK\_DT)가 일정한 듀티 비(예를 들어, 50:50)로 생성되도록 할 수 있다.
- [0051] 제 1 듀티 보정 클럭 신호 생성부(510)는 인에이블 신호(EN)의 활성화 구간 동안 제 1 듀티 보정 클럭 신호(CLK\_DT) 생성 동작을 수행할 수 있다.
- [0052] 제 1 듀티 보정 클럭 신호 생성부(510)는 분주기(511, 512)를 포함할 수 있으며, 분주기(511, 512)는 플립플롭(511) 및 인버터(512)를 포함할 수 있다.
- [0053] 플립플롭(511)은 인에이블 신호(EN)가 활성화되면 피드백 신호(FB1)를 래치한 신호를 보정 제어 신호(PLS\_CB)의 라이징 엣지에 따라 제 1 듀티 보정 클럭 신호(CLK\_DT)로서 출력할 수 있다.
- [0054] 인버터(512)는 제 1 듀티 보정 클럭 신호(CLK\_DT)를 반전시켜 피드백 신호(FB1)로서 플립플롭(511)에 제공할 수 있다.
- [0055] 제 2 듀티 보정 클럭 신호 생성부(520)는 보정 제어 신호(PLS\_CB)의 제 2 타이밍을 기점으로 피드백 신호(FB2)를 분주함으로써 제 2 듀티 보정 클럭 신호(CLKB\_DT)를 생성할 수 있다.
- [0056] 제 2 듀티 보정 클럭 신호 생성부(520)는 보정 제어 신호(PLS\_CB)의 두 번째 엣지부터 엣지가 발생할 때마다 제 2 듀티 보정 클럭 신호(CLKB\_DT)를 천이시킴으로써, 제 2 듀티 보정 클럭 신호(CLKB\_DT)가 일정한 듀티 비(예를 들어, 50:50)로 생성되도록 할 수 있다.
- [0057] 제 2 듀티 보정 클럭 신호 생성부(520)는 타이밍 제어기(521) 및 분주기(522, 523)를 포함할 수 있다.
- [0058] 타이밍 제어기(521)는 플립플롭으로 구성할 수 있으며, 타이밍 제어기(521)는 인에이블 신호(EN)를 보정 제어 신호(PLS\_CB)의 엣지를 기준으로 슈프트시켜 슈프트 신호(EN\_SFT)를 생성할 수 있다.
- [0059] 분주기(522, 523)는 플립플롭(522) 및 인버터(523)를 포함할 수 있다.
- [0060] 플립플롭(522)은 슈프트 신호(EN\_SFT)가 활성화되면 피드백 신호(FB2)를 래치한 신호를 보정 제어 신호(PLS\_CB)의 라이징 엣지에 따라 제 2 듀티 보정 클럭 신호(CLKB\_DT)로서 출력할 수 있다.
- [0061] 인버터(523)는 제 2 듀티 보정 클럭 신호(CLKB\_DT)를 반전시켜 피드백 신호(FB2)로서 플립플롭(522)에 제공할 수 있다.
- [0062] 이와 같이 구성된 본 발명의 실시예에 따른 듀티 보정 회로(100)의 듀티 보정 동작을 도 5 및 도 6을 참조하여 설명하기로 한다.
- [0063] 먼저, 도 5와 같이, 제 1 차동 클럭 신호(CLK)의 듀티 비 차이 즉, 하이 레벨 구간과 로우 레벨 구간의 차이가 제 1 차동 클럭 신호(CLK)의 주기의 50% 이하인 경우의 듀티 보상 동작을 설명하기로 한다.
- [0064] 인에이블 신호(EN)가 하이 레벨로 활성화되면, 인에이블 신호(EN)를 제 2 차동 클럭 신호(CLKB)로 샘플링하여 제 1 인에이블 제어 신호(EN\_CLK)를 생성하고, 제 1 인에이블 제어 신호(EN\_CLK)를 제 1 차동 클럭 신호(CLK)로 다시 샘플링하여 제 2 인에이블 제어 신호(EN\_CLKB)를 생성한다.
- [0065] 제 1 인에이블 제어 신호(EN\_CLK)가 하이 레벨로 활성화된 구간 동안, 제 1 차동 클럭 신호(CLK)의 라이징 엣지 정보를 갖는 제 1 예비 듀티 보정 제어 신호(PLS\_CLK)를 생성한다.
- [0066] 제 2 인에이블 제어 신호(EN\_CLKB)가 하이 레벨로 활성화된 구간 동안, 제 2 차동 클럭 신호(CLKB)의 라이징 엣지 정보를 갖는 제 2 예비 듀티 보정 제어 신호(PLS\_CLKB)를 생성한다.
- [0067] 제 1 예비 듀티 보정 제어 신호(PLS\_CLK)와 제 2 예비 듀티 보정 제어 신호(PLS\_CLKB)를 논리합하여 듀티 보정 제어 신호(PLS\_CB)를 생성한다.
- [0068] 듀티 보정 제어 신호(PLS\_CB)의 첫 번째 라이징 엣지부터 라이징 엣지가 발생할 때마다 제 1 듀티 보정 클럭 신호(CLK\_DT)를 천이시키고, 듀티 보정 제어 신호(PLS\_CB)의 두 번째 라이징 엣지부터 라이징 엣지가 발생할 때마다 제 2 듀티 보정 클럭 신호(CLKB\_DT)를 천이시킨다.
- [0069] 제 1 차동 클럭 신호(CLK)와 제 2 차동 클럭 신호(CLKB)의 위상차는 제 1 차동 클럭 신호(CLK)의 반주기에 해당

한다.

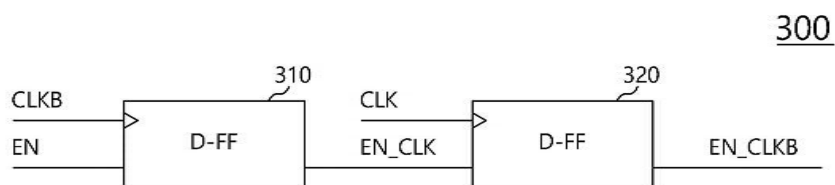
- [0070] 제 1 예비 듀티 보정 제어 신호(PLS\_CLK)는 제 1 차동 클럭 신호(CLK)의 라이징 엣지를 기준으로 만들어진 신호이고, 제 2 예비 듀티 보정 제어 신호(PLS\_CLKB)는 제 2 차동 클럭 신호(CLKB)의 라이징 엣지를 기준으로 만들어진 신호이므로 제 1 예비 듀티 보정 제어 신호(PLS\_CLK)와 제 2 예비 듀티 보정 제어 신호(PLS\_CLKB)의 위상 차도 제 1 차동 클럭 신호(CLK)의 반주기에 해당한다.
- [0071] 듀티 보정 제어 신호(PLS\_CB)는 제 1 예비 듀티 보정 제어 신호(PLS\_CLK)와 제 2 예비 듀티 보정 제어 신호(PLS\_CLKB)를 논리합하여 만들어진 신호이므로, 듀티 보정 제어 신호(PLS\_CB)는 제 1 차동 클럭 신호(CLK)의 반주기마다 펄스가 생성되는 신호이다.
- [0072] 따라서 일정한 듀티 비 즉, 50:50의 듀티 비를 갖는 제 1 듀티 보정 클럭 신호(CLK\_DT) 및 제 2 듀티 보정 클럭 신호(CLKB\_DT)를 생성할 수 있다.
- [0073] 도 6은 제 1 차동 클럭 신호(CLK)의 듀티 비 차이 즉, 하이 레벨 구간과 로우 레벨 구간의 차이가 제 1 차동 클럭 신호(CLK)의 주기의 50% 이상인 경우의 듀티 보상 동작을 나타낸 타이밍도이다.
- [0074] 본 발명의 실시예는 도 5를 참조하여 설명한 바와 같이, 서로 반대 위상을 갖는 입력 신호 즉, 제 1 차동 클럭 신호(CLK)와 제 2 차동 클럭 신호(CLKB)의 엣지 정보 즉, 라이징 엣지 정보만을 이용하는 방식이므로 입력 신호의 듀티 비 차이에 무관하게 듀티 보정 동작을 수행할 수 있다. 즉, 듀티 보상 가능 범위가 넓다.
- [0075] 도 6에 따른 듀티 보상 동작은 도 5와 동일한 방식으로 이루어질 수 있으며, 도 5와 마찬가지로 일정한 듀티 비 즉, 50:50의 듀티 비를 갖는 제 1 듀티 보정 클럭 신호(CLK\_DT) 및 제 2 듀티 보정 클럭 신호(CLKB\_DT)가 생성되는 것을 확인할 수 있다.
- [0076] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

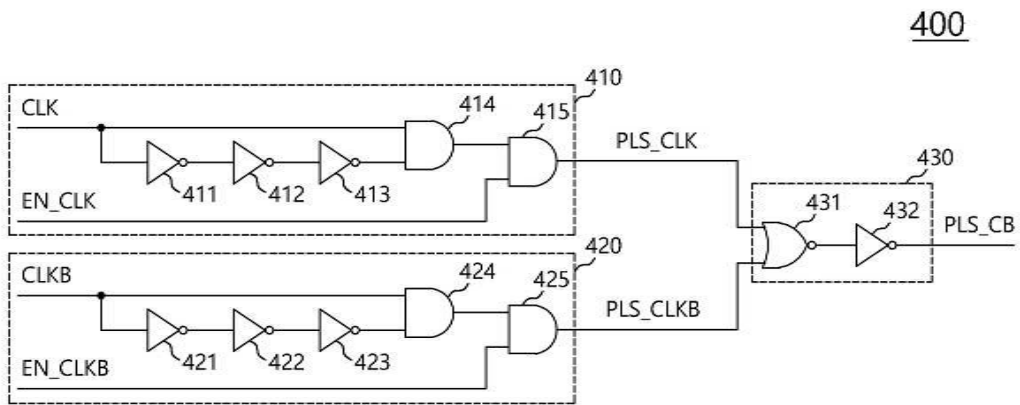
도면1



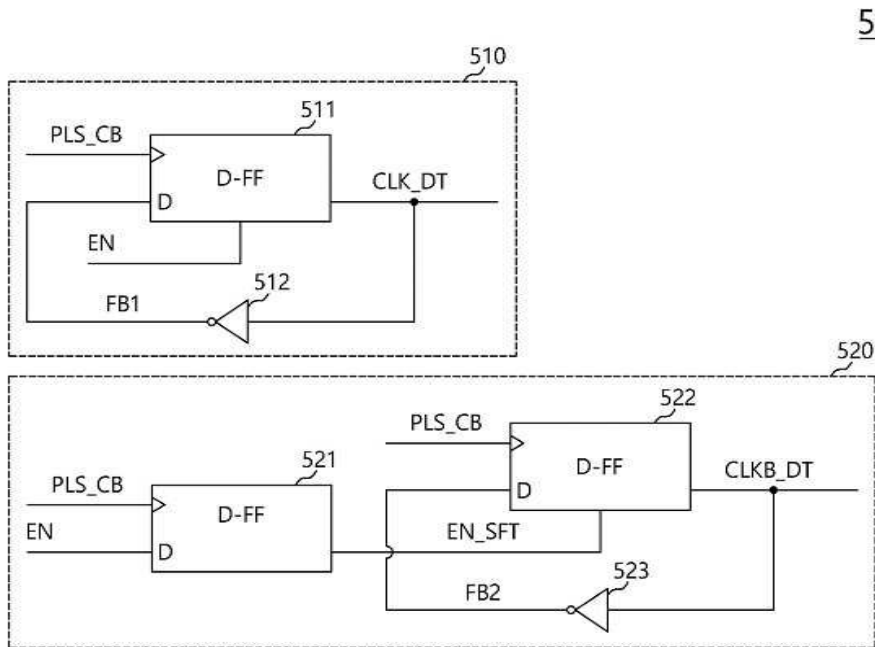
도면2



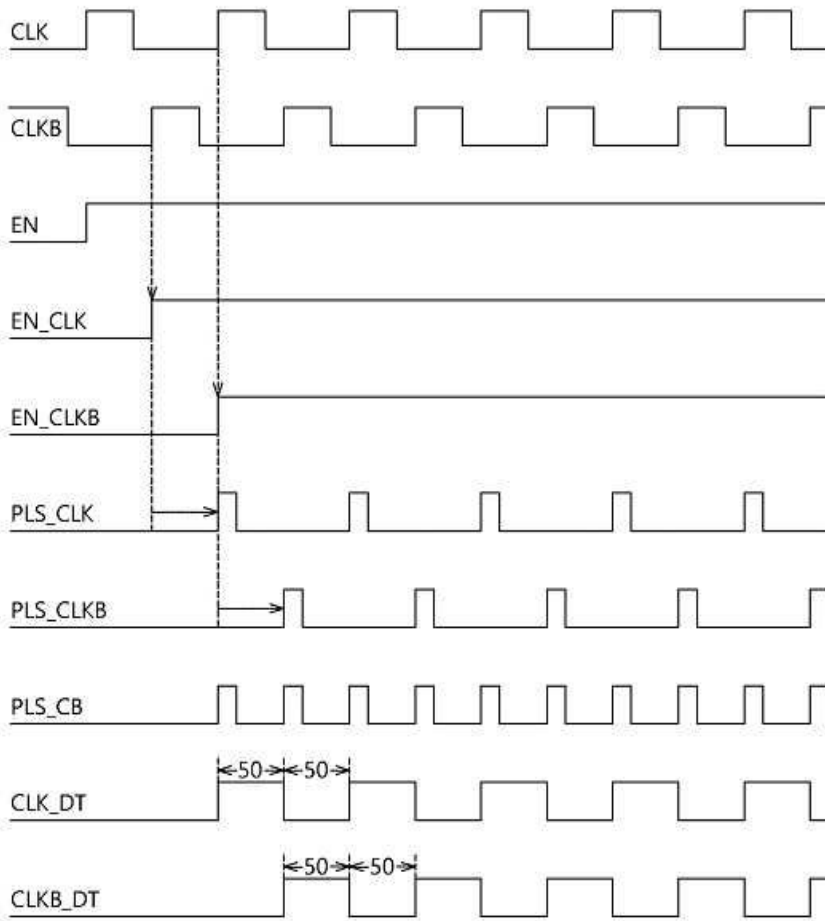
도면3



도면4



도면5



도면6

