

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6129777号  
(P6129777)

(45) 発行日 平成29年5月17日(2017.5.17)

(24) 登録日 平成29年4月21日(2017.4.21)

(51) Int. Cl.	F 1		
<b>B 4 1 J</b> 2/447 (2006.01)	B 4 1 J	2/447	1 0 1 A
<b>B 4 1 J</b> 2/45 (2006.01)	B 4 1 J	2/45	
<b>G 0 3 G</b> 15/04 (2006.01)	G 0 3 G	15/04	1 1 1
<b>H 0 4 N</b> 1/036 (2006.01)	H 0 4 N	1/036	A

請求項の数 7 (全 17 頁)

(21) 出願番号	特願2014-72759 (P2014-72759)	(73) 特許権者	591044164 株式会社沖データ 東京都港区芝浦四丁目11番22号
(22) 出願日	平成26年3月31日(2014.3.31)	(74) 代理人	100180275 弁理士 吉田 倫太郎
(65) 公開番号	特開2015-193169 (P2015-193169A)	(74) 代理人	100161861 弁理士 若林 裕介
(43) 公開日	平成27年11月5日(2015.11.5)	(74) 代理人	100090620 弁理士 工藤 宣幸
審査請求日	平成28年6月15日(2016.6.15)	(72) 発明者	兼藤 大志 東京都港区芝浦四丁目11番22号 株式 会社沖データ内
		(72) 発明者	鈴木 貴人 東京都港区芝浦四丁目11番22号 株式 会社沖データ内

最終頁に続く

(54) 【発明の名称】 半導体装置、半導体装置の製造方法、プリントヘッド、及び画像形成装置

(57) 【特許請求の範囲】

【請求項1】

複数の発光部が並べて形成された半導体薄膜層を備え、前記発光部が並べられた配列方向を主走査方向として発光させられる発光素子アレイにおいて、

隣接し合う発光部は主走査方向に直行する副走査方向に所定量ずれた位置に形成され、前記半導体薄膜層の副走査方向の端部の形状が、前記発光部の副走査方向の配置パターンに沿った形状となっている

ことを特徴とする発光素子アレイ。

【請求項2】

前記発光部は、所定個数単位で主走査方向に対する傾斜線の繰り返しで形成される鋸歯状のパターン又は段形状のパターンで配列され、

前記半導体薄膜層の外形は、前記鋸歯状のパターン又は前記段形状のパターンに沿った形状となっている

ことを特徴とする請求項1に記載の発光素子アレイ。

【請求項3】

前記発光部は、主走査方向に対する傾斜線上に形成され、

前記半導体薄膜層の外形は、前記傾斜線に平行な2辺を含む平行四辺形の形状となっている

ことを特徴とする請求項1に記載の発光素子アレイ。

【請求項4】

10

20

1又は複数の発光素子アレイを、前記発光素子アレイを駆動する集積回路の表面に貼り付けて構成した半導体装置において、前記発光素子アレイとして請求項1～3のいずれかに記載の発光素子アレイを適用したことを特徴とする半導体装置。

【請求項5】

1又は複数の発光素子アレイと、前記発光素子アレイを駆動する集積回路とを備える半導体装置の製造方法において、

半導体材料基板上に形成された請求項1～3のいずれかに記載の発光素子アレイを剥離する工程と、

剥離した前記発光素子アレイを、前記集積回路の表面に貼りつける工程と

を含むことを特徴とする半導体装置の製造方法。

10

【請求項6】

複数の発光素子が形成された半導体装置を備えるプリントヘッドにおいて、前記半導体装置として請求項4に記載の半導体装置を適用したことを特徴とするプリントヘッド。

【請求項7】

静電潜像を担持する静電潜像担持体と、前記静電潜像担持体の表面を露光して前記静電潜像担持体の表面に静電潜像を形成するプリントヘッドと、前記静電潜像担持体の表面に形成された静電潜像を現像する現像手段と、前記静電潜像担持体の表面に現像された画像を媒体に転写する転写手段とを備える画像形成装置において、前記プリントヘッドとして請求項6に記載のプリントヘッドを適用したことを特徴とする画像形成装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

この発明は、半導体装置、半導体装置の製造方法、プリントヘッド、及び画像形成装置に関し、例えば、電子写真式のプリンタ等の画像形成装置に適用し得る。

【背景技術】

【0002】

従来、発光機能に対応する半導体装置としては、特許文献1に記載されたものが存在する。特許文献1に記載された光半導体装置は、電極端子を備えた集積回路を持つ半導体集積回路基板と、光半導体素子アレイチップを半導体集積回路基板にボンディングしたうえで、双方をワイヤで接続することにより駆動する。

30

【0003】

従来、半導体装置では、光半導体素子アレイチップと半導体集積回路基板の間を接続するワイヤをボンディングするためのパッドが必要となり、光半導体素子アレイチップおよび半導体集積回路基板の大きさを低減することは困難であった。これに対して、特許文献1では、半導体集積回路基板表面に設けられた平坦化領域に1個ないし複数個の光半導体素子を含む半導体薄膜層をボンディングし、集積回路の電極端子と光半導体素子を半導体フォトリソグラフィで配線している。これにより、特許文献1に記載半導体装置では、ワイヤボンディングのためのパッドの領域を削除し、チップ幅を低減し、光半導体素子材料（例えば、GaAsやAlGaAs）を有効に利用している。その結果、特許文献1の半導体装置では、製造コストを低減できる。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2004-207323号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、半導体素子材料（例えば、GaAsやAlGaAs等）は高コストであり、一定面積の光半導体素子材料からより多くの半導体薄膜層を取得し、光半導体素子材料を効率的に利用することが求められる。

50

## 【0006】

そのため、より低コストで製造することができる半導体装置、半導体装置の製造方法、プリントヘッド、及び画像形成装置が望まれている。

## 【課題を解決するための手段】

## 【0007】

第1の本発明の発光素子アレイは、(1)複数の発光部が並べて形成された半導体薄膜層を備え、前記発光部が並べられた配列方向を主走査方向として発光させられる発光素子アレイにおいて、(2)隣接し合う発光部は主走査方向に直行する副走査方向に所定量ずれた位置に形成され、(3)前記半導体薄膜層の副走査方向の端部の形状が、前記発光部の副走査方向の配置パターンに沿った形状となっていることを特徴とする。

10

## 【0008】

第2の本発明は、1又は複数の発光素子アレイを、前記発光素子アレイを駆動する集積回路の表面に貼り付けて構成した半導体装置において、前記発光素子アレイとして第1の本発明の記載の発光素子アレイを適用したことを特徴とする。

## 【0009】

第3の本発明は、1又は複数の発光素子アレイと、前記発光素子アレイを駆動する集積回路とを備える半導体装置の製造方法において、(1)半導体材料基板上に形成された第1の本発明の記載の発光素子アレイを剥離する工程と、(2)剥離した前記発光素子アレイを、前記集積回路の表面に貼りつける工程とを含むことを特徴とする。

## 【0010】

第4の本発明は、複数の発光素子が形成された半導体装置を備えるプリントヘッドにおいて、前記半導体装置として請求項4に記載の半導体装置を適用したことを特徴とする。

20

## 【0011】

第5の本発明は、静電潜像を担持する静電潜像担持体と、前記静電潜像担持体の表面を露光して前記静電潜像担持体の表面に静電潜像を形成するプリントヘッドと、前記静電潜像担持体の表面に形成された静電潜像を現像する現像手段と、前記静電潜像担持体の表面に現像された画像を媒体に転写する転写手段とを備える画像形成装置において、前記プリントヘッドとして第4の本発明のプリントヘッドを適用したことを特徴とする。

## 【発明の効果】

## 【0012】

本発明によれば、画像形成装置を構成するプリントヘッドの光源として用いられる半導体装置を、より効率的に製造することができる。

30

## 【図面の簡単な説明】

## 【0013】

【図1】第1の実施形態に係る複合素子チップの平面図である。

【図2】第1の実施形態に係るプリンタの概略断面図である。

【図3】第1の実施形態に係るプリントヘッドの斜視図である。

【図4】第1の実施形態に係るプリントヘッドを切断した状態で示す斜視図である。

【図5】第1の実施形態に係る半導体素子アレイの構成について示した説明図である。

【図6】第1の実施形態に係る半導体薄膜層(半導体素子アレイ)が半導体材料基板上に形成された状態で示す平面図である。

40

【図7】第1の実施形態に係る半導体素子アレイを矩形の半導体薄膜層として形成した場合の例について示した説明図(半導体材料基板の平面図)である。

【図8】第2の実施形態に係る複合素子チップの平面図である。

【図9】第2の実施形態に係る半導体薄膜層(半導体素子アレイ)が半導体材料基板上に形成された状態で示す平面図である。

【図10】第2の実施形態の効果について示した説明図である。

【図11】第2の実施形態に係る半導体素子アレイを半導体材料基板上で、一直線となるように並べた場合の例について示した説明図(半導体材料基板の平面図)である。

【図12】第1の実施形態の変形例に係る複合素子チップの平面図(その1)である。

50

【図 1 3】第 2 の実施形態の変形例に係る複合素子チップの平面図である。

【図 1 4】第 1 の実施形態の変形例に係る複合素子チップの平面図（その 2）である。

【発明を実施するための形態】

【0014】

(A) 第 1 の実施形態

以下、本発明による半導体装置、半導体装置の製造方法、プリントヘッド、及び画像形成装置の第 1 の実施形態を、図面を参照しながら詳述する。なお、以下では、本発明の半導体装置及びプリントヘッドを、複合素子チップ及び光プリントヘッドに適用した例について説明する。

【0015】

10

(A-1) 第 1 の実施形態の構成

図 2 は、第 1 の実施形態のプリンタの概略断面図である。

【0016】

LED プリンタ 301 は、発光素子を有する光プリントヘッドを用いた電子写真式プリンタである。

【0017】

LED プリンタ 301 は、イエロー (Y)、マゼンタ (M)、シアン (C)、およびブラック (K) の各色の画像を、電子写真方式を用いて形成する 4 つのプロセスユニット 302 ~ 305 を有している。プロセスユニット 302 ~ 305 は、記録媒体 306 の搬送経路 307 に沿ってタンデムに配置されている。

20

【0018】

各プロセスユニット 302 ~ 305 は、静電潜像担持体としての感光体ドラム 308 とこの感光体ドラム 308 の周囲に配置され、感光体ドラム 308 の表面を帯電させる帯電装置 309 と、帯電された感光体ドラム 308 の表面に選択的に光を照射して静電潜像を形成する露光装置 310 とを有している。

【0019】

この露光装置 310 は、光プリントヘッド 110 を光源として有している。光プリントヘッド 110 の構成詳細については後述する。

【0020】

また、LED プリンタ 301 は、静電潜像が形成された感光体ドラム 308 の表面にトナーを搬送する現像手段としての現像装置 311 と、感光体ドラム 308 の表面に残留したトナーを除去するクリーニング装置 312 とを有している。なお、感光体ドラム 308 は図示されていない駆動源およびギヤ等からなる駆動機構によって矢印方向に回転する。また、LED プリンタ 301 は印刷用紙等の記録媒体 306 を収納する用紙カセット 313 と、記録媒体 306 を 1 枚ずつ分離させ搬送するためのホッピングローラ 314 とを有している。ホッピングローラ 314 の記録媒体 306 搬送方向下流には、ピンチローラ 315、316 と、記録媒体 306 を挟み付け、ピンチローラ 315、316 とともに記録媒体 306 の斜行を修正してプロセスユニット 302 ~ 305 に搬送するレジストローラ 317、318 が備えられている。ホッピングローラ 314 およびレジストローラ 317、318 は、図示しない駆動源に連動して回転する。

30

40

【0021】

LED プリンタ 301 は、感光体ドラム 308 に対向配置された転写手段としての転写ローラ 319 を有している。転写ローラ 319 は、半導電性のゴム等から構成されている。感光体ドラム 308 上のトナー像を記録媒体 306 上に転写させるように、感光体ドラム 308 の電位と転写ローラ 319 の電位が設定されている。また、画像形成装置は、記録媒体 306 を排出するための排出口ローラ 320、321、322、323 が備えられている。

【0022】

用紙カセット 313 に積載された記録媒体 306 はホッピングローラ 314 により 1 枚ずつ分離され搬送される。記録媒体 306 は、レジストローラ 317、318 およびピン

50

チローラ315、316を通過してプロセスユニット302～305の順に通過する。各プロセスユニット302～305において、記録媒体306は、感光体ドラム308と転写ローラ319の間を通過して、各色のトナー像が順に転写され、定着装置(324)によって加熱および加圧されて各色のトナー像が記録媒体306に定着される。その後、記録媒体306は、排出口ローラ320、321、322、323によってスタッカ325に排出される。

#### 【0023】

次に、光プリントヘッド110(複合素子チップ500を含む)の詳細構成について説明する。

#### 【0024】

図3は、光プリントヘッド110の外観の斜視図である。また、図4は、光プリントヘッド110を切断した場合(図3のA-A'線で切断した場合)の斜視図(光プリントヘッド110の側断面を含む斜視図)である。図1は、光プリントヘッド110を構成する複合素子チップ500の平面図である。

#### 【0025】

光プリントヘッド110は、複数の発光素子103が並べて形成された複合素子チップ500が付けられたプリント配線基板800、複合素子チップ500の各発光素子103から発光された光を導光するロッドレンズアレイ108、及びフレーム109を有している。

#### 【0026】

以下では、図1に示すように、複合素子チップ500の長手方向(光プリントヘッド110の長手方向;光を照射する感光体ドラム308の幅方向と平行となる方向)を「主走査方向X」又は「左右方向」と呼び、複合素子チップ500の短手方向(光プリントヘッド110の短手方向;光を照射する感光体ドラム308の回転方向と平行となる方向)を「副走査方向Y」又は「上下方向」と呼ぶものとする。なお、主走査方向X及び副走査方向Yの定義については、以下で説明する図面でも同様とする。

#### 【0027】

光プリントヘッド110では、プリント配線基板800上に、複数の複合素子チップ500が主走査方向Xに並べて配置されている。フレーム109は、プリント配線基板800及びロッドレンズアレイ108を把持(保持)し、プリント配線基板800とロッドレンズアレイ108との位置関係が焦点距離となるように固定している。フレーム109は例えばアルミ、構造用鋼、あるいは樹脂とすることができる。また、ロッドレンズアレイ108の列数は図に記載の数に限定されない。

#### 【0028】

複合素子チップ500は、複数の発光素子103が配列して形成された半導体薄膜層104を有している。そして、複合素子チップ500では、半導体薄膜層104に形成された各発光素子103が半導体集積回路基板101上にダイボンディングされている。なお、以下では、複数の発光素子103が形成された半導体薄膜層104(半導体薄膜層104上に配列して形成された複数の発光素子103)を発光素子アレイ600とも呼ぶものとする。

#### 【0029】

半導体集積回路基板101の表面(半導体薄膜層104が付けられる面)には、それ自体が平坦化された領域を備える平坦化膜102が付けられている。平坦化膜102は、例えば、イミド樹脂・アクリル樹脂などの樹脂材料、Siの窒化物・Siの酸化物ないしAu・Au系合金などの金属、又はこれらの材料の組合せによって形成するようにしてもよい。すなわち、半導体集積回路基板101の板面には、下から平坦化膜102、半導体薄膜層104の順序で積層された状態となっている。

#### 【0030】

また、複合素子チップ500は、発光素子103を半導体集積回路基板101上で形成してから、それを含む半導体薄膜層104を剥離して、半導体集積回路基板101表面へ

10

20

30

40

50

ボンディングを行ったものでも、半導体薄膜層 104 を剥離して、半導体集積回路基板 101 表面へボンディングを行ってから発光素子 103 が形成されたものでも良い。

【0031】

半導体薄膜層 104 上に形成されている各発光素子 103 と半導体集積回路基板表面の電極端子 105 とは、フォトリソグラフィ・ウェットないしドライエッチング・薄膜絶縁膜ないし導電膜成膜などのウエハプロセスを経て、配線 106 で接続されている。そして、各発光素子 103 は、半導体集積回路基板 101 (基盤上に配置された図示しない半導体集積回路) により駆動される状態である。

【0032】

第 1 の実施形態において、1 つの半導体薄膜層 104 には、1 つの複合素子チップ 500 を構成する全ての発光素子 103 (発光素子セット 700) が含まれている。

【0033】

図 1 に示すように、半導体薄膜層 104 上に形成された発光素子アレイ 600 では、4 つの発光素子 103 を 1 つの組として、副走査方向 Y の位置が等間隔でずれている。

【0034】

以下では、上述の 4 つの 4 つの発光素子 103 により構成される組 (セット) を、発光素子セット 700 と呼ぶものとする。なお、1 つの発光素子セット 700 に含まれる発光素子 103 の数は 4 つに限定されないものである。

【0035】

図 1 では、図 1 の左側から順に発光素子セット 700 を構成する発光素子 103 - 1 ~ 103 - 4 が並べて配置されている。また、図 1 では、左端の発光素子 103 - 1 が最も下側に配置されており、右端の発光素子 103 - 4 が最も上側に配置されている。さらに、図 1 では、発光素子セット 700 の左右両端の発光素子 103 - 1、103 - 4 の間で、主走査方向 X の位置が L4 ずれている。さらにまた、発光素子 103 - 1、103 - 4 の間の発光素子 103 - 2、103 - 3 は、発光素子 103 - 1 と発光素子 103 - 4 を結んだ線上に配置されている。すなわち、発光素子 103 - 1 ~ 103 - 4 は、それぞれ主走査方向 X 及び副走査方向 Y で等間隔に配置されていることになる。言い換えると、発光素子 103 - 1 ~ 103 - 4 は、主走査方向 X に対して傾斜した傾斜線上に配置されていると言える。

【0036】

以上、図 1 に示すように、半導体薄膜層 104 には、4 つの発光素子 103 を 1 つの組 (発光素子セット 700) としてパターンが並べて配置・形成されている。これは、発光素子アレイ 600 の各発光素子 103 を駆動させて、感光体ドラム 308 を照射する際に全ての発光素子 103 が同時に発光すると、瞬間的に大きな出力負荷が発生するため、各発光素子セット 700 の 4 つの発光素子 103 を時間差で逐次発光させることで、同時に発生する出力負荷を抑えるための構成である。

【0037】

なお、半導体薄膜層 104 上に形成される発光素子アレイ 600 (発光素子 103) のパターンは限定されないものであるが、以下では、図 1 のパターンが適用される例について説明する。

【0038】

そして、半導体薄膜層 104 の形状は、発光素子アレイ 600 (発光素子 103) の配置パターンに沿った形状となっている。具体的には、図 1 及び図 5 に示すように、半導体薄膜層 104 の副走査方向 Y の両端の端部 (上端及び下端) の形状は、発光素子 103 の副走査方向 Y の配置に応じた形状となっている。言い換えると、半導体薄膜層 104 の副走査方向 Y の両端の端部 (上端及び下端) の形状は、各発光素子セット 700 の発光素子 103 が配置された傾斜線と平行の傾斜線により形成されている。

【0039】

例えば、図 5 に示すように、半導体薄膜層 104 で発光素子 103 の端子 103 a が配置されている位置の副走査方向 Y の寸法 (幅) は全て L3 となっているものとする。こ

10

20

30

40

50

では、図1、図5に示すように、発光素子103の端子103aが矩形の板形状であるものとする。

#### 【0040】

以下では、図5に示すように、各端子103aの副走査方向Yの幅をL3aと呼ぶものとする。また、図5に示すように、各端子103aの上端から半導体薄膜層104の上端までの幅（最短の幅）、下端までの幅を、それぞれL3b、L3cと呼ぶものとする。そして、半導体薄膜層104において、全ての発光素子103（端子103a）に係るL3a、L3b、L3cは一定であるものとする。なお、実際には、半導体薄膜層104を形成する上で、各寸法には誤差が生じる場合があるが、L3a、L3b、L3c等の各寸法は設計上の寸法であるものとして説明する。

10

#### 【0041】

すなわち、半導体薄膜層104において、全ての発光素子103（端子103a）に係るL3a、L3b、L3cを一定とすれば、図1に示すように、半導体薄膜層104の副走査方向Yの両端の端部（上端及び下端）の形状は、発光素子103の副走査方向Yの配置に応じた形状となる。上述の通り、半導体薄膜層104では、4つの発光素子103が1つの発光素子セット700として形成され、1つの発光素子セット700を構成する発光素子103の位置（端子103aの中心点の位置）は副走査方向Yで等間隔にずれている。その結果、図1に示すように、各発光素子セット700の発光素子103が配置された領域で、両端（主走査方向Xの両端）の発光素子103-1、103-4を結ぶ線と、半導体薄膜層104の端部で形成される線が平行となる。このように、半導体薄膜層104の上端及び下端の形状（副走査方向Yの端部の形状）は、発光素子アレイ600を構成する発光素子103の配置パターンに沿った形状となる。言い換えると、半導体薄膜層104の外形（副走査方向Yの端部の形状）は、発光素子103の配列にあわせ、主走査方向Xに対して傾斜、屈曲ないし歪曲した千鳥状（鋸歯状）となっている。

20

#### 【0042】

（A-2）第1の実施形態の動作

次に、以上のような構成を有する第1の実施形態の複合素子チップ500の製造方法（実施形態の半導体装置の製造方法）について説明する。

#### 【0043】

図6は、半導体材料基板107の表面上に複数の半導体薄膜層104が形成された状態の半導体材料基板107の平面図である。

30

#### 【0044】

図6では、半導体薄膜層104の表面上で、副走査方向Yの寸法がL2の矩形の領域Dに複数の半導体薄膜層104が形成された状態について示す説明図である。なお、領域Dの主走査方向Xの寸法は、1つの半導体薄膜層104（複合素子チップ500）の幅であるものとする。すなわち、図6では領域Dの中で、副走査方向Yに複数並べて形成された状態となっている。

#### 【0045】

実際には、半導体材料基板107の形状は限定されないものであるが、ここでは、説明を簡易とするため、矩形の領域D内に、効率的に複合素子チップ500を構成する半導体薄膜層104を形成する方法を具定例として説明する。各半導体薄膜層104の組成自体（半導体薄膜層104の形状や発光素子103の位置以外の構成）は、種々の光発光素子（LEDや発光サイリスタ）等と同様の構成を適用できるため詳しい説明については省略する。

40

#### 【0046】

この実施形態の複合素子チップ500は、図6に示すように半導体材料基板107上に形成された半導体薄膜層104を選択的に剥離して、半導体集積回路基板101（平坦化膜102）上に載置してボンディングすることにより製造することができる。

#### 【0047】

半導体材料基板107上に形成された半導体薄膜層104を選択的に剥離する工程や、

50

剥離した半導体薄膜層 104 を半導体集積回路基板 101 (平坦化膜 102) に載置して貼付ける (ボンディングする) 工程については種々の半導体組み立て装置を用いて実現することができるため詳しい説明を省略する。

【0048】

図6では、領域D内に、図1に示す上下の端部 (副走査方向Yの端部) が発光素子アレイ600の配置パターンに沿って千鳥状 (鋸歯状) に形成された半導体薄膜層104が、上下方向 (副走査方向Y) に6個並べて形成された状態について示している。また、図6に示す各半導体薄膜層104には、発光素子アレイ600が形成されている。

【0049】

図6に示すように、領域D内に形成された状態で各半導体薄膜層104の副走査方向Yの寸法 (最も上端の部分から最も下端の部分までの寸法) はL1となっている。そして、領域D内で隣接する半導体薄膜層104同士は、千鳥状 (鋸歯状) の端部の形状が相互に噛み合う形状となっている。そして、図6に示すように、領域D内で隣接する半導体薄膜層104の間には、幅の寸法がL5の溝部107aが形成されている。

【0050】

以上のように、領域D内では隣接する半導体薄膜層104同士は幅の寸法がL5の溝部107aを隔てて、千鳥状 (鋸歯状) の端部の形状が相互に噛み合う位置に配置されている。

【0051】

次に、L1~L5の各寸法として好適な範囲について説明する。なお、以下では、光プリントヘッド110を、主走査方向Xに600dpi~1200dpiの解像度で露光可能とする場合の例について説明する。

【0052】

光プリントヘッド110を、主走査方向Xに600dpiや1200dpiの解像度で露光可能とする場合、1つの発光素子103に必要な副走査方向Yの幅 (端子103aを中心とする幅) は、30μmから50μm程度である。

【0053】

上述の通り、半導体材料基板107から半導体薄膜層104を選択的に剥離して、半導体集積回路基板101表面にボンディングするとき機械的な手段を用いるが、一般的な装置の機械送り精度は数μm程度である。よって、十分な工程歩留りを確保したうえで選択的に半導体薄膜層104を剥離するためには、隣接する半導体薄膜層104間の溝部107a部の幅L5は、その剥離に係る精度 (最大のずれ幅) 以上離しておくことが望ましい。

【0054】

また、光プリントヘッド110を、主走査方向Xに600dpiや1200dpiの解像度で露光可能とする場合、LEDプリンタ301において、紙送り速度・プリントヘッドによる書き込み速度の観点から、各発光素子セット700の発光素子103 (4つの発光素子103) で左右両端の発光素子103の主走査方向Xのずれ幅L4は、数μmから10μm程度であることが望ましい。

【0055】

以上の条件を鑑みて、以下では、領域Dの副走査方向Yの寸法L2を300μm、1つの発光素子103で必要となる副走査方向Yの寸法L3を45μm、各発光素子セット700の発光素子103 (4つの発光素子103) で左右両端の発光素子103の主走査方向Xのずれ幅L4を10μm、隣接する半導体薄膜層104の間の溝部107aの幅を5μmとする場合の例について説明する。このとき、領域D内に形成された状態での各半導体薄膜層104の副走査方向Yの寸法L1は、 $L3 + L4 = 45 + 10 = 55 \mu\text{m}$ となる。さらに、以下では、発光素子103に係るL3を構成する上述のL3aは10μmであり、Lb、Lcはいずれも17.5μmであるものとする。

【0056】

図6に示すように、領域D (半導体材料基板107) に形成された状態の各半導体薄膜

10

20

30

40

50



層104の副走査方向Yの寸法L1は55 $\mu$ mであるため、単純に複数の半導体薄膜層104をL5(5 $\mu$ m)の間隔を開けて領域D内に並べると、その最大数は5個( $L2 / (L1 + L5) = 300 / 60 = 5$ )となる。しかし、図6に示すように、領域D内で隣接する半導体薄膜層104同士で千鳥状(鋸歯状)の端部の形状が相互に噛み合うように配置(幅L5の溝部107aを隔てて配置)することにより、領域Dで無駄な領域(発光素子103としての機能に不要な領域)が減ることになる。その結果、領域D内には、図6に示すように、6個( $L2 / (L3 + L5) = 300 / (45 + 5) = 6$ )の半導体薄膜層104を形成することが可能となる。

【0057】

(A-3)第1の実施形態の効果

10

第1の実施形態によれば、以下のような効果を奏することができる。

【0058】

第1の実施形態では、半導体薄膜層104の形状を、発光素子アレイ600(発光素子103)の配置パターンに沿った形状とし、さらに、半導体材料基板107上で隣接する半導体薄膜層104同士で千鳥状(鋸歯状)の端部の形状が相互に噛み合うように配置している。これにより、第1の実施形態では、半導体材料基板107から、より多くの半導体薄膜層104を得ることで、複合素子チップ500の製造コストを低減することができる。

【0059】

次に、半導体薄膜層104の外形を単純な矩形とした場合の例について図7を用いて説明する。図7は、半導体材料基板107の表面上の領域D内に、矩形の半導体薄膜層104が形成された状態について示す平面図である。

20

【0060】

図7に示すように、半導体薄膜層104を矩形とした場合、半導体薄膜層104の副走査方向Yの寸法は図1、図6の例と同様にL1分必要となる。また、図7の例では、各半導体薄膜層104の間には、幅がL5の溝部107aが設けられている。図7に示す例では、半導体薄膜層104の上端及び下端の形状は直線状であり、上述の図1、図6の例のように隣接する半導体薄膜層104同士で噛み合う形状でないため、上述の図1、図6の例のように、半導体材料基板107の面積を節約することはできない。すなわち、図7の例では、半導体薄膜層104上に発光素子103の機能上不要な領域(例えば、発光素子セット700の左端の発光素子103-1の上方向の領域等)が生じることになる。

30

【0061】

また、第1の実施形態では、発光素子103のそれぞれに付随する半導体薄膜層104の冗長構造を同一にできる。そのため、第1の実施形態では、個々の発光素子103の電気特性・光学特性の差が生じる要因を低減することができる。

【0062】

(B)第2の実施形態

以下、本発明による半導体装置、半導体装置の製造方法、プリントヘッド、及び画像形成装置の第1の実施形態を、図面を参照しながら詳述する。なお、以下では、本発明の半導体装置及びプリントヘッドを、複合素子チップ及び光プリントヘッドに適用した例について説明する。

40

【0063】

(B-1)第2の実施形態の構成

以下では、第2の実施形態のLEDプリンタ301及び複合素子チップ500について、第1の実施形態との差異のみを説明する。

【0064】

第2の実施形態のLEDプリンタ301では、複合素子チップ500を構成する半導体薄膜層104の形状及び製造方法が異なっている。

【0065】

第1の実施形態の各半導体薄膜層104には、1つの複合素子チップ500を構成する

50

全ての発光素子103（発光素子セット700）が含まれる構成となっていたが、第2の実施形態では、1つの複合素子チップ500を構成する発光素子103（発光素子セット700）が、複数の半導体薄膜層104に分割して形成されている点で第1の実施形態で異なっている。言い換えると、第2の実施形態の半導体薄膜層104は、半導体材料基板107上の領域D内で、主走査方向Xで複数に分割されている点で第1の実施形態と異なっている。また、第1の実施形態では、複合素子チップ500内の発光素子103全てを1つの半導体薄膜層104で包含するのに対して、第2の実施形態では、複数の半導体薄膜層104に分割して包含している。なお、第2の実施形態において、1つの複合素子チップ500内で、各半導体薄膜層104のそれぞれが包含する発光素子103は回数には限定しない。

10

**【0066】**

この実施形態では、図8に示すように、1つの半導体薄膜層104には、1つの発光素子セット700（4つの発光素子103-1~103-4）が配置されているものとして説明する。言い換えると、第2の実施形態では、発光素子セット700ごとに半導体薄膜層104が分割（分離）されている。

**【0067】**

（B-2）第2の実施形態の動作

次に、以上のような構成を有する第2の実施形態の複合素子チップ500の製造方法（実施形態の半導体装置の製造方法）について説明する。

**【0068】**

図9は、半導体材料基板107の表面上に複数の半導体薄膜層104が形成された状態で示す平面図である。

20

**【0069】**

図9では、半導体材料基板107の表面上で、副走査方向Yの寸法がL2の矩形の領域Dに複数の半導体薄膜層104が形成された状態について示す説明図である。

**【0070】**

図9に示す各半導体薄膜層104は、上述の図6に示す半導体薄膜層104を、発光素子セット700の単位で分割した状態について示している。

**【0071】**

図9に示すように、第2の実施形態では、半導体集積回路基板101上に、少なくとも1つの複合素子チップ500を構成する半導体薄膜層104が、主走査方向Xに並べて形成されている。

30

**【0072】**

そのため、半導体材料基板107上に形成された半導体薄膜層104を、その位置関係のまま剥離して半導体集積回路基板101に取り付けることで、複合素子チップ500を製造することができる。言い換えると、第2の実施形態では、半導体材料基板107の表面に、半導体集積回路基板101上と同じ位置関係で半導体薄膜層104が形成されている。

**【0073】**

また、第2の実施形態では、図8、図9に示すように、各半導体薄膜層104の形状は平行四辺形である。そして、少なくとも各半導体薄膜層104を構成する平行四辺形の上下の端部（副走査方向Yの端部）の辺は、いずれも発光素子セット700を構成する発光素子103が配置された傾斜線（主走査方向Xに対する傾斜線）と平行となっている。

40

**【0074】**

なお、第2の実施形態において、上述の寸法L1、L3、L4、L5の好適な範囲は、第1の実施形態と同様であるため詳しい説明を省略する。以下では、第2の実施形態において、光半導体素子1個あたり必要な半導体薄膜層104の副走査方向の幅L3を45μm、発光素子セット700を構成する両端の発光素子103の副走査方向Yのずれ幅L4を10μm、隣接する半導体薄膜層104の間の幅L5を5μmとする例について説明する。

50

## 【 0 0 7 5 】

( B - 3 ) 第 2 の実施形態の効果

第 2 の実施形態によれば、第 1 の実施形態の効果に加えて、以下のような効果を奏することができる。

## 【 0 0 7 6 】

( B - 3 - 1 ) 一般的に、半導体薄膜層 1 0 4 の主走査方向 X の長さに応じて、半導体薄膜層 1 0 4 には主走査方向 X に沿った膜応力が生じる。半導体薄膜層 1 0 4 表面に金属膜をはじめとする導電膜・有機ないし無機絶縁膜が存在する場合は特に膜応力が大きくなる。これによって、半導体薄膜層 1 0 4 の剥がれが生じ、または発光素子 1 0 3 の特性が異なる場合がある。第 2 の実施形態では、1 個の複合素子チップ 5 0 0 内の発光素子 1 0 3 を複数の半導体薄膜層 1 0 4 で分割して包含することによって、半導体薄膜層 1 0 4 の主走査方向 X の寸法を短くし、その膜応力を低減することができる。結果、半導体薄膜層 1 0 4 の剥がれを抑止し、さらに、発光素子 1 0 3 の特性の差が生じる要因を低減することができる。

10

## 【 0 0 7 7 】

( B - 3 - 2 ) 第 2 の実施形態では、半導体薄膜層 1 0 4 の主走査方向 X の長さを短くすることによって、半導体材料基板 1 0 7 から剥離された半導体薄膜層 1 0 4 の主走査方向 X のピッチ長さ ( 隣接する発光素子 1 0 3 間の距離 ) の変化による精度低下等の影響を低減することができる。結果として、第 2 の実施形態では、複合素子チップ 5 0 0 において、発光素子 1 0 3 のピッチの変動を低減ことができ、品質低下 ( 光プリントヘッド 1 1 0 の精度低下 ) を抑止できる。

20

## 【 0 0 7 8 】

図 1 0 は、複合素子チップ 5 0 0 において、半導体薄膜層 1 0 4 のピッチの長さの変動に伴う精度低下を抑止することができることを説明するための説明図である。図 1 0 ( a ) は、第 1 の実施形態の複合素子チップ 5 0 0 の一部を拡大して示す平面図である。図 1 0 ( b ) は、第 2 の実施形態の複合素子チップ 5 0 0 の一部を拡大して示す平面図である。

## 【 0 0 7 9 】

図 1 0 ( a )、図 1 0 ( b ) では、それぞれ第 1、第 2 の実施形態で隣接する半導体薄膜層 1 0 4 の境界 ( 主走査方向 X の端部の継ぎ目 ) について拡大して示している。

30

## 【 0 0 8 0 】

一般的に半導体材料基板 1 0 7 と半導体薄膜層 1 0 4 の間で格子定数が異なると、半導体薄膜層 1 0 4 は剥離前後で長さが変化する。予め半導体材料基板 1 0 7 上で半導体薄膜層 1 0 4 内に発光素子 1 0 3 を形成したものを剥離し、半導体集積回路基板 1 0 1 表面にボンディングする場合、半導体材料基板 1 0 7 上で形成した状態と半導体集積回路基板 1 0 1 表面にボンディングした状態では、発光素子 1 0 3 のピッチは異なってしまう。たとえば、半導体材料基板 1 0 7 としての  $GaAs$  基板上に  $GaAs \cdot Al_xGa_{(1-x)}$   $As$  ( $0 < x < 1$ ) をエピタキシャル成長させることにより形成した半導体薄膜層 1 0 4 を剥離した場合、半導体薄膜層 1 0 4 の主走査方向 X の長さは剥離前に比べて 0 . 2 % 程度増加する。

40

## 【 0 0 8 1 】

一方、一般的な電子写真式プリンタで用いる光プリントヘッドの主走査方向 X の長さとして  $A4$  (  $297\text{mm}$  )、主走査方向 X の解像度として  $600\text{dpi}$  (  $42.3\mu\text{m}$  ) がある。同様の条件を、光プリントヘッド 1 1 0 に適用する場合は、通常複合素子チップ 5 0 0 で形成される。その場合、複合素子チップ 5 0 0 の主走査方向 X の寸法は数  $\text{mm}$  以上となる。

## 【 0 0 8 2 】

例えば、図 1 0 ( a ) に示すように、複合素子チップ 5 0 0 ( 半導体薄膜層 1 0 4 ) の主走査方向 X の幅を  $8\text{mm}$  程度とし、1 個の複合素子チップ 5 0 0 内の発光素子 1 0 3 すべてを 1 個の半導体薄膜層 1 0 4 で包含した場合、半導体材料基板 1 0 7 から剥離された

50

状態での半導体薄膜層 104 の主走査方向 X 長の増分の長さ L7 は十数  $\mu\text{m}$  である。その複合素子チップ 500 を半導体集積回路基板 101 上に実装した場合、同一複合素子チップ 500 内の発光素子 103 の主走査方向 X のピッチ L8 は、主走査方向 X で設計上のピッチの幅 L6 ( $42.3 \mu\text{m}$ ) にほぼ等しい。しかし、隣接する複合素子チップ 500 の端部に形成された発光素子 103 同士において、対向する部分の主走査方向 X のピッチ L9 は、設計ピッチ L6 から半導体薄膜層 104 の増分 L7 だけ短くなってしまふ。これは、LED プリント 301 全体の印刷品質低下の要因となる。

#### 【0083】

これに対して、第 2 の実施形態では、図 10 (b) に示すように、例えば、1 つの発光素子セット 700 (4 つの発光素子 103) を 1 つの半導体薄膜層 104 で包含すると、半導体薄膜層 104 の主走査方向 X の寸法は  $200 \mu\text{m}$  以下となる。したがって、第 2 の実施形態の半導体薄膜層 104 を、半導体材料基板 107 から剥離したとき、当該半導体薄膜層 104 の主走査方向 X の増分の寸法 L7 は、 $0.4 \mu\text{m}$  程度以下に抑えられる。これは  $600 \text{ dpi}$  の主走査方向 X の設計ピッチ L6 である  $42.3 \mu\text{m}$  に比べると十分小さく、印刷品質の精度低下への影響を無視できる程度に抑制できる。

#### 【0084】

(B-3-3) 例えば、図 11 に示すように、半導体材料基板 107 上で、平行四辺形の半導体薄膜層 104 を、1 直線に並べ、隣接する半導体薄膜層 104 同士で、副走査方向 Y の端部の辺が一直線となるようにしてもよい。しかし、図 9 に示すように、各発光素子 103 を、実際に半導体集積回路基板 101 に配置する位置関係で、半導体集積回路基板 101 上に形成する方が、複合素子チップ 500 を組み立てる際 (半導体薄膜層 104 を半導体集積回路基板 101 に位置決めして貼付ける際) に、各半導体薄膜層 104 間の位置関係を修正する必要がないため、効率的な組立が可能となる。

#### 【0085】

##### (C) 他の実施形態

本発明は、上記の各実施形態に限定されるものではなく、以下に例示するような変形実施形態も挙げることができる。

#### 【0086】

(C-1) 上記の各実施形態では、本発明のプリントヘッドを電子写真式プリンタ (LED プリント) に適用する例について説明したが、FAX、複合機、複写機等のその他の画像形成装置に適用するようにしてもよい。

#### 【0087】

(C-2) 上記の各実施形態において、例えば、図 12、図 13 に示すように半導体薄膜層 104 の外形の角に曲率を付ける (角を丸める) ようにしてもよい。

#### 【0088】

図 12 は、第 1 の実施形態の半導体薄膜層 104 について、外形に曲率をつけた状態について示した平面図である。また、図 13 は、第 2 の実施形態の半導体薄膜層 104 について、外形に曲率をつけた状態について示した平面図である。

#### 【0089】

半導体薄膜層 104 の外形の角に曲率をつけた場合、角に集中する膜応力を緩和することができる。その結果、半導体集積回路基板 101 表面の平坦化領域にボンディングされた半導体薄膜層 104 の角の部分からの剥がれを抑制することができる。

#### 【0090】

(C-3) 上記の各実施形態の発光素子アレイ 600 (半導体薄膜層 104) において、発光素子 103 の配列は主走査方向 X 成分に等間隔なものには限定しない。また、上記の各実施形態の発光素子アレイ 600 (半導体薄膜層 104) において、発光素子 103 を副走査方向 Y に光半導体素子配列を傾斜、屈曲ないし歪曲させているが、そのずれ方も規則的なものには限定しない。さらに、上記の各実施形態の発光素子アレイ 600 (半導体薄膜層 104) において、発光素子 103 の数、千鳥の段数などは図に記載の数に限定しない。

10

20

30

40

50

【0091】

(C-4) 上記の各実施形態において、半導体薄膜層104上に形成された発光素子アレイ600は、4つの発光素子103を1つの組として、副走査方向Yの位置が等間隔でずれているものとして説明したが、図14に示すように、所定数の発光素子103が連続して副走査方向Yで同じ位置(段)に配置された段形状の配列パターンとしてもよい。図14に示す発光素子アレイ600では、左端から4つの発光素子103-1~103-4と、その次に続く4つの発光素子103-5~103-8とで、段(副走査方向Yの位置)がずれた配列パターンとなっている。そして、図14に示す半導体薄膜層104の外形は、発光素子アレイ600の配列パターンに沿った段形状となっている。図14に示す発光素子アレイ600を搭載した光プリントヘッド110では、例えば、段(副走査方向Yの位置)ごとに、発光素子103の発光タイミングが異なることとなる。

10

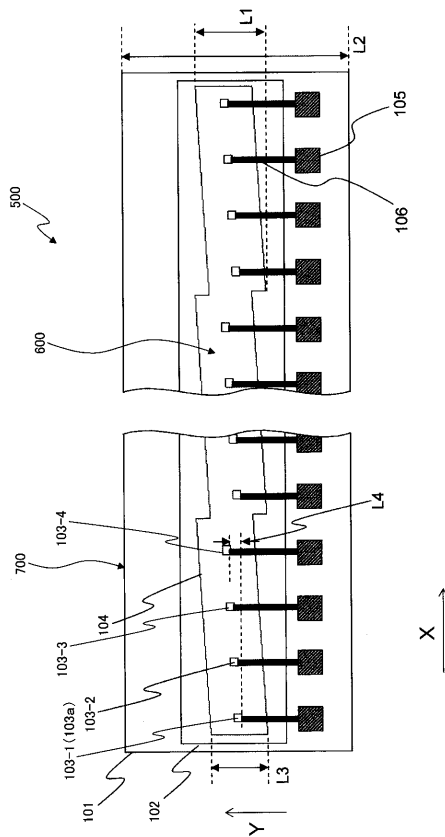
【符号の説明】

【0092】

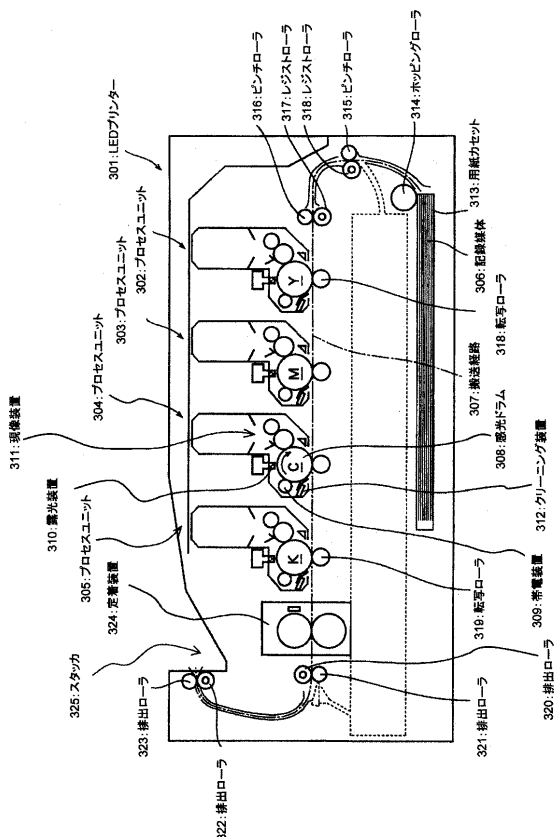
101...半導体集積回路基板、102...平坦化膜、103...発光素子、103a...端子、104...半導体薄膜層、110...光プリントヘッド、105...電極端子、106...配線、107...半導体材料基板、107a...溝部、500...複合素子チップ、600...発光素子アレイ、700...発光素子セット、800...プリント配線基板、301...LEDプリンタ、302~305...プロセスユニット、306...記録媒体、307...搬送経路、308...感光体ドラム、310...露光装置、311...現像装置、312...クリーニング装置、313...用紙カセット、314...ホッピングローラ、315、316...ピンチローラ、317、318...レジストローラ、319...転写ローラ、320、321、322、323...排出ローラ、325...スタッカ。

20

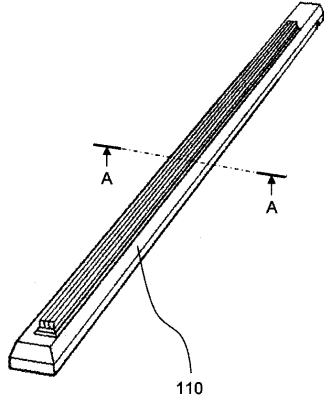
【図1】



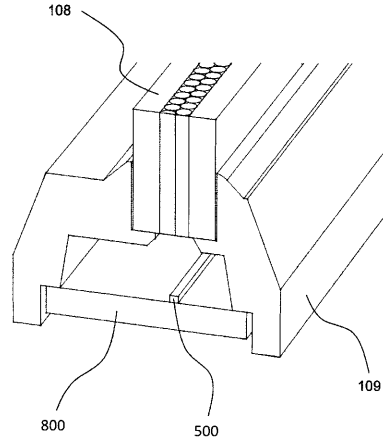
【図2】



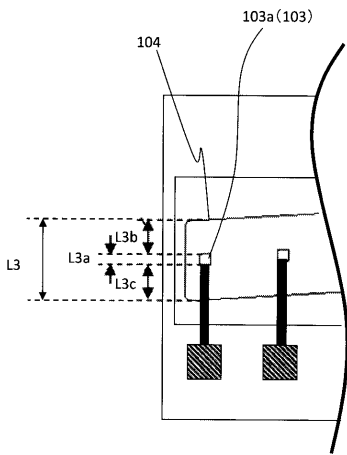
【図3】



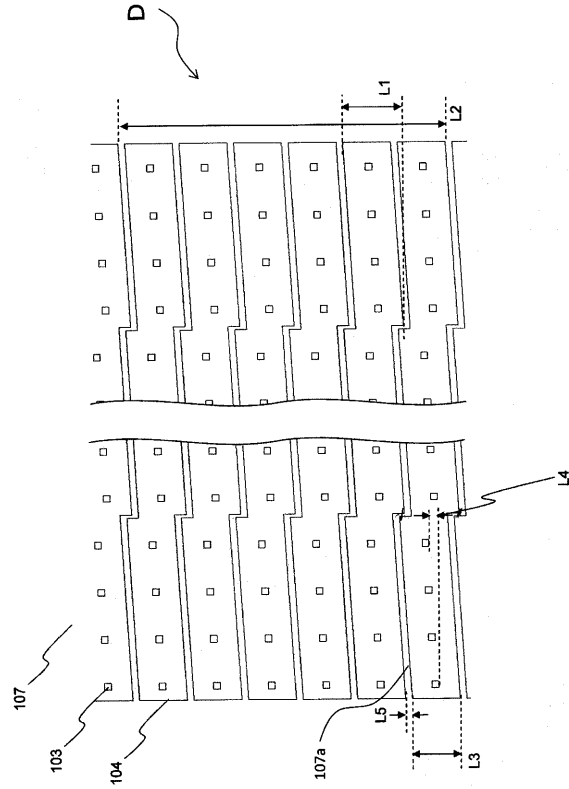
【図4】



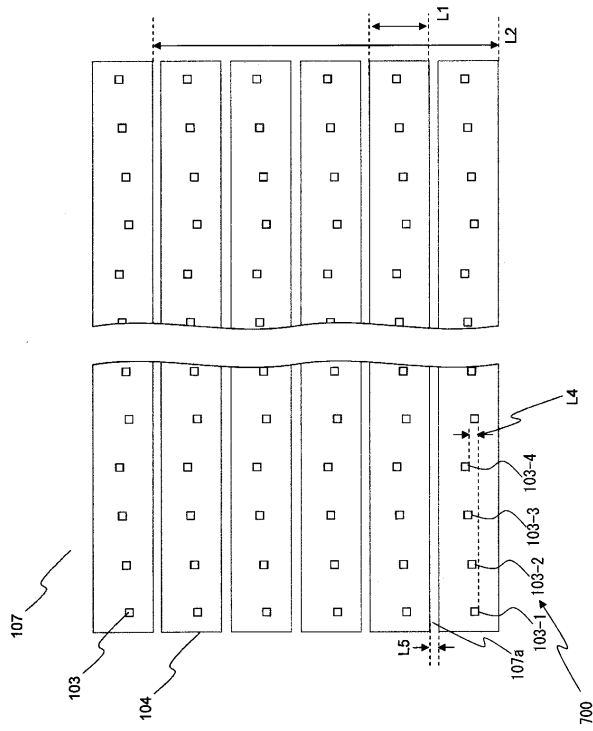
【図5】



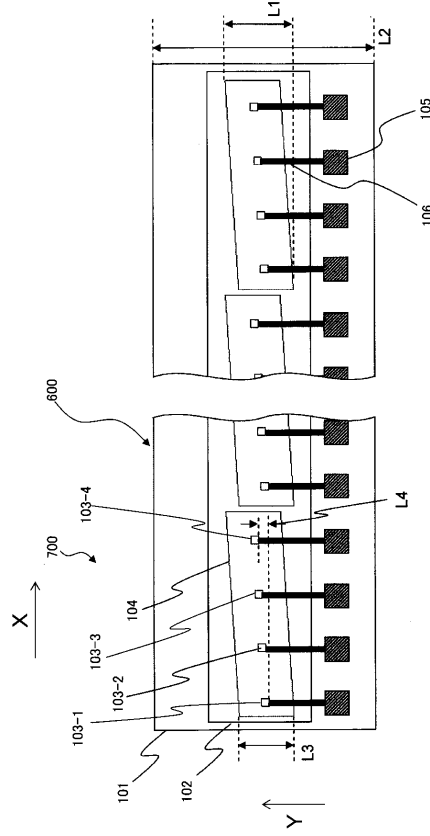
【図6】



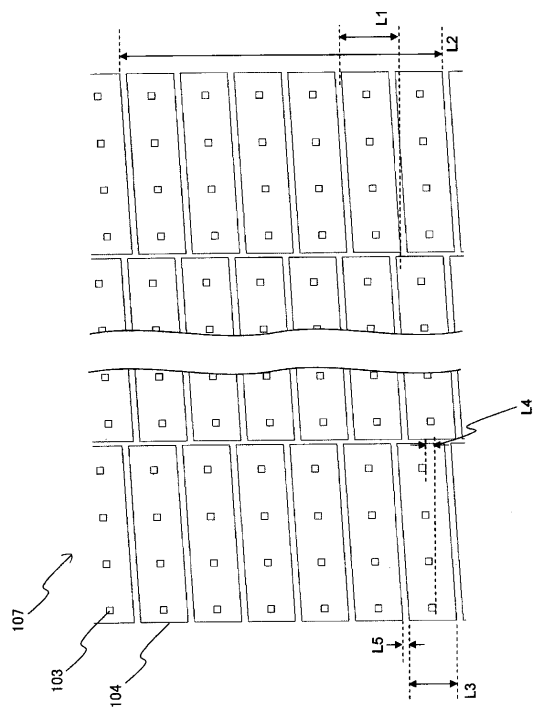
【 図 7 】



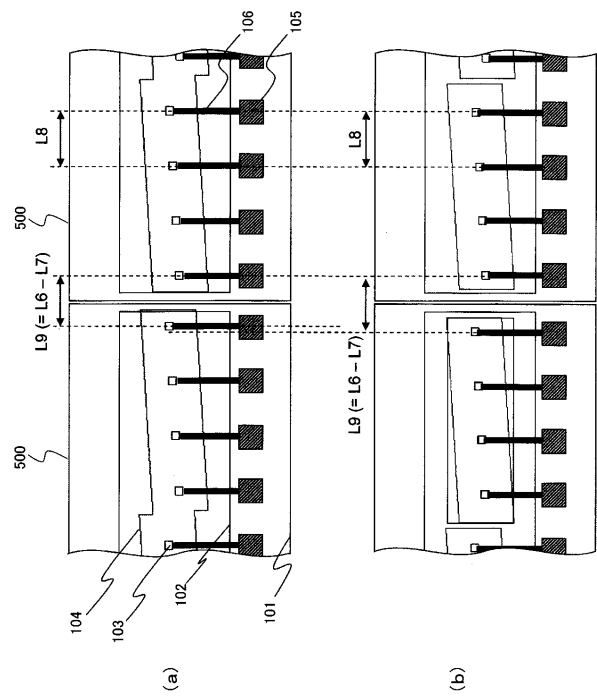
【 図 8 】



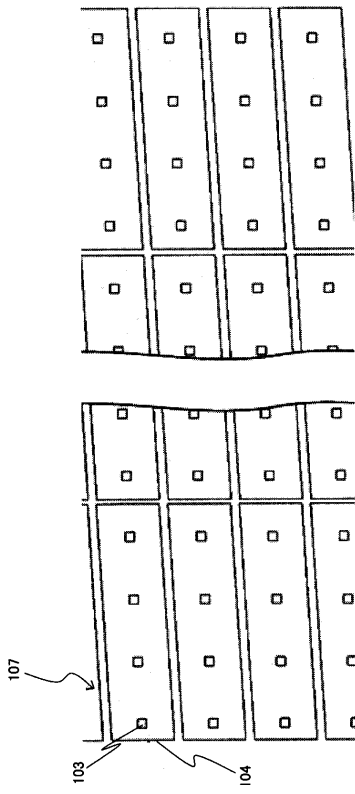
【 図 9 】



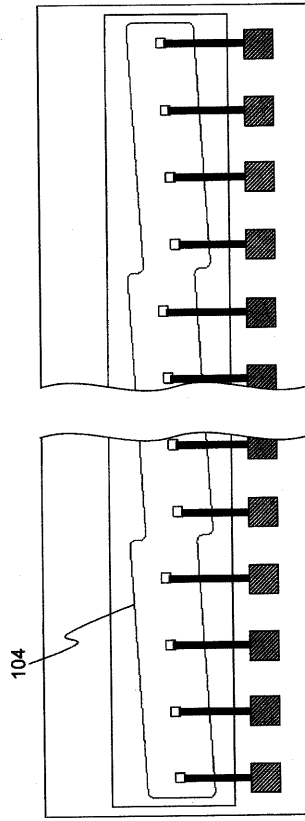
【 図 10 】



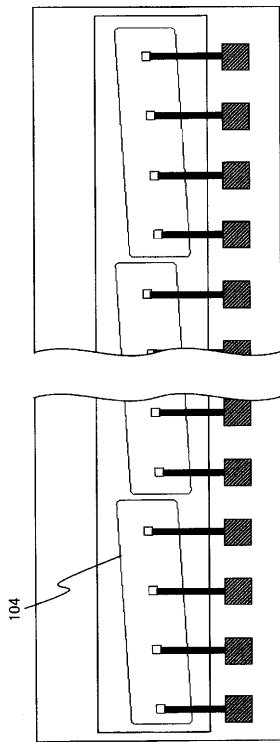
【図 1 1】



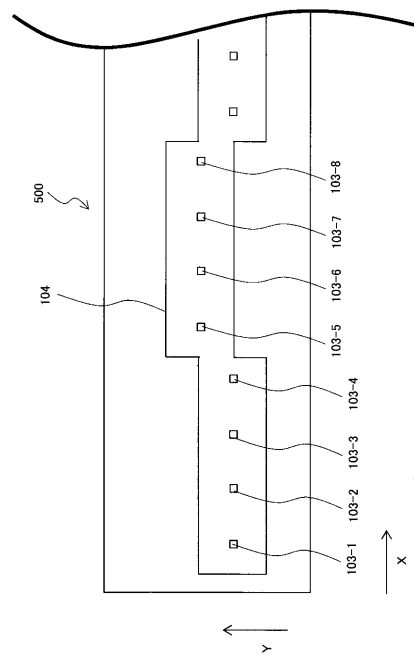
【図 1 2】



【図 1 3】



【図 1 4】





---

フロントページの続き

審査官 小宮山 文男

- (56)参考文献 特開2006-253370(JP,A)  
特開2008-227467(JP,A)  
特開平08-174898(JP,A)  
特開2002-019177(JP,A)  
特開昭59-155069(JP,A)  
国際公開第2013/175232(WO,A2)

- (58)調査した分野(Int.Cl., DB名)
- |      |       |
|------|-------|
| B41J | 2/447 |
| B41J | 2/45  |
| G03G | 15/04 |
| H04N | 1/036 |