

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4719068号
(P4719068)

(45) 発行日 平成23年7月6日(2011.7.6)

(24) 登録日 平成23年4月8日(2011.4.8)

(51) Int.Cl.

F I

GO 1 R 31/3183 (2006.01)

GO 1 R 31/28

Q

請求項の数 2 (全 11 頁)

(21) 出願番号	特願2006-118010 (P2006-118010)	(73) 特許権者	000005821
(22) 出願日	平成18年4月21日 (2006.4.21)		パナソニック株式会社
(65) 公開番号	特開2006-322931 (P2006-322931A)		大阪府門真市大字門真1006番地
(43) 公開日	平成18年11月30日 (2006.11.30)	(74) 代理人	100077931
審査請求日	平成21年2月26日 (2009.2.26)		弁理士 前田 弘
(31) 優先権主張番号	特願2005-123957 (P2005-123957)	(74) 代理人	100110939
(32) 優先日	平成17年4月21日 (2005.4.21)		弁理士 竹内 宏
(33) 優先権主張国	日本国(JP)	(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100115691
			弁理士 藤田 篤史

最終頁に続く

(54) 【発明の名称】 集積回路検査装置

(57) 【特許請求の範囲】

【請求項 1】

集積回路の各ピンに対応して設けられ、それぞれ、各ピンに対応するテストパターンデータに基づいて、各ピンに入力する信号波形を生成するフレームプロセッサと、

上記信号波形に応じた信号を各ピンに入力するピンエレクトロニクスと、

を備えた集積回路検査装置であって、さらに、

上記テストパターンデータがそれぞれ圧縮された圧縮テストパターンデータを格納するパターンデータメモリを備えるとともに、

上記フレームプロセッサが、上記圧縮テストパターンデータを伸張しつつ、上記信号波形の生成を行うように構成され、

上記圧縮、伸張のためのアルゴリズムとして、所定の単位数に基づいて、上記テストパターンデータにおける同一の値が連続する個数に応じた圧縮テストパターンデータが生成されるランレングス法が用いられ、

上記圧縮テストパターンデータとして、複数種類の単位数に基づいて圧縮されたデータのうち最もデータ量が少ない単位数に基づいて圧縮された圧縮テストパターンデータが用いられることを特徴とする集積回路検査装置。

【請求項 2】

請求項 1 の集積回路検査装置であって、

上記圧縮テストパターンデータとして、テストパターンデータにおける所定のブロック長のデータごとに、複数種類の単位数に基づいて圧縮されたデータのうち最もデータ量が

少ない単位数に基づいて圧縮された圧縮テストパターンデータ用いられることを特徴とする集積回路検査装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、LSI（大規模集積回路）などの動作を検査する集積回路検査装置に関するものである。

【背景技術】

【0002】

近年のLSIの大規模化に伴い、LSIを検査するためのテストパターンデータの容量は増加している。このために、テストパターンデータを格納するパターンデータメモリに格納しきれないという問題が生じがちである。パターンデータメモリを増設することも可能だが、増設にはコストがかかるうえ、増設可能な容量にも限界がある。また、テストパターンデータの容量が増加すると、テストパターンデータをパターンデータメモリにロードする時間が増大し、テスター（集積回路検査装置）のセットアップにかかる時間が増加してしまうといった問題も生じる。

【0003】

そこで、テストパターンデータを圧縮して格納する技術が知られている（例えば、特許文献1参照。）。より詳しくは、同文献の例えば図109に記載されているように、パターンジェネレータから出力される圧縮データを各ピンに対して並列に高速に伸張する伸張装置が設けられ、これにより伸張されたデータに基づいて、半導体集積回路へのテスト信号の入力などが行われるようになっている。

【特許文献1】国際公開第98/43359号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上記のような伸張装置を設けることは、回路規模や製造コストの増大を招くという問題がある。この問題は、特に、同文献の図43等に示されているように複数種類の圧縮伸張アルゴリズムが用いられる場合には、一層顕著になる。しかも、新たなアルゴリズムによる圧縮伸張をさせることなどが困難であり、柔軟性に欠けるという問題点もあった。

【0005】

本発明は、回路規模や製造コストの増大を招くことなく、大きな容量のテストパターンデータによる集積回路の検査が容易にできるようにすることを目的としている。

【課題を解決するための手段】

【0006】

上記の課題を解決するため、本発明は、集積回路の各ピンに対応して設けられ、それぞれ、各ピンに対応するテストパターンデータに基づいて、各ピンに入力する信号波形を生成するフレームプロセッサと、上記信号波形に応じた信号を各ピンに入力するピンエレクトロニクスと、を備えた集積回路検査装置であって、さらに、

上記テストパターンデータがそれぞれ圧縮された圧縮テストパターンデータを格納するパターンデータメモリを備えるとともに、

上記フレームプロセッサが、上記圧縮テストパターンデータを伸張しつつ、上記信号波形の生成を行うように構成され、

上記圧縮、伸張のためのアルゴリズムとして、所定の単位数に基づいて、上記テストパターンデータにおける同一の値が連続する個数に応じた圧縮テストパターンデータが生成されるランレングス法が用いられ、

上記圧縮テストパターンデータとして、複数種類の単位数に基づいて圧縮されたデータのうち最もデータ量が少ない単位数に基づいて圧縮された圧縮テストパターンデータが用

10

20

30

40

50

いられることを特徴とする。

【 0 0 0 9 】

これにより、パターンデータメモリに格納された圧縮テストパターンデータは、フレームプロセッサによるプログラムの実行によって伸張され、信号波形の生成が行われる。

【 発明の効果 】

【 0 0 1 0 】

本発明によれば、回路規模や製造コストの増大を招くことなく、大きな容量のテストパターンデータによる集積回路の検査が容易に可能になる。

【 発明を実施するための最良の形態 】

【 0 0 1 1 】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、以下の各実施形態において、他の実施形態と同様の機能を有する構成要素については同一の符号を付して説明を省略する。

【 0 0 1 2 】

《 発明の実施形態 1 》

図 1 は、実施形態 1 の L S I 検査装置 1 0 の構成を示すブロック図である。同図に示すように、L S I 検査装置 1 0 は、テストパターン 2 0 (圧縮テストパターンデータ) を格納するパターンメモリ 4 0 を有し、格納されたテストパターン 2 0 を出力するパターンジェネレーター 3 0 と、検査対象である L S I 7 0 の各ピンに対応して設けられ、パターンジェネレーター 3 0 から出力される論理データに基づいて波形を生成するとともに、L S I 7 0 から出力される信号に基づくパス / フェイル判定を行うフレームプロセッサ 5 0 と、電気信号を L S I 7 0 に印加し、L S I 7 0 から出力される電気信号を受け取るピンエレクトロニクス 6 0 とを備えて構成される。

【 0 0 1 3 】

上記テストパターン 2 0 は、より詳しくは、あらかじめ例えば図示しないサーバ装置によって、L S I 7 0 の各ピンに対応するデータがそれぞれリアルタイム伸張可能 (容易) なアルゴリズムで圧縮されたものである。このようなテストパターン 2 0 が、L S I 7 0 の検査が行われる際に L S I 検査装置 1 0 にロードされて、パターンジェネレーター 3 0 のパターンメモリ 4 0 に格納される。

【 0 0 1 4 】

フレームプロセッサ 5 0 は、あらかじめ設定されたプログラムを実行することにより、パターンジェネレーター 3 0 から出力されたテストパターン 2 0 の伸張処理をソフト的に行い、さらに、伸張されたデータに基づいて、パルス波形を生成して出力するようになっている。

【 0 0 1 5 】

ピンエレクトロニクス 6 0 は、上記パルス波形に応じた信号を L S I 7 0 へ印加し、L S I 7 0 から出力される信号を受け取ってフレームプロセッサ 5 0 に出力するようになっている。

【 0 0 1 6 】

上記のように、パルス波形の生成等を行うフレームプロセッサ 5 0 にリアルタイムな伸張処理を行わせることによって、特に伸張装置などを設ける必要がないので、回路規模や製造コストの低減を図りつつ、大きな容量のテストパターンデータによる集積回路の検査を可能にすることが容易にできる。しかも、複数種類の圧縮伸張アルゴリズムが選択的に用いられるようにすることなども、やはり小さな回路規模などで容易に可能になる。

【 0 0 1 7 】

上記のような圧縮伸張処理のアルゴリズムは、リアルタイムな伸張処理が可能なものであれば特に限定されないが、例えばランレングス法を用いることができる。以下、パターンメモリ 4 0 に格納されるテストパターン 2 0 の例として、例えば図 2 に示すように値が 1 ~ 1 9 0 0 であるパターンアドレス 5 1 0 に対応する 1 9 0 0 ステップのテストパターン 5 1 3 が圧縮されたデータの例を説明する。フレームプロセッサ 5 0 は、このように

10

20

30

40

50

して圧縮されたテストパターン20をリアルタイムに伸張するように構成されている。

【0018】

LSI70の何れかのピンへの入力信号を生成するためのテストパターン511が、例えば個数(ステップ数)520として示すような数ずつの“0”と“1”との並びのデータ、すなわち“1”が100ステップの後“0”が300ステップ、次に“1”が250ステップのようなデータだとすると、上記ステップ数520を用いて以下のように圧縮することができる。

【0019】

例えば、最初に、上記ステップ数520を4ビット単位で表す。1組の4ビットだけでは、“0”から“15”までしか表すことができない。そこで、図3で示すように、“15(1111)”で桁上げとし、15を“1111__0000”で表す。また、16を“1111__0001”で表す。(“__”は見やすくするための区切りである。)これにより、図2のようにパターンアドレス510のステップ数が100ステップであった、連続する“1”が、図4の例で示す圧縮パターン521およびステップ数522のように“1111__1111__1111__1111__1111__1111__1010”となり、28ステップに圧縮されることになる。以下、同じようにすることによって、1900ステップであったテストパターン511が最終的には524ステップに圧縮される。

【0020】

次に、同じような手法を用いて、“0”と“1”の並びのパターンアドレスのステップ数520を8ビット単位で表す。8ビット単位だと、“255(1111__1111)”で桁上げとなるため、255を“1111__1111__0000__0000”と表す。この場合、図4に併せて示すように、1900ステップであったテストパターン511が、80ステップに圧縮される。

【0021】

このようにして、“0”と“1”の連続するパターンアドレス510のステップ数を表現する複数種類のビット単位数のうち、最も圧縮率の高いものを使用すればよい。上記のような圧縮を、テストパターンに対してLSI70の論理ピン毎に個別に行うことで、それぞれのピンに最も適したビット単位での圧縮が可能となる。

【0022】

上記の例では説明簡略化のために、表現するビットの単位を4ビットずつ異ならせたが、1ビットずつ異ならせるなどしても構わない。

【0023】

また、3種類以上のビット単位数について圧縮を試行し、何れかが選択されるようにしてもよい。上記の例の場合で、さらに、“0”と“1”の連続するパターンアドレス510のステップ数を12ビット単位で表示したとすると、図5に示す圧縮パターン525およびステップ数526のように84ステップに圧縮されることになり、12ビット単位で表現するように圧縮するよりは8ビット単位で表現するように圧縮した方がよいことになる。よって、やはり8ビット単位での表現を使用することになる。

【0024】

また、ビット単位数を1ビットずつなど増やしながらか圧縮処理を試行し、圧縮率が低くなった時点で、それより前のビット単位で圧縮することによって、最も高い圧縮率で圧縮ができるようにしてもよい。

【0025】

また、ビット単位数は、一連のテストパターン全体に対して1種類に設定されるようにすれば、後述するようなヘッダに基づいてビット単位数を判別する処理は最初に1回行うだけでよいので、フレームプロセッサ50の処理能力に余裕を持たせやすくなる。しかし、これに限らず、固定長のデータブロックごとに、最も圧縮率が高いビット単位数が設定されるようにしてもよい。また、ブロック長も種々異ならせながら、最も圧縮率が高いビット単位数およびブロック長が求められるようにしてもよい。さらに、一連のテストパターン中でブロック長を可変にしてもよい。その場合には、各ブロックごとに、ビット単

10

20

30

40

50

位数を示すデータと共にブロック長を示すデータを埋め込むようにしてもよいし、ブロックの境界ごとにスタートコードやストップコードを埋め込むようにしてもよい。

【0026】

また、ビット単位数が、一連のテストパターン全体に対して1種類に設定される場合でも、ビット単位数を選択するための試行は全体に対して行われるのに限らず、部分的にサンプリングされて行われるようにしてもよい。

【0027】

圧縮後のテストパターン511は、図6のように、圧縮パターンの先頭に、圧縮に用いられた単位数を示すビット530と、テストパターンの先頭の値が“0”であるか“1”であるかを示す初期値531が付加されている。上記ビット530を4ビットにすることで、2ビットから15ビットの単位で圧縮することができる。図6の例では、単位用の4ビットと、初期値を表すビットを1ビットの計5ビットが付加されることになるため、80ステップに圧縮されたパターンアドレスのステップは、実際には85ステップとなる。

10

【0028】

テストパターンは、LSI70に入力される信号のレベルを示す値“0”“1”に限らず、ネガティブパルスまたはポジティブパルスが印加されることを示す値“N”“P”でもよいし、LSI70から出力される信号と比較する期待値がローレベルまたはハイレベルであることを示す“L”または“H”、期待値との比較を行わないことを示す“X”などによって構成されてもよい。

【0029】

20

具体的に、テストパターンに“0”と“1”以外が含まれる場合の例を示す。図7に示すように、テストパターン511が“L”と“H”のみの場合は、“0”と“1”の場合と同様に、連続する“L”と“H”の数を4ビット、8ビット、12ビットなどのビット単位数のうちで最も圧縮率の高いものを使用すればよい。これによって、図8に示すテストパターン511が得られる。

【0030】

次に図9のテストパターン511のように“L”と“H”の間に“X”や“Z”が含まれる場合の圧縮法の例を示す。この場合は、文字列が“L”“H”の他に“X”や“Z”と、4種類の値が含まれているため、“L”と“H”以外の期待値が連続している数については個別に指定する。よって、図10のテストパターン511のように圧縮される。

30

【0031】

次に、図11のように“0”と“1”の間に“L”“H”または“X”が含まれるテストパターン511の場合の圧縮法の例を示す。初期値531に“0”を記述することで初めの数値は“0”、次の数値は“1”の数を表す。“L”“H”“X”の数を表すときのみ個別指定を行う。よって、圧縮処理後のテストパターンは図12のテストパターン511のようになる。

【0032】

さらに、図13のように“0”と“0”、または“1”と“1”の間に“L”や“H”または“X”が含まれるテストパターン511の場合の圧縮法の例を示す。上記と同様に、初期値531に“0”を記述することで、初めの数値は“0”、次の数値は“1”が連続する個数を表し、“L”“H”“X”の個数を表すときのみ個別指定を行うとする。その場合、例えば“0”が3個連続し、“X”が6個連続した後、再度“0”が2個連続している場合に、“0011 X 0110 0010”とすると“0”が3個、“X”が6個、“1”が2個連なる場合と区別がつかなくなってしまう。そこで、“1”が0個であることを示す“0000”をダミーとして入れ、“0011 X 0110 0000 0010”とすることで、“0”が3個、“X”が6個、“1”が0個、“0”が2個、即ち、“0”が3個、“X”が6個、“0”が2個を表すことができる。すなわち、圧縮後に、図14のテストパターン511となるようにすればよい。

40

【0033】

また、“L”“H”“X”等の種々の値が複雑に混在する場合や、圧縮処理を行っても

50

結果的にデータ量が小さくならない場合に、圧縮処理を行わないようにしてもよい。その場合は、例えば、ビット単位数を表すテストパターン先頭の4ビットを“0000”などとすればよい。

【0034】

《発明の実施形態2》

図15は、実施形態2のLSI検査装置11の構成を示すブロック図である。このLSI検査装置11は、例えば図示しないインターフェイス、およびテスターワークステーション82を介して、ネットワーク83や記録メディア84から新たな圧縮アルゴリズム80に対応した伸張処理プログラムをインストールする(メモリ81に記憶させる)ことができるようになっている。このようにインストールされたプログラムがフレームプロセッサ50で実行されて伸張処理されるようにすることにより、例えば新たに開発、提案された圧縮アルゴリズムにより圧縮されたテストパターン21を用いた検査を行うことができ、圧縮率の高いアルゴリズムや、伸張処理速度の速いアルゴリズムを柔軟に用いることなどが容易にできる。

10

【0035】

《発明の実施形態3》

図16は、実施形態3のLSI検査装置12の要部の構成を示すブロック図である。このLSI検査装置12は、実施形態1または2の構成に加えて、さらに、LSI検査装置の制御を行うテスタープロセッサ100を備えている。このテスタープロセッサ100は、パターンメモリ40に格納されている圧縮テストパターン130を伸張して、伸張テストパターン120を例えばモニタ装置110に出力して表示させたりするようになっている。また、モニタ装置110から入力される伸張テストパターン120を圧縮処理して、圧縮テストパターン130をパターンメモリ40に格納するようになっている。

20

【0036】

このように構成されることにより、例えば、ユーザがモニタ装置110で編集ソフトウェア(アプリケーションプログラム)を実行し、キーボード等を操作して、伸張テストパターン120を編集、修正するなどのデバッグをすることができる。それゆえ、特に圧縮伸張機能を持たないようなモニタ装置110を用いても、柔軟な検査を容易に行うことができる。

【0037】

もちろん、上記のようなテスタープロセッサ100を用いず(またはモニタ装置110内に設けて)、圧縮テストパターン130がモニタ装置110との間で入出力されるようにして、モニタ装置110によって、圧縮、伸張処理されるようにしてもよい。

30

【0038】

また、上記テスタープロセッサ100と同様の圧縮、伸張処理もフレームプロセッサ50で行わせるようにしてもよい。

【産業上の利用可能性】

【0039】

本発明にかかる集積回路検査装置は、回路規模や製造コストの増大を招くことなく、大きな容量のテストパターンデータによる集積回路の検査が容易に可能になるという効果を有し、LSI(大規模集積回路)などの動作を検査する集積回路検査装置等として有用である。

40

【図面の簡単な説明】

【0040】

【図1】実施形態1のLSI検査装置10の構成を示すブロック図である。

【図2】テストパターンの例を示す説明図である。

【図3】パターンアドレス数を16進数で表示する方法の例を示す説明図である。

【図4】テストパターンを4および8ビットの単位で圧縮する例を示す説明図である。

【図5】テストパターンを4および12ビットの単位で圧縮する例を示す説明図である。

【図6】テストパターンを4ビットの単位で圧縮した結果の例を示す説明図である。

50

【図 7】 “ L ” と “ H ” だけを含むテストパターンの例を示す説明図である。

【図 8】 図 7 のテストパターンを 4 ビットの単位で圧縮した結果の例を示す説明図である。

【図 9】 “ L ” “ H ” “ X ” “ Z ” が含まれるテストパターンの例を示す説明図である。

【図 10】 図 9 のテストパターンを圧縮した結果の例を示す説明図である。

【図 11】 “ 0 ” と “ 1 ” の間に “ L ” “ H ” “ X ” “ Z ” などが含まれるテストパターンの例を示す説明図である。

【図 12】 図 11 のテストパターンを圧縮した結果の例を示す説明図である。

【図 13】 “ 0 ” と “ 0 ” 等の間に “ L ” “ H ” “ X ” “ Z ” などが含まれるテストパターンの例を示す説明図である。

10

【図 14】 図 13 のテストパターンを圧縮した結果の例を示す説明図である。

【図 15】 実施形態 2 の L S I 検査装置 1 1 の構成を示すブロック図である。

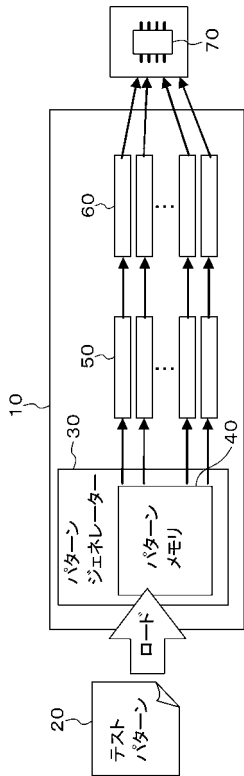
【図 16】 実施形態 3 の L S I 検査装置 1 2 の要部の構成を示すブロック図である。

【符号の説明】

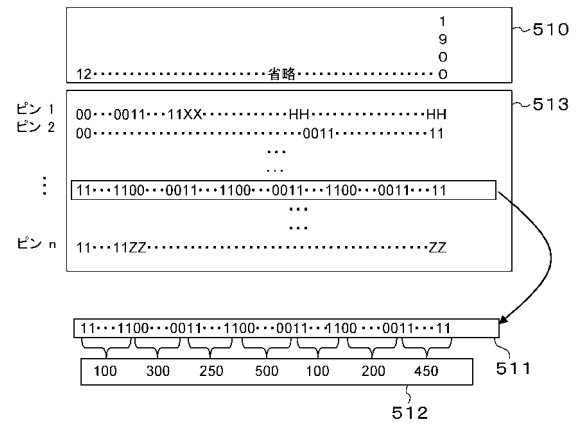
【 0 0 4 1 】

1 0	L S I 検査装置	
1 1	L S I 検査装置	
1 2	L S I 検査装置	
2 0	テストパターン	
2 1	テストパターン	20
3 0	パターンジェネレーター	
4 0	パターンメモリ	
5 0	フレームプロセッサ	
6 0	ピンエレクトロニクス	
7 0	L S I	
8 0	圧縮アルゴリズム	
8 1	メモリ	
8 2	テスターワークステーション	
8 3	ネットワーク	
8 4	記録メディア	30
1 0 0	テスタープロセッサ	
1 1 0	モニタ装置	
1 2 0	伸張テストパターン	
1 3 0	圧縮テストパターン	
5 0 0	パターンアドレスの行数 (1 0 進標記)	
5 0 1	パターンアドレスの行数 (2 進標記)	
5 0 3	パターンアドレスの行数 (1 0 進標記)	
5 1 0	パターンアドレス	
5 1 1	テストパターン	
5 1 3	テストパターン	40
5 2 0	ステップ数	
5 2 1	4 ビットの単位で圧縮したテストパターン	
5 2 2	4 ビットの単位で圧縮したパターンアドレス数	
5 2 3	8 ビットの単位で圧縮したテストパターン	
5 2 4	8 ビットの単位で圧縮したパターンアドレス数	
5 2 5	1 2 ビットの単位で圧縮したテストパターン	
5 2 6	1 2 ビットの単位で圧縮したパターンアドレス数	
5 3 0	ビット	
5 3 1	初期値	

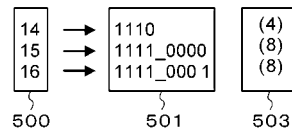
【図1】



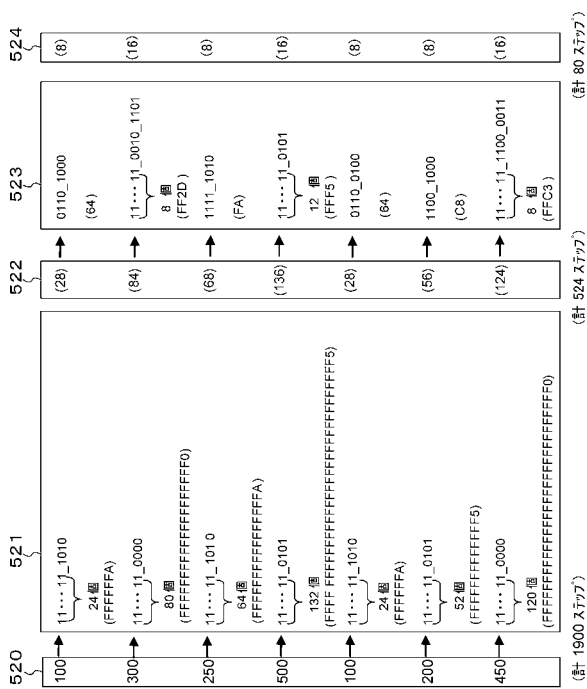
【図2】



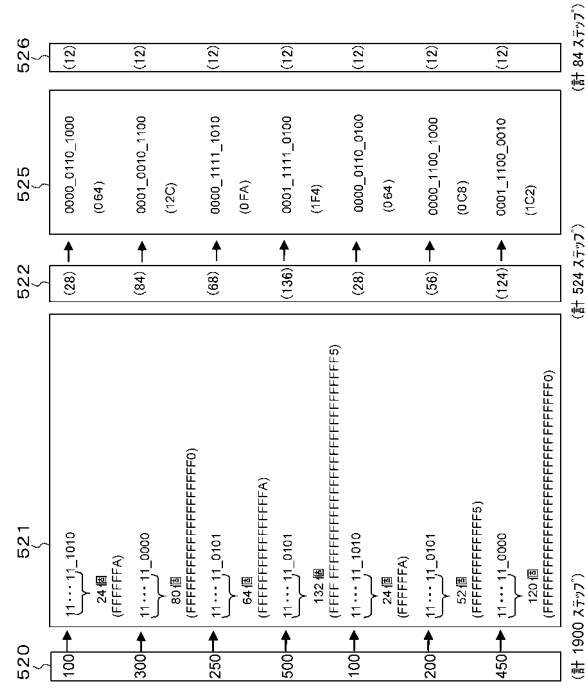
【図3】



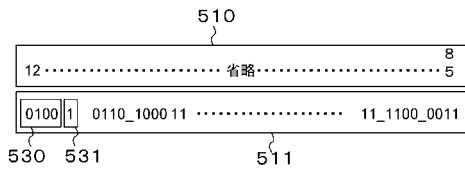
【図4】



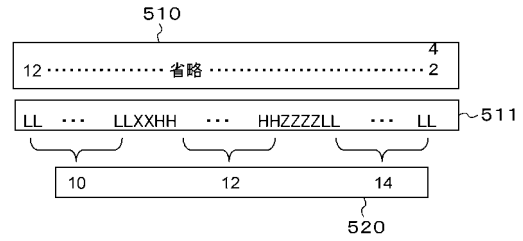
【図5】



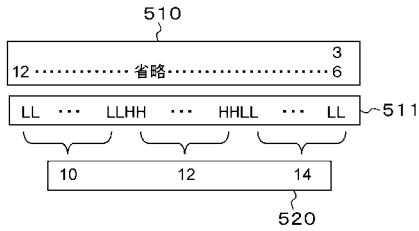
【図6】



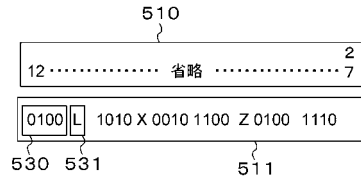
【図9】



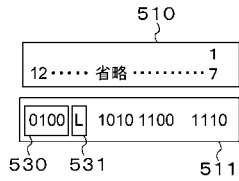
【図7】



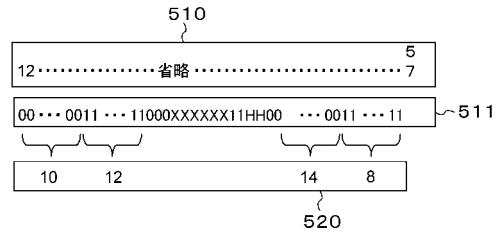
【図10】



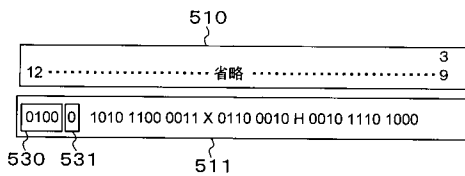
【図8】



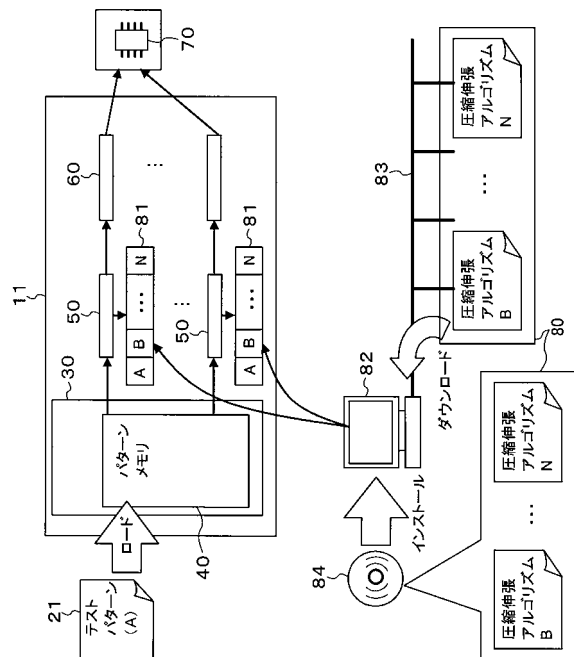
【図11】



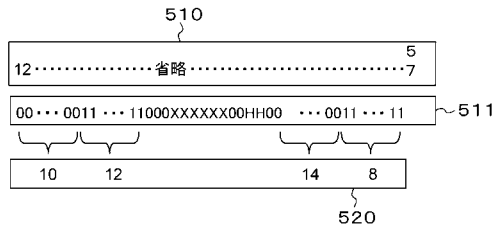
【図12】



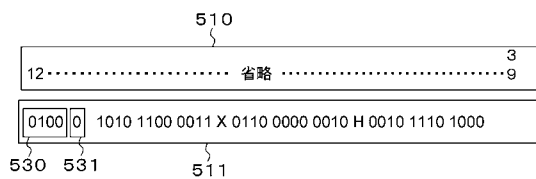
【図15】



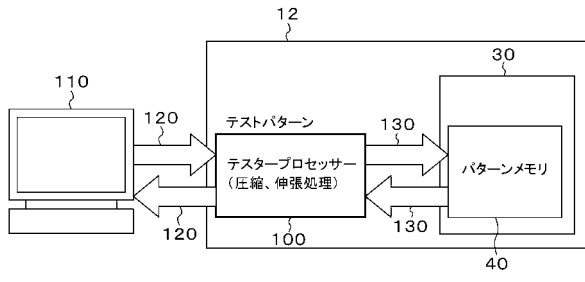
【図13】



【図14】



【図16】



フロントページの続き

- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 益田 陽司
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 藤原 伸二

- (56)参考文献 国際公開第98/043359(WO, A1)
特開2001-249692(JP, A)
特開平10-187199(JP, A)
特開平06-189145(JP, A)
特開2001-174526(JP, A)
特開2003-035753(JP, A)
特開2005-037396(JP, A)
特開2001-051028(JP, A)
特開昭62-118642(JP, A)

- (58)調査した分野(Int.Cl., DB名)
G01R 31/28 - 31/3193
H03M 3/00 - 11/00