

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3858728号  
(P3858728)

(45) 発行日 平成18年12月20日(2006.12.20)

(24) 登録日 平成18年9月29日(2006.9.29)

(51) Int. Cl.		F I	
GO 1 B	7/28	(2006.01)	GO 1 B 7/28 A
HO 1 L	29/786	(2006.01)	HO 1 L 29/78 6 2 4
GO 6 T	1/00	(2006.01)	GO 6 T 1/00 4 0 0 G
A 6 1 B	5/117	(2006.01)	A 6 1 B 5/10 3 2 2

請求項の数 9 (全 20 頁)

(21) 出願番号	特願2002-58071 (P2002-58071)	(73) 特許権者	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成14年3月4日(2002.3.4)	(74) 代理人	100110179 弁理士 光田 敦
(65) 公開番号	特開2003-254706 (P2003-254706A)	(74) 代理人	100095728 弁理士 上柳 雅普
(43) 公開日	平成15年9月10日(2003.9.10)	(74) 代理人	100107076 弁理士 藤網 英吉
審査請求日	平成16年9月1日(2004.9.1)	(74) 代理人	100107261 弁理士 須澤 修
		(72) 発明者	宮坂 光敏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 静電容量検出装置

(57) 【特許請求の範囲】

【請求項1】

対象物との距離に応じて変化する静電容量を検出する事に依り、該対象物の表面形状を読み取る静電容量検出装置に於いて、

該静電容量検出装置はM行N列の行列状に配置されたM本の個別電源線と、N本の個別出力線、及び該個別電源線と該個別出力線との交点に設けられた静電容量検出素子とを具備し、

該静電容量検出素子は信号検出素子と信号増幅素子とを含み、

該信号検出素子は容量検出電極と容量検出誘電体膜とを含み、

該信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用M I S型薄膜半導体装置から成り、

前記信号増幅用M I S型薄膜半導体装置のソース領域は前記個別出力線に接続され、前記信号増幅用M I S型薄膜半導体装置のドレイン領域は前記個別電源線に接続され、前記信号増幅用ゲート電極は前記容量検出電極に接続され、

前記容量検出誘電体膜は前記容量検出電極を被ってなり、

前記信号増幅用M I S型薄膜半導体装置のゲート電極長をL(μm)、ゲート電極幅をW(μm)、ゲート絶縁膜の厚みをt<sub>ox</sub>(μm)、ゲート絶縁膜の比誘電率をε<sub>ox</sub>として前記信号増幅用M I S型薄膜半導体装置のトランジスタ容量C<sub>T</sub>を

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot L \cdot W / t_{ox}$$

にて定義し(ε<sub>0</sub>は真空の誘電率)、

10

20

前記容量検出電極の面積を  $S$  ( $\mu\text{m}^2$ )、前記容量検出誘電体膜の厚みを  $t_D$  ( $\mu\text{m}$ )、前記容量検出誘電体膜の比誘電率を  $\epsilon_D$  として前記信号検出素子の素子容量  $C_D$  を

$$C_D = \epsilon_0 \cdot \epsilon_D \cdot S / t_D$$

と定義した時に ( $\epsilon_0$  は真空の誘電率)、

$$C_D > 10 \times C_T \text{ である事を特徴とした静電容量検出装置。}$$

【請求項 2】

対象物との距離に応じて変化する静電容量を検出する事に依り、該対象物の表面形状を読み取る静電容量検出装置に於いて、

該静電容量検出装置は M 行 N 列の行列状に配置された M 本の個別電源線と、N 本の個別出力線、及び該個別電源線と該個別出力線との交点に設けられた静電容量検出素子とを具備し、

該静電容量検出素子は信号検出素子と信号増幅素子とを含み、

該信号検出素子は容量検出電極と容量検出誘電体膜とを含み、

該信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用 M I S 型薄膜半導体装置から成り、

前記信号増幅用 M I S 型薄膜半導体装置のソース領域は前記個別出力線に接続され、前記信号増幅用 M I S 型薄膜半導体装置のドレイン領域は前記個別電源線に接続され、前記信号増幅用ゲート電極は前記容量検出電極に接続され、

前記容量検出誘電体膜は前記容量検出電極を被ってなり、

前記信号増幅用 M I S 型薄膜半導体装置のゲート電極長を  $L$  ( $\mu\text{m}$ )、ゲート電極幅を  $W$  ( $\mu\text{m}$ )、ゲート絶縁膜の厚みを  $t_{ox}$  ( $\mu\text{m}$ )、ゲート絶縁膜の比誘電率を  $\epsilon_{ox}$  として前記信号増幅用 M I S 型薄膜半導体装置のトランジスタ容量  $C_T$  を

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot L \cdot W / t_{ox}$$

にて定義し ( $\epsilon_0$  は真空の誘電率)、

前記対象物が前記容量検出誘電体膜に接しずに対象物距離  $t_A$  を以て離れて居り、対象物容量  $C_A$  を真空の誘電率  $\epsilon_0$  と空気の比誘電率  $\epsilon_A$  と前記容量検出電極の面積  $S$  ( $\mu\text{m}^2$ ) とを用いて、

$$C_A = \epsilon_0 \cdot \epsilon_A \cdot S / t_A$$

と定義した時に、

$$C_T > 10 \times C_A \text{ である事を特徴とする静電容量検出装置。}$$

【請求項 3】

対象物との距離に応じて変化する静電容量を検出する事に依り、該対象物の表面形状を読み取る静電容量検出装置に於いて、

該静電容量検出装置は M 行 N 列の行列状に配置された M 本の個別電源線と、N 本の個別出力線、及び該個別電源線と該個別出力線との交点に設けられた静電容量検出素子とを具備し、

該静電容量検出素子は信号検出素子と信号増幅素子とを含み、

該信号検出素子は容量検出電極と容量検出誘電体膜とを含み、

該信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用 M I S 型薄膜半導体装置から成り、

前記信号増幅用 M I S 型薄膜半導体装置のソース領域は前記個別出力線に接続され、前記信号増幅用 M I S 型薄膜半導体装置のドレイン領域は前記個別電源線に接続され、前記信号増幅用ゲート電極は前記容量検出電極に接続され、

前記容量検出誘電体膜は前記容量検出電極を被ってなり、

前記信号増幅用 M I S 型薄膜半導体装置のゲート電極長を  $L$  ( $\mu\text{m}$ )、ゲート電極幅を  $W$  ( $\mu\text{m}$ )、ゲート絶縁膜の厚みを  $t_{ox}$  ( $\mu\text{m}$ )、ゲート絶縁膜の比誘電率を  $\epsilon_{ox}$  として前記信号増幅用 M I S 型薄膜半導体装置のトランジスタ容量  $C_T$  を

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot L \cdot W / t_{ox}$$

にて定義し ( $\epsilon_0$  は真空の誘電率)、

前記容量検出電極の面積を  $S$  ( $\mu\text{m}^2$ )、前記容量検出誘電体膜の厚みを  $t_D$  ( $\mu\text{m}$ )

10

20

30

40

50

、前記容量検出誘電体膜の比誘電率を  $\epsilon_D$  として前記信号検出素子の素子容量  $C_D$  を

$$C_D = \epsilon_0 \cdot \epsilon_D \cdot S / t_D$$

と定義した時に ( $\epsilon_0$  は真空の誘電率)、

$$C_D > 10 \times C_T \text{ であり、}$$

前記対象物が前記容量検出誘電体膜に接しずに対象物距離  $t_A$  を以て離れて居り、対象物容量  $C_A$  を真空の誘電率  $\epsilon_0$  と空気の比誘電率  $\epsilon_A$  と前記容量検出電極の面積  $S$  とを用いて、

$$C_A = \epsilon_0 \cdot \epsilon_A \cdot S / t_A$$

と定義した時に、

$$C_T > 10 \times C_A \text{ である事} \text{ を特徴とする静電容量検出装置。}$$

10

【請求項 4】

対象物との距離に応じて変化する静電容量を検出する事に依り、該対象物の表面形状を読み取る静電容量検出装置に於いて、

該静電容量検出装置は M 行 N 列の行列状に配置された M 本の個別電源線と、N 本の個別出力線、及び該個別電源線と該個別出力線との交点に設けられた静電容量検出素子、該 M 本の個別電源線に接続する電源選択回路とを具備し、

該静電容量検出素子は容量検出電極と容量検出誘電体膜と信号増幅素子とを含み、

該電源選択回路は共通電源線と電源用パスゲートとを含み、

該信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用 M I S 型薄膜半導体装置から成り、

20

該電源用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る電源パスゲート用 M I S 型薄膜半導体装置から成り、

前記信号増幅素子用 M I S 型薄膜半導体装置のソース領域は前記個別出力線に接続され、前記信号増幅素子用 M I S 型薄膜半導体装置のドレイン領域は前記個別電源線に接続され、前記信号増幅素子用 M I S 型薄膜半導体装置のゲート電極は前記容量検出電極に接続され、

前記電源パスゲート用 M I S 型薄膜半導体装置のソース領域は前記個別電源線に接続され、前記電源パスゲート用 M I S 型薄膜半導体装置のドレイン領域は前記共通電源線に接続され、前記電源パスゲート用 M I S 型薄膜半導体装置のゲート電極は電源選択用出力線に接続され、

30

前記個別出力線と前記電源選択用出力線とは第一配線にて配線され、前記個別電源線と前記共通電源線とは第二配線にて配線され、該第一配線と該第二配線とは絶縁膜を介して電氣的に分離されて居り、

前記容量検出電極が第一配線にて配線されて居る事を特徴とする静電容量検出装置。

【請求項 5】

対象物との距離に応じて変化する静電容量を検出する事に依り、該対象物の表面形状を読み取る静電容量検出装置に於いて、

該静電容量検出装置は M 行 N 列の行列状に配置された M 本の個別電源線と、N 本の個別出力線、及び該個別電源線と該個別出力線との交点に設けられた静電容量検出素子、該 M 本の個別電源線に接続する電源選択回路とを具備し、

40

該静電容量検出素子は容量検出電極と容量検出誘電体膜と信号増幅素子とを含み、

該電源選択回路は共通電源線と電源用パスゲートとを含み、

該信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用 M I S 型薄膜半導体装置から成り、

該電源用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る電源パスゲート用 M I S 型薄膜半導体装置から成り、

前記信号増幅素子用 M I S 型薄膜半導体装置のソース領域は前記個別出力線に接続され、前記信号増幅素子用 M I S 型薄膜半導体装置のドレイン領域は前記個別電源線に接続され、前記信号増幅素子用 M I S 型薄膜半導体装置のゲート電極は前記容量検出電極に接続され、

50

前記電源パスゲート用M I S型薄膜半導体装置のソース領域は前記個別電源線に接続され、前記電源パスゲート用M I S型薄膜半導体装置のドレイン領域は前記共通電源線に接続され、前記電源パスゲート用M I S型薄膜半導体装置のゲート電極は電源選択用出力線に接続され、

前記個別出力線と前記電源選択用出力線とは第一配線にて配線され、前記個別電源線と前記共通電源線とは第二配線にて配線され、該第一配線と該第二配線とは絶縁膜を介して電氣的に分離されて居り、

前記容量検出電極が第二配線にて配線されて居る事を特徴とする静電容量検出装置。

**【請求項6】**

対象物との距離に応じて変化する静電容量を検出する事に依り、該対象物の表面形状を読み取る静電容量検出装置に於いて、 10

該静電容量検出装置はM行N列の行列状に配置されたM本の個別電源線と、N本の個別出力線、及び該個別電源線と該個別出力線との交点に設けられた静電容量検出素子、該N本の個別出力線に接続する出力信号選択回路とを具備し、

該静電容量検出素子は容量検出電極と容量検出誘電体膜と信号増幅素子とを含み、

該出力信号選択回路は共通出力線と出力信号用パスゲートとを含み、

該信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用M I S型薄膜半導体装置から成り、

該出力信号用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る出力信号パスゲート用M I S型薄膜半導体装置から成り、 20

前記信号増幅素子用M I S型薄膜半導体装置のソース領域は前記個別出力線に接続され、前記信号増幅素子用M I S型薄膜半導体装置のドレイン領域は前記個別電源線に接続され、前記信号増幅素子用M I S型薄膜半導体装置のゲート電極は前記容量検出電極に接続され、

前記出力信号パスゲート用M I S型薄膜半導体装置のソース領域は前記共通出力線に接続され、前記出力信号パスゲート用M I S型薄膜半導体装置のドレイン領域は前記個別出力線に接続され、前記出力信号パスゲート用M I S型薄膜半導体装置のゲート電極は出力選択用出力線に接続され、

前記個別出力線と前記共通出力線とは第一配線にて配線され、前記個別電源線と前記出力選択用出力線とは第二配線にて配線され、該第一配線と該第二配線とは絶縁膜を介して電氣的に分離されて居り、 30

前記容量検出電極が第一配線にて配線されて居る事を特徴とする静電容量検出装置。

**【請求項7】**

対象物との距離に応じて変化する静電容量を検出する事に依り、該対象物の表面形状を読み取る静電容量検出装置に於いて、

該静電容量検出装置はM行N列の行列状に配置されたM本の個別電源線と、N本の個別出力線、及び該個別電源線と該個別出力線との交点に設けられた静電容量検出素子、該N本の個別出力線に接続する出力信号選択回路とを具備し、

該静電容量検出素子は容量検出電極と容量検出誘電体膜と信号増幅素子とを含み、

該出力信号選択回路は共通出力線と出力信号用パスゲートとを含み、 40

該信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用M I S型薄膜半導体装置から成り、

該出力信号用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る出力信号パスゲート用M I S型薄膜半導体装置から成り、

前記信号増幅素子用M I S型薄膜半導体装置のソース領域は前記個別出力線に接続され、前記信号増幅素子用M I S型薄膜半導体装置のドレイン領域は前記個別電源線に接続され、前記信号増幅素子用M I S型薄膜半導体装置のゲート電極は前記容量検出電極に接続され、

前記出力信号パスゲート用M I S型薄膜半導体装置のソース領域は前記共通出力線に接続され、前記出力信号パスゲート用M I S型薄膜半導体装置のドレイン領域は前記個別出 50

力線に接続され、前記出力信号パスゲート用M I S型薄膜半導体装置のゲート電極は出力選択用出力線に接続され、

前記個別出力線と前記共通出力線とは第一配線にて配線され、前記個別電源線と前記出力選択用出力線とは第二配線にて配線され、該第一配線と該第二配線とは絶縁膜を介して電氣的に分離されて居り、

前記容量検出電極が第二配線にて配線されて居る事を特徴とする静電容量検出装置。

【請求項8】

対象物との距離に応じて変化する静電容量を検出する事に依り、該対象物の表面形状を読み取る静電容量検出装置に於いて、

該静電容量検出装置はM行N列の行列状に配置されたM本の個別電源線と、N本の個別出力線、及び該個別電源線と該個別出力線との交点に設けられた静電容量検出素子、該M本の個別電源線に接続する電源選択回路、該N本の個別出力線に接続する出力信号選択回路とを具備し、

該静電容量検出素子は容量検出電極と容量検出誘電体膜と信号増幅素子とを含み、

該電源選択回路は共通電源線と電源用パスゲートとを含み、

該出力信号選択回路は共通出力線と出力信号用パスゲートとを含み、

該信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用M I S型薄膜半導体装置から成り、

該電源用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る電源パスゲート用M I S型薄膜半導体装置から成り、

該出力信号用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る出力信号パスゲート用M I S型薄膜半導体装置から成り、

前記信号増幅素子用M I S型薄膜半導体装置のソース領域は前記個別出力線に接続され、前記信号増幅素子用M I S型薄膜半導体装置のドレイン領域は前記個別電源線に接続され、前記信号増幅素子用M I S型薄膜半導体装置のゲート電極は前記容量検出電極に接続され、

前記電源パスゲート用M I S型薄膜半導体装置のソース領域は前記個別電源線に接続され、前記電源パスゲート用M I S型薄膜半導体装置のドレイン領域は前記共通電源線に接続され、

前記出力信号パスゲート用M I S型薄膜半導体装置のソース領域は前記共通出力線に接続され、前記出力信号パスゲート用M I S型薄膜半導体装置のドレイン領域は前記個別出力線に接続され、

前記電源パスゲート用M I S型薄膜半導体装置のゲート電極は電源選択用出力線に接続され、

前記出力信号パスゲート用M I S型薄膜半導体装置のゲート電極は出力選択用出力線に接続され、

前記個別出力線と前記共通出力線と前記電源選択用出力線とは第一配線にて配線され、前記個別電源線と前記共通電源線と前記出力選択用出力線とは第二配線にて配線され、該第一配線と該第二配線とは絶縁膜を介して電氣的に分離されて居り、

前記容量検出電極が第一配線にて配線されて居る事を特徴とする静電容量検出装置。

【請求項9】

対象物との距離に応じて変化する静電容量を検出する事に依り、該対象物の表面形状を読み取る静電容量検出装置に於いて、

該静電容量検出装置はM行N列の行列状に配置されたM本の個別電源線と、N本の個別出力線、及び該個別電源線と該個別出力線との交点に設けられた静電容量検出素子、該M本の個別電源線に接続する電源選択回路、該N本の個別出力線に接続する出力信号選択回路とを具備し、

該静電容量検出素子は容量検出電極と容量検出誘電体膜と信号増幅素子とを含み、

該電源選択回路は共通電源線と電源用パスゲートとを含み、

該出力信号選択回路は共通出力線と出力信号用パスゲートとを含み、

10

20

30

40

50

該信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用M I S型薄膜半導体装置から成り、

該電源用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る電源パスゲート用M I S型薄膜半導体装置から成り、

該出力信号用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る出力信号パスゲート用M I S型薄膜半導体装置から成り、

前記信号増幅素子用M I S型薄膜半導体装置のソース領域は前記個別出力線に接続され、前記信号増幅素子用M I S型薄膜半導体装置のドレイン領域は前記個別電源線に接続され、前記信号増幅素子用M I S型薄膜半導体装置のゲート電極は前記容量検出電極に接続され、

10

前記電源パスゲート用M I S型薄膜半導体装置のソース領域は前記個別電源線に接続され、前記電源パスゲート用M I S型薄膜半導体装置のドレイン領域は前記共通電源線に接続され、

前記出力信号パスゲート用M I S型薄膜半導体装置のソース領域は前記共通出力線に接続され、前記出力信号パスゲート用M I S型薄膜半導体装置のドレイン領域は前記個別出力線に接続され、

前記電源パスゲート用M I S型薄膜半導体装置のゲート電極は電源選択用出力線に接続され、

前記出力信号パスゲート用M I S型薄膜半導体装置のゲート電極は出力選択用出力線に接続され、

20

前記個別出力線と前記共通出力線と前記電源選択用出力線とは第一配線にて配線され、前記個別電源線と前記共通電源線と前記出力選択用出力線とは第二配線にて配線され、該第一配線と該第二配線とは絶縁膜を介して電気的に分離されて居り、

前記容量検出電極が第二配線にて配線されて居る事を特徴とする静電容量検出装置。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

本発明は指紋等の微細な凹凸を有する対象物の表面形状を、対象物表面との距離に応じて変化する静電容量を検出する事に依り読み取る静電容量検出装置に関する。

**【0002】**

**【従来の技術】**

従来、指紋センサ等に用いられる静電容量検出装置はセンサ電極と当該センサ電極上に設けられた誘電体膜とを単結晶硅素基板に形成していた（特開平11-118415、特開2000-346608、特開2001-56204、特開2001-133213等）。図1は従来の静電容量検出装置の動作原理を説明している。センサ電極と誘電体膜とがコンデンサの一方の電極と誘電体膜とを成し、人体が接地された他方の電極と成る。このコンデンサーの静電容量 $C_F$ は誘電体膜表面に接した指紋の凹凸に応じて変化する。一方、半導体基板には静電容量 $C_S$ を成すコンデンサーを準備し、此等二つのコンデンサーを直列接続して、所定の電圧を印可する。斯うする事で二つのコンデンサーの間には指紋の凹凸に応じた電荷 $Q$ が発生する。この電荷 $Q$ を通常の半導体技術を用いて検出し、対象物の表面形状を読み取っていた。

30

40

**【0003】**

**【発明が解決しようとする課題】**

しかしながら此等従来の静電容量検出装置は、当該装置が単結晶硅素基板上に形成されて居る為に、指紋センサとして用いると指を強く押しつけた際に当該装置が割れて仕舞うとの課題を有して居た。

**【0004】**

更に指紋センサはその用途から必然的に20mm×20mm程度の大きさが求められ、静電容量検出装置面積の大部分はセンサ電極にて占められる。センサ電極は無論単結晶硅素基板上に作られるが、膨大なエネルギーと労力とを費やして作成された単結晶硅素基板の

50

大部分（センサ電極下部）は単なる支持体としての役割しか演じてない。即ち従来の静電容量検出装置は高価なだけでは無く、多大なる無駄と浪費の上に形成されて居るとの課題を有する。

【0005】

加えて近年、クレジットカードやキャッシュカード等のカード上に個人認証機能を設けてカードの安全性を高めるべきとの指摘が強い。然るに従来の単結晶硅素基板上に作られた静電容量検出装置は柔軟性に欠ける為に、当該装置をプラスチック基板上に作成し得ないとの課題を有している。

【0006】

そこで本発明は上述の諸事情を鑑み、その目的とする所は安定に動作し、更に製造時に不要なエネルギーや労力を削減し得、又単結晶硅素基板以外にも作成し得る優良な静電容量検出装置を提供する事に有る。

【0007】

【課題を解決するための手段】

本発明は対象物との距離に応じて変化する静電容量を検出する事に依り、対象物の表面形状を読み取る静電容量検出装置に於いて、静電容量検出装置はM行N列の行列状に配置されたM本の個別電源線と、N本の個別出力線、及び個別電源線と個別出力線との交点に設けられた静電容量検出素子とを具備し、此の静電容量検出素子は信号検出素子と信号増幅素子とを含み、信号検出素子は容量検出電極と容量検出誘電体膜とを含み、信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用MIS型薄膜半導体装置から成る事を特徴とする。更に信号増幅用MIS型薄膜半導体装置のソース領域が個別出力線に接続され、信号増幅用MIS型薄膜半導体装置のドレイン領域が個別電源線に接続され、信号増幅用ゲート電極が容量検出電極に接続される事をも特徴と為す。又、信号増幅用MIS型薄膜半導体装置のゲート電極長をL(μm)、ゲート電極幅をW(μm)、ゲート絶縁膜の厚みを $t_{ox}$ (μm)、ゲート絶縁膜の比誘電率を $\epsilon_{ox}$ として信号増幅用MIS型薄膜半導体装置のトランジスタ容量 $C_T$ を

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot L \cdot W / t_{ox}$$

にて定義し( $\epsilon_0$ は真空の誘電率)、容量検出電極の面積をS(μm<sup>2</sup>)、容量検出誘電体膜の厚みを $t_D$ (μm)、容量検出誘電体膜の比誘電率を $\epsilon_D$ として信号検出素子の素子容量 $C_D$ を

$$C_D = \epsilon_0 \cdot \epsilon_D \cdot S / t_D$$

と定義した時に( $\epsilon_0$ は真空の誘電率)、此の素子容量 $C_D$ は先のトランジスタ容量 $C_T$ よりも十分に大きい事を特徴とする。十分に大きいとは一般的に10倍程度以上の相違を意味するので、換言すれば素子容量 $C_D$ とトランジスタ容量 $C_T$ とが

$$C_D > 10 \times C_T$$

との関係を満たしている事になる。本発明の静電容量検出装置では容量検出誘電体膜が静電容量検出装置の最表面に位置するのが望ましい。対象物が容量検出誘電体膜に接しずに対象物距離 $t_A$ を以て容量検出誘電体膜から離れて居り、対象物容量 $C_A$ を真空の誘電率 $\epsilon_0$ と空気の比誘電率 $\epsilon_A$ と容量検出電極の面積Sとを用いて、

$$C_A = \epsilon_0 \cdot \epsilon_A \cdot S / t_A$$

と定義した時に、先のトランジスタ容量 $C_T$ は此の対象物容量 $C_A$ よりも十分に大きく成る様に静電容量検出装置を構成づける。前述の如く、10倍程度以上の相違が認められると十分に大きいと言えるので、トランジスタ容量 $C_T$ と対象物容量 $C_A$ とが

$$C_T > 10 \times C_A$$

との関係を満たしている事を特徴と為す。より理想的には、容量検出誘電体膜が静電容量検出装置の最表面に位置し、信号増幅用MIS型薄膜半導体装置のゲート電極長をL(μm)、ゲート電極幅をW(μm)、ゲート絶縁膜の厚みを $t_{ox}$ (μm)、ゲート絶縁膜の比誘電率を $\epsilon_{ox}$ として信号増幅用MIS型薄膜半導体装置のトランジスタ容量 $C_T$ を

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot L \cdot W / t_{ox}$$

にて定義し( $\epsilon_0$ は真空の誘電率)、容量検出電極面積をS(μm<sup>2</sup>)、容量検出誘電体

10

20

30

40

50

膜の厚みを  $t_D$  ( $\mu\text{m}$ )、容量検出誘電体膜の比誘電率を  $\epsilon_D$  として信号検出素子の素子容量  $C_D$  を

$$C_D = \epsilon_0 \cdot \epsilon_D \cdot S / t_D$$

と定義した時に ( $\epsilon_0$  は真空の誘電率)、素子容量  $C_D$  はトランジスタ容量  $C_T$  よりも十分に大きく、更に対象物が容量検出誘電体膜に接しずに対象物距離  $t_A$  を以て離れて居り、対象物容量  $C_A$  を真空の誘電率  $\epsilon_0$  と空気の比誘電率  $\epsilon_A$  と容量検出電極面積  $S$  とを用いて、

$$C_A = \epsilon_0 \cdot \epsilon_A \cdot S / t_A$$

と定義した時に、トランジスタ容量  $C_T$  が対象物容量  $C_A$  よりも十分に大きく成る様に静電容量検出装置を構成づける。より具体的には素子容量  $C_D$  とトランジスタ容量  $C_T$  と対象物容量  $C_A$  とが

$$C_D > 10 \times C_T > 100 \times C_A$$

との関係を満たす様な静電容量検出装置を特徴と為す。

#### 【0008】

本発明は対象物との距離に応じて変化する静電容量を検出する事に依り、対象物の表面形状を読み取る静電容量検出装置に於いて、静電容量検出装置はM行N列の行列状に配置されたM本の個別電源線と、N本の個別出力線、及び個別電源線と個別出力線との交点に設けられた静電容量検出素子、更にはM本の個別電源線に接続する電源選択回路とを具備し、静電容量検出素子は容量検出電極と容量検出誘電体膜と信号増幅素子とを含み、電源選択回路は共通電源線と電源用パスゲートとを含み、信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用MIS型薄膜半導体装置から成り、電源用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る電源パスゲート用MIS型薄膜半導体装置から成る事を特徴とする。この際に信号増幅素子用MIS型薄膜半導体装置のソース領域は個別出力線に接続され、信号増幅素子用MIS型薄膜半導体装置のドレイン領域は個別電源線に接続され、信号増幅素子用MIS型薄膜半導体装置のゲート電極は容量検出電極に接続され、電源パスゲート用MIS型薄膜半導体装置のソース領域は個別電源線に接続され、電源パスゲート用MIS型薄膜半導体装置のドレイン領域は共通電源線に接続される事も特徴と為す。又、電源パスゲート用MIS型薄膜半導体装置のゲート電極は、M本の個別電源線の内からどの個別電源線を選択するかと云った信号を供給する電源選択用出力線に接続される。本発明の静電容量検出装置では個別出力線と電源選択用出力線とが第一配線にて配線され、個別電源線と共通電源線とが第二配線にて配線され、此等第一配線と第二配線とは絶縁膜を介して電氣的に分離されて居る。容量検出電極は第一配線にて配線されるか、或いは第二配線にて配線される。

#### 【0009】

本発明は対象物との距離に応じて変化する静電容量を検出する事に依り、対象物の表面形状を読み取る静電容量検出装置に於いて、静電容量検出装置はM行N列の行列状に配置されたM本の個別電源線と、N本の個別出力線、及び個別電源線と個別出力線との交点に設けられた静電容量検出素子、更にはN本の個別出力線に接続する出力信号選択回路とを具備し、静電容量検出素子は容量検出電極と容量検出誘電体膜と信号増幅素子とを含み、出力信号選択回路は共通出力線と出力信号用パスゲートとを含み、信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用MIS型薄膜半導体装置から成り、出力信号用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る出力信号パスゲート用MIS型薄膜半導体装置から成る事を特徴とする。この際に信号増幅素子用MIS型薄膜半導体装置のソース領域は個別出力線に接続され、信号増幅素子用MIS型薄膜半導体装置のドレイン領域は個別電源線に接続され、信号増幅素子用MIS型薄膜半導体装置のゲート電極は容量検出電極に接続され、出力信号パスゲート用MIS型薄膜半導体装置のソース領域は共通出力線に接続され、出力信号パスゲート用MIS型薄膜半導体装置のドレイン領域は前記個別出力線に接続される事も特徴と為す。又、出力信号パスゲート用MIS型薄膜半導体装置のゲート電極は、N本の個別出力線の内からどの個別出力線を選択するかと云った信号を供給する出力選択用出力線に接続される。本発明の静電容量検

10

20

30

40

50



出装置では個別出力線と共通出力線とが第一配線にて配線され、個別電源線と出力選択用出力線とが第二配線にて配線され、此等第一配線と該第二配線とは絶縁膜を介して電氣的に分離されて居る。容量検出電極は第一配線にて配線されるか、或いは第二配線にて配線される。

【 0 0 1 0 】

本発明は対象物との距離に応じて変化する静電容量を検出する事に依り、対象物の表面形状を読み取る静電容量検出装置に於いて、静電容量検出装置はM行N列の行列状に配置されたM本の個別電源線と、N本の個別出力線、及び個別電源線と個別出力線との交点に設けられた静電容量検出素子、更にはM本の個別電源線に接続する電源選択回路と、N本の個別出力線に接続する出力信号選択回路とを具備し、静電容量検出素子は容量検出電極と容量検出誘電体膜と信号増幅素子とを含み、電源選択回路は共通電源線と電源用パスゲートとを含み、出力信号選択回路は共通出力線と出力信号用パスゲートとを含み、信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用M I S型薄膜半導体装置から成り、電源用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る電源パスゲート用M I S型薄膜半導体装置から成り、出力信号用パスゲートはゲート電極とゲート絶縁膜と半導体膜とから成る出力信号パスゲート用M I S型薄膜半導体装置から成る事を特徴とする。この際に信号増幅素子用M I S型薄膜半導体装置のソース領域は個別出力線に接続され、信号増幅素子用M I S型薄膜半導体装置のドレイン領域は個別電源線に接続され、信号増幅素子用M I S型薄膜半導体装置のゲート電極は容量検出電極に接続され、電源パスゲート用M I S型薄膜半導体装置のソース領域は個別電源線に接続され、電源パスゲート用M I S型薄膜半導体装置のドレイン領域は共通電源線に接続され、出力信号パスゲート用M I S型薄膜半導体装置のソース領域は共通出力線に接続され、出力信号パスゲート用M I S型薄膜半導体装置のドレイン領域は個別出力線に接続される事をも特徴と為す。又、電源パスゲート用M I S型薄膜半導体装置のゲート電極は、M本の個別電源線の内からどの個別電源線を選択するかと云った信号を供給する電源選択用出力線に接続され、出力信号パスゲート用M I S型薄膜半導体装置のゲート電極は、N本の個別出力線の内からどの個別出力線を選択するかと云った信号を供給する出力選択用出力線に接続される。本発明の静電容量検出装置では個別出力線と共通出力線と電源選択用出力線とが第一配線にて配線され、個別電源線と共通電源線と出力選択用出力線とが第二配線にて配線され、此等第一配線と該第二配線とは絶縁膜を介して電氣的に分離されて居る。容量検出電極は第一配線にて配線されるか、或いは第二配線にて配線される。

【 0 0 1 1 】

【 発明の実施の形態 】

本発明は対象物との距離に応じて変化する静電容量を検出する事に依り、対象物の表面形状を読み取る静電容量検出装置を金属 - 絶縁膜 - 半導体膜から成るM I S型薄膜半導体装置にて作成する。薄膜半導体装置は通常硝子基板上に作成される為に、大面積を要する半導体集積回路を安価に製造する技術として知られ、具体的に昨今では液晶表示装置等に用いられている。従って指紋センサ等に適応される静電容量検出装置を薄膜半導体装置にて作成すると、単結晶硅素基板と云った多大なエネルギーを消費して作られた高価な基板を使用する必要がなく、貴重な地球資源を浪費する事なく安価に当該装置を作成し得る。又、薄膜半導体装置は特開平11-312811やS. Utsunomiya et. al. Society for Information Display p. 916 (2000)に開示された転写技術を適用する事で、半導体集積回路をプラスチック基板上に作成出来るので、静電容量検出装置も単結晶硅素基板から解放されてプラスチック基板上に形成し得るので有る。

【 0 0 1 2 】

さて、図1に示すが如き従来の動作原理を適応した静電容量検出装置を薄膜半導体装置にて作成するのは、現在の薄膜半導体装置の技術を以てしては不可能である。二つの直列接続されたコンデンサー間に誘起される電荷Qは非常に小さい為に、高精度感知を可能とする単結晶硅素L S I技術を用いれば電荷Qを正確に読み取れるが、薄膜半導体装置ではトランジスタ特性が単結晶硅素L S I技術程には優れず、又薄膜半導体装置間の特性偏差も

大きい故に電荷  $Q$  を精確に読み取れない。そこで本発明の静電容量検出装置は  $M$  行  $N$  列の行列状に配置された  $M$  本 ( $M$  は 1 以上の整数) の個別電源線と、 $N$  本 ( $N$  は 1 以上の整数) の個別出力線、及び個別電源線と個別出力線との交点に設けられた静電容量検出素子とを具備せしめ、此の静電容量検出素子は信号検出素子と信号増幅素子とを含むとの構成とする。信号検出素子は容量検出電極と容量検出誘電体膜とを含み、容量検出電極には静電容量に応じて電荷  $Q$  が発生する。本発明ではこの電荷  $Q$  を各静電容量検出素子に設けられた信号増幅素子にて増幅し、電流に変換する。具体的には信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用  $MIS$  型薄膜半導体装置から成り、信号増幅用  $MIS$  型薄膜半導体装置のゲート電極が容量検出電極に接続される。図 2 に本願発明の動作原理図を示す。静電容量  $C_s$  を持つコンデンサーと、対象物の表面形状に応じて変化 10  
 する静電容量  $C_F$  を有するコンデンサーとの間に発生した電荷は信号増幅用  $MIS$  型薄膜半導体装置のゲート電位を変化させる。斯うして此の薄膜半導体装置のドレイン領域に所定の電圧を印可すると、誘起された電荷  $Q$  に応じて薄膜半導体装置のソースドレイン間に流れる電流  $I$  は著しく増幅される。誘起された電荷  $Q$  自体は何処にも流れずに保存されるので、ドレイン電圧を高くしたり或いは測定時間を長くする等で電流  $I$  の測定も容易になり、従って薄膜半導体装置を用いても対象物の表面形状を十分正確に計測出来る様になる。

#### 【0013】

前述の如く本願発明では信号増幅素子として信号増幅用  $MIS$  型薄膜半導体装置を用いて 20  
 居る。この場合、静電容量  $C_s$  を持つコンデンサーを信号増幅用  $MIS$  型薄膜半導体装置其の物で兼用し得る。即ち静電容量  $C_s$  に代わる新たな静電容量を信号増幅用  $MIS$  型薄膜半導体装置のトランジスタ容量  $C_T$  とするので有る。斯うする事で静電容量検出素子から静電容量  $C_s$  を持つコンデンサーを省略出来、構造が簡素化されると同時に製造工程も容易と化す。加えて図 2 に描かれて居る二つの電源を共通の電源  $V_{dd}$  として纏める事も静電容量検出装置内に於ける余計な配線を省略し得るとの観点で効果的と言える。斯様な状態に於ける動作原理に関する等価回路図を図 3 に示す。対象物の表面形状に応じて変化 30  
 する静電容量  $C_F$  を有するコンデンサーとトランジスタ容量  $C_T$  を有するコンデンサーとが直列に接続されて居る。厳密にはトランジスタ容量  $C_T$  は信号増幅用  $MIS$  型薄膜半導体装置のドレイン電極とゲート電極との間に形成される静電容量である。図 3 の構成を実現させるには信号増幅用  $MIS$  型薄膜半導体装置のソース領域を個別出力線に接続し、信号増幅用  $MIS$  型薄膜半導体装置のドレイン領域を個別電源線に接続した上で、個別電源線に電圧  $V_{dd}$  を印可し、個別出力線より対象物の表面形状に応じて変化する電流  $I$  を取り出せば良い。

#### 【0014】

斯うした発明を具現化する静電容量検出素子の構造を図 4 を用いて説明する。静電容量検出素子の信号増幅素子を成す信号増幅用  $MIS$  型薄膜半導体装置はソース領域とチャンネル形成領域とドレイン領域とを含む半導体膜とゲート絶縁膜とゲート電極とを不可欠な構成要件としている。図 4 の構成例では此の信号増幅用  $MIS$  型薄膜半導体装置を第一層間絶縁膜が被って居る。信号増幅用  $MIS$  型薄膜半導体装置のソース領域には第一配線が接続され、ドレイン電極には第二配線が接続される。第一配線と第二配線との間には第二層 40  
 間絶縁膜が設けられ、第一配線と第二配線とを電氣的に分離している。静電容量検出素子の信号検出素子を成す容量検出電極は信号増幅用  $MIS$  型薄膜半導体装置のゲート電極に接続され、第二層間絶縁膜上に形成される。容量検出電極上は容量検出誘電体膜が被い、容量検出誘電体膜は静電容量検出装置の最表面に位置する。容量検出誘電体膜は静電容量検出装置の保護膜の役割も同時に演ずる。図 4 では容量検出電極は第二配線にて形成されているが、容量検出電極を第一配線にて形成しても良い。図 4 の構成にて容量検出電極を第一配線で形成すると、図 4 で容量検出誘電体膜と記載してある膜と第二層間絶縁膜とが実際の容量検出誘電体膜となる。又、第二配線を第一層間絶縁膜上に形成し、第一配線を第二層間絶縁膜上に形成する事で容量検出電極を第一配線にて作成する事も可能となる。

#### 【0015】

10

20

30

40

50

上述の構成にて本願発明の信号増幅用MIS型薄膜半導体装置が効果的に信号増幅の機能を果たす為には、信号増幅用MIS型薄膜半導体装置のトランジスタ容量 $C_T$ や信号検出素子の素子容量 $C_D$ を適切に定めねばならない。次に此等の関係を図5を用いて説明する。

【0016】

まず、測定対象物の凸部が容量検出誘電体膜に接しており、対象物が電氣的に接地されて居る状態を考える。具体的には静電容量検出装置を指紋センサとして用い、この静電容量検出装置表面に指紋の山が接している状態の検出を想定する。信号増幅用MIS型薄膜半導体装置のゲート電極長を $L$  ( $\mu\text{m}$ )、ゲート電極幅を $W$  ( $\mu\text{m}$ )、ゲート絶縁膜の厚みを $t_{ox}$  ( $\mu\text{m}$ )、ゲート絶縁膜の比誘電率を $\epsilon_{ox}$ として信号増幅用MIS型薄膜半導体装置のトランジスタ容量 $C_T$ を

$$C_T = \epsilon_0 \cdot \epsilon_{ox} \cdot L \cdot W / t_{ox}$$

と定義する。ここで $\epsilon_0$ は真空の誘電率で有る。更に、容量検出電極の面積を $S$  ( $\mu\text{m}^2$ )、容量検出誘電体膜の厚みを $t_D$  ( $\mu\text{m}$ )、容量検出誘電体膜の比誘電率を $\epsilon_D$ として信号検出素子の素子容量 $C_D$ を

$$C_D = \epsilon_0 \cdot \epsilon_D \cdot S / t_D$$

と定義する ( $\epsilon_0$ は真空の誘電率)。対象物表面が素子容量 $C_D$ の接地電極となり、容量検出電極が容量検出誘電体膜を挟んで他方の電極に相当する。容量検出電極は信号増幅用MIS型薄膜半導体装置のゲート電極に接続されて居るので、トランジスタ容量 $C_T$ を持つコンデンサーと素子容量 $C_D$ を持つコンデンサーとが直列に接続される事に成る。此等二つの直列コンデンサーに電圧 $V_{dd}$ が印可されるのである (図5A)。印可電圧は静電容量に応じて分割されるから、この状態にて信号増幅用MIS型薄膜半導体装置のゲート電極に掛かる電圧 $V_{GT}$ は

【0017】

【数1】

$$V_{GT} = \frac{V_{dd}}{1 + C_D/C_T}$$

となる。従って、素子容量 $C_D$ がトランジスタ容量 $C_T$ よりも十分に大きい時

【0018】

【数2】

$$C_D \gg C_T$$

には、ゲート電圧は

【0019】

【数3】

$$V_{GT} \approx 0$$

と近似され、ゲート電極には殆ど電圧が掛からない。その結果、信号増幅用MIS型薄膜半導体装置はオフ状態となり、電流 $I$ は窮めて小さくなる。結局、指紋の山に相当する対象物の凸部が静電容量検出装置に接した時に信号増幅素子が殆ど電流を流さない為には、静電容量検出素子を構成するゲート電極長やゲート電極幅、ゲート絶縁膜材質、ゲート絶縁膜厚、容量検出電極面積、容量検出誘電体膜材質、容量検出誘電体膜厚などを、素子容量 $C_D$ がトランジスタ容量 $C_T$ よりも十分に大きくなる様に設定せねばならない訳で有る。一般に「十分に大きい」とは10倍程度の相違を意味する。換言すれば素子容量 $C_D$ とトランジスタ容量 $C_T$ とが

$$C_D > 10 \times C_T$$

との関係を満たせば良い。この場合、 $V_{GT}/V_{dd}$ は0.1程度以下となり薄膜半導体装置はオン状態には成り得ない。対象物の凸部を確実に検出するには、対象物の凸部が静

10

20

30

40

50

電容量検出装置に接した時に、信号増幅用MIS型薄膜半導体装置がオフ状態に成る事が重要である。従って電源電圧 $V_{dd}$ に正電源を用いる場合には信号増幅用MIS型薄膜半導体装置として、ゲート電圧がゼロ近傍でドレイン電流が流れないエンハンスメント型(ノーマリーオフ型)N型トランジスタを用いるのが好ましい。より理想的には、伝達特性に於けるドレイン電流が最小値となるゲート電圧(最小ゲート電圧)を $V_{min}$ として、この最小ゲート電圧が

$$0 < V_{min} < 0.1 \times V_{dd}$$

との関係を満たす様な信号増幅用N型MIS薄膜半導体装置を使用する。反対に電源電圧 $V_{dd}$ に負電源を用いる場合には信号増幅用MIS型薄膜半導体装置として、ゲート電圧がゼロ近傍でドレイン電流が流れないエンハンスメント型(ノーマリーオフ型)P型トランジスタを用いる。理想的には信号増幅用P型MIS薄膜半導体装置の最小ゲート電圧 $V_{min}$ が

$$0.1 \times V_{dd} < V_{min} < 0$$

との関係を満たす信号増幅用P型MIS薄膜半導体装置を使用する事である。斯うする事に依り対象物の凸部を、電流値 $I$ が非常に小さいとの形態にて確実に検出し得るので有る。

#### 【0020】

次に対象物が容量検出誘電体膜に接しずに対象物距離 $t_A$ を以て容量検出誘電体膜から離れて居る状況を考える。即ち測定対象物の凹部が容量検出誘電体膜上に有り、更に対象物が電氣的に接地されて居る状況で有る。具体的には静電容量検出装置を指紋センサとして用いた時に、静電容量検出装置表面に指紋の谷が来て居る状態の検出を想定する。先にも述べた様に、本発明の静電容量検出装置では容量検出誘電体膜が静電容量検出装置の最表面に位置するのが望ましい。この時の等価回路図を図5Bに示す。容量検出誘電体膜に対象物表面が接していないので、容量検出誘電体膜と対象物表面との間には空気を誘電体とした新たなコンデンサーが形成される。此を対象物容量 $C_A$ と名付け、真空の誘電率 $\epsilon_0$ と空気の比誘電率 $\epsilon_A$ と容量検出電極の面積 $S$ とを用いて、

$$C_A = \epsilon_0 \cdot \epsilon_A \cdot S / t_A$$

と定義する。斯うして対象物が容量検出誘電体膜から離れた状態では、トランジスタ容量 $C_T$ と素子容量 $C_D$ と対象物容量 $C_A$ とを持つ三つのコンデンサーが直列に接続され、此等三つのコンデンサーに電圧 $V_{dd}$ が印可される事になる(図5B)。印可電圧は静電容量に応じて三つのコンデンサー間で分割されるので、この状態にて信号増幅用MIS型薄膜半導体装置のゲート電極に掛かる電圧 $V_{GV}$ は

#### 【0021】

##### 【数4】

$$V_{GV} = \frac{V_{dd}}{1 + \frac{1}{C_T} \cdot \left( \frac{1}{1/C_D + 1/C_A} \right)}$$

となる。一方、本発明では対象物が静電容量検出装置に接した時にドレイン電流が非常に小さくなる様に

#### 【0022】

##### 【数5】

$$C_D \gg C_T$$

との条件を満たすべく静電容量検出素子を作成して在るので、 $V_{GV}$ は更に

#### 【0023】

##### 【数6】

10

20

30

40

$$V_{GV} \approx \frac{V_{dd}}{1 + C_A/C_T}$$

と近似される。結局、トランジスタ容量  $C_T$  が対象物容量  $C_A$  よりも十分に大きければ、

【0024】

【数7】

$$C_T \gg C_A$$

ゲート電圧  $V_{GV}$  は

【0025】

【数8】

$$V_{GV} \approx V_{dd}$$

と、電源電圧  $V_{dd}$  に略等しくする事が可能と化す。この結果、信号増幅用MIS型薄膜半導体装置をオン状態と出来、電流  $I$  は窮めて大きくなる。指紋の谷に相当する対象物の凹部が静電容量検出装置上に来た時に信号増幅素子が大電流を通す為には、信号増幅素子を構成するゲート電極長やゲート電極幅、ゲート絶縁膜材質、ゲート絶縁膜厚などを、トランジスタ容量  $C_T$  が対象物容量  $C_A$  よりも十分に大きくなる様に構成付ける必要がある。先に述べた如く、10倍程度の相違が認められると一般に十分に大きいと言えるので、

$$C_T > 10 \times C_A$$

との関係を満たせば良い。この場合、 $V_{GT}/V_{dd}$  は0.91程度以上となり薄膜半導体装置は容易にオン状態と化す。対象物の凹部を確実に検出するには、対象物の凹部が静電容量検出装置に近づいた時に、信号増幅用MIS型薄膜半導体装置がオン状態に成る事が重要である。電源電圧  $V_{dd}$  に正電源を用いる場合には信号増幅用MIS型薄膜半導体装置としてエンハンスメント型(ノーマリーオフ型)N型トランジスタを用ており、このトランジスタの閾値電圧  $V_{th}$  が  $V_{GV}$  よりも小さいのが好ましい。より理想的には、

$$0 < V_{th} < 0.91 \times V_{dd}$$

との関係を満たす様な信号増幅用N型MIS薄膜半導体装置を使用する。反対に電源電圧  $V_{dd}$  に負電源を用いる場合には信号増幅用MIS型薄膜半導体装置としてエンハンスメント型(ノーマリーオフ型)P型トランジスタを用ており、理想的には信号増幅用P型MIS薄膜半導体装置の閾値電圧  $V_{th}$  が  $V_{GV}$  よりも大きいのが好ましい。より理想的には、

$$0.91 \times V_{dd} < V_{th} < 0$$

との関係を満たす信号増幅用P型MIS薄膜半導体装置を使用する事である。斯うする事に依り対象物の凹部が、電流値  $I$  が非常に大きいとの形態にて確実に検出されるに至る。

【0026】

結局、指紋の山等に相当する対象物の凸部が静電容量検出装置に接した時に信号増幅素子が殆ど電流を通さず、同時に指紋の谷等に相当する対象物の凹部が静電容量検出装置に近づいた時に信号増幅素子が大きな電流を通して対象物の凹凸を正しく認識するには、静電容量検出素子にて容量検出誘電体膜が静電容量検出装置の最表面に位置し、信号増幅用MIS型薄膜半導体装置のゲート電極長  $L$  ( $\mu\text{m}$ ) やゲート電極幅  $W$  ( $\mu\text{m}$ )、ゲート絶縁膜の厚み  $t_{ox}$  ( $\mu\text{m}$ )、ゲート絶縁膜の比誘電率  $\epsilon_{ox}$ 、容量検出電極面積  $S$  ( $\mu\text{m}^2$ )、容量検出誘電体膜の厚み  $t_D$  ( $\mu\text{m}$ )、容量検出誘電体膜の比誘電率  $\epsilon_D$  を素子容量  $C_D$  がトランジスタ容量  $C_T$  よりも十分に大きくなる様に設定する必要があり、且つ対象物が容量検出誘電体膜に接しずに対象物距離  $t_A$  を以て離れて居る際にトランジスタ容量  $C_T$  が対象物容量  $C_A$  よりも十分に大きく成る様に静電容量検出装置を構成づけるのが理想的と言える。より具体的には素子容量  $C_D$  とトランジスタ容量  $C_T$  と対象物容量  $C_A$  とが

$$C_D > 10 \times C_T > 100 \times C_A$$

10

20

30

40

50

との関係を満たす様に静電容量検出装置を特徴付ける。又、電源電圧  $V_{dd}$  に正電源を用いる場合には信号増幅用 M I S 型薄膜半導体装置としてエンハンスメント型（ノーマリーオフ型）N 型トランジスタを用いるのが好ましく、此の N 型トランジスタの最小ゲート電圧は

$$0 < V_{min} < 0.1 \times V_{dd}$$

との関係を満たし、更に閾値電圧  $V_{th}$  が  $V_{GV}$  よりも小さく、具体的には

$$0 < V_{th} < 0.91 \times V_{dd}$$

との関係を満たしているエンハンスメント型 N 型トランジスタを用いるのが理想的である。反対に電源電圧  $V_{dd}$  に負電源を用いる場合には信号増幅用 M I S 型薄膜半導体装置としてエンハンスメント型（ノーマリーオフ型）P 型トランジスタを用いるのが好ましく、此の P 型トランジスタの最小ゲート電圧  $V_{min}$  は

$$0.1 \times V_{dd} < V_{min} < 0$$

との関係を満たし、更に閾値電圧  $V_{th}$  が  $V_{GV}$  よりも大きく、具体的には

$$0.91 \times V_{dd} < V_{th} < 0$$

との関係を満たしているエンハンスメント型 P 型トランジスタを用いるのが理想的である。

#### 【0027】

次に本発明に依る静電容量検出装置の全体構成を図 6 を用いて説明する。対象物の表面形状を読み取る静電容量検出装置は M 行 N 列の行列状に配置された M 本（M は 1 以上の整数）の個別電源線と、N 本（N は 1 以上の整数）の個別出力線、及び個別電源線と個別出力線との交点に設けられた静電容量検出素子とを最小限の構成要素としている。此等に加えて本発明に依る静電容量検出装置は M 本の個別電源線に接続する電源選択回路や、N 本の個別出力線に接続する出力信号選択回路のどちらか一方、或いは両者をも具備して居ても良い。静電容量検出素子は容量検出電極と容量検出誘電体膜と信号増幅素子とを含み、対象物との距離に応じて変化する静電容量を検出する。静電容量検出素子が M 行 N 列の行列状に配置されているので、対象物の表面形状を読み取るには行と列とを其々順次走査して  $M \times N$  個の静電容量検出素子を適当な順番に選択して行かねばならない。各静電容量検出素子に如何なる順序にて電源を供給して行くかを定めるのが電源選択回路である。電源選択回路は少なくとも共通電源線と電源用パスゲートとを含んで居り、M 本の個別電源線の何れに電源供給するかを選択する。此とは対照的に各静電容量検出素子から如何なる順序にて検出された信号を読み出すかを定めるのが出力信号選択回路である。出力信号選択回路は少なくとも共通出力線と出力信号用パスゲートとを含んで居り、N 本の個別出力線の何れから出力信号を取り出すかを選択する。

#### 【0028】

静電容量検出素子内の信号増幅素子はゲート電極とゲート絶縁膜と半導体膜とから成る信号増幅用 M I S 型薄膜半導体装置から構成される。又、電源用パスゲートもゲート電極とゲート絶縁膜と半導体膜とから成る電源パスゲート用 M I S 型薄膜半導体装置から構成され、出力信号用パスゲートもゲート電極とゲート絶縁膜と半導体膜とから成る出力信号パスゲート用 M I S 型薄膜半導体装置から成る。本願発明では信号増幅素子用 M I S 型薄膜半導体装置のソース領域は個別出力線に接続され、信号増幅素子用 M I S 型薄膜半導体装置のドレイン領域は個別電源線に接続され、信号増幅素子用 M I S 型薄膜半導体装置のゲート電極は容量検出電極に接続される。（図 6 では M I S 型薄膜半導体装置のソース領域を S、ドレイン領域を D、ゲート電極を G にて表示して居る。）斯うして個別電源線と個別出力線とは、容量検出電極にて検出された電荷 Q に感応するチャンネル形成領域を介してお互いに接続される。

#### 【0029】

一方、電源パスゲート用 M I S 型薄膜半導体装置のソース領域は個別電源線に接続され、電源パスゲート用 M I S 型薄膜半導体装置のドレイン領域は共通電源線に接続され、電源パスゲート用 M I S 型薄膜半導体装置のゲート電極は M 本の個別電源線の内からどの個別電源線を選択するかと云った信号を供給する電源選択用出力線に接続される。電源選択用

出力線は一例として電源用シフトレジスタの各出力段となし得るし(図6の場合)、或いは電源用シフトレジスタに代わる電源用デコーダの各出力段ともなし得る。電源用シフトレジスタはM個の出力段に転送されて来た選択信号を順次供給して行く。又、電源用デコーダはデコーダへの入力信号に応じてM個の出力段から特定の出力段を選定する。斯うしてM個の電源用パスゲートには順次選択信号が入力され、結果としてM本の個別電源線が共通電源線と順次電氣的な導通が取られて行く。信号増幅素子用MIS薄膜半導体装置のドレイン領域は個別電源線に接続しているため、選択された個別電源線に接続する信号増幅素子は一斉に対象物の表面形状に応じた電流を各個別出力線に供給する事に成る。

#### 【0030】

本願発明では出力信号パスゲート用MIS型薄膜半導体装置のソース領域は共通出力線に接続され、出力信号パスゲート用MIS型薄膜半導体装置のドレイン領域は個別出力線に接続され、出力信号パスゲート用MIS型薄膜半導体装置のゲート電極はN本の個別出力線の内からどの個別出力線を選択するかと云った信号を供給する出力選択用出力線に接続されて居る。出力選択用出力線は一例として出力信号用シフトレジスタの各出力段となし得るし(図6の場合)、或いは出力信号用シフトレジスタに代わる出力信号用デコーダの各出力段ともなし得る。出力信号用シフトレジスタはN個の出力段に転送されて来た選択信号を順次供給して行く。又、出力信号用デコーダはデコーダへの入力信号に応じてM個の出力段から特定の出力段を選定する。斯うしてN個の出力信号用パスゲートには順次適時選択信号が入力され、結果としてN本の個別出力線が共通出力線と順次電氣的な導通が取られて行く。信号増幅素子用MIS型薄膜半導体装置のソース領域は個別出力線に接続しているため、電源選択回路にて選択された個別電源線に接続するN個の信号増幅素子の内で唯一出力信号選択回路にて選択された個別出力線に接続する信号増幅素子だけが、対象物の表面形状に応じた電流を共通出力線に供給する事に成る。以降同様にして、M本の個別出力線の内的一本が選択された状態にてN本の個別出力線を順次走査して行く事で、M行N列の行列状静電容量検出素子からの信号が順番に共通出力線に供給されて行くのである。

#### 【0031】

斯うした構成にて静電容量検出装置が機能する為には、個別出力線と共通出力線と電源選択用出力線とが第一配線にて配線され、個別電源線と共通電源線と出力選択用出力線とが第二配線にて配線され、此等第一配線と該第二配線とは絶縁膜を介して電氣的に分離される必要が有る。容量検出電極は第一配線にて配線されても良いし、或いは第二配線にて配線されても良い。斯うした構成を成す事で余分な配線を除去し、以て各配線間に生ずる寄生容量を最小化せしめ、故に微少な静電容量を高感度にて検出せしめる訳である。

#### 【0032】

斯様な静電容量検出素子は前述の転写技術を用いて、プラスチック基板上に形成され得る。単結晶硅素技術に基づく指紋センサはプラスチック上では直ぐに割れてしまったり、或いは十分な大きさを有さぬが為に実用性に乏しい。これに対して本願発明に依るプラスチック基板上の静電容量検出素子は、プラスチック基板上で指を被うに十分に大きい面積としても静電容量検出素子が割れる心配もなく、プラスチック基板上での指紋センサとして利用し得る。具体的には本願発明により個人認証機能を兼ね備えたスマートカードが実現される。個人認証機能を備えたスマートカードはキャッシュカード(bankcard)やクレジットカード(credit card)、身分証明書(Identity card)等で使用され、此等のセキュリティレベルを著しく高めた上で尚、個人指紋情報をカード外に流出させずに保護するとの優れた機能を有する。

#### 【0033】

(実施例1)

ガラス基板上に薄膜半導体装置からなる静電容量検出装置を製造した上で、此の静電容量検出装置を特開平11-312811やS. Utsunomiya et. al. Society for Information Display p. 916 (2000)に開示された転写技術を用いてプラスチック基板上に転写し

10

20

30

40

50

、プラスチック基板上に静電容量検出装置を作成した。静電容量検出装置は400行400列の行列状に並んだ静電容量検出素子から構成される。行列部の大きさは20.32mm角の正方形である。

#### 【0034】

基板は厚み400 $\mu$ mのポリエーテルスルホン(PES)である。信号増幅用MIS型薄膜半導体装置も出力信号パスゲート用MIS型薄膜半導体装置も、電源パスゲート用MIS型薄膜半導体装置も、出力信号用シフトレジスタを構成するMIS型薄膜半導体装置も、電源用シフトレジスタを構成するMIS型薄膜半導体装置も、総て同じ断面構造を有する薄膜トランジスタにて作られている。薄膜トランジスタは図4に示すトップゲート型で工程最高温度425の低温工程にて作成される。半導体膜はレーザー結晶化にて得られた多結晶硅素薄膜でその厚みは59nmである。又、ゲート絶縁膜は化学気相堆積法(CVD法)にて形成された48nm厚の酸化硅素膜で、ゲート電極は厚み400nmのタantal薄膜から成る。ゲート絶縁膜を成す酸化硅素膜の比誘電率はCV測定により略3.9と求められた。第一層間絶縁膜と第二層間絶縁膜は原料物質としてテトラエチルオキシシリケート(TEOS:Si(OCH<sub>2</sub>CH<sub>3</sub>)<sub>4</sub>)と酸素とを用いてCVD法にて形成した酸化硅素膜である。第一層間絶縁膜はゲート電極(本実施例では400nm)よりも20%程度以上厚く、第二層間絶縁膜よりも薄いのが望ましい。斯うするとゲート電極を確実に覆って、ゲート電極と第一配線乃至は第二配線との短絡を防止し、同時に第二層間絶縁膜を厚くし得るからである。本実施例では第一層間絶縁膜を500nmとした。第二層間絶縁膜は第一配線と容量検出電極とを分離して居る。従って第一配線と容量検出電極との間に生ずる寄生容量を最小とし、好感度の静電容量検出装置を実現するには第二層間絶縁膜の誘電率は出来る限り小さく、その厚みは出来る限り厚い方が好ましい。而るにCVD法にて積層された酸化硅素膜の総厚みが2 $\mu$ m程度を越えると酸化膜に亀裂が生ずる場合があり、歩留まりの低下をもたらす。従って第一層間絶縁膜と第二層間絶縁膜との和は2 $\mu$ m程度以下とする。斯うする事で静電容量検出装置の生産性が向上する。先にも述べた様に第二層間絶縁膜は厚い方が好ましいので、第一層間絶縁膜よりも厚くする。第一層間絶縁膜はゲート電極よりも20%程度以上厚く、第二層間絶縁膜は第一層間絶縁膜よりも厚く、第一層間絶縁膜と第二層間絶縁膜との和は2 $\mu$ m程度以下が理想的と言える。本実施例では第二層間絶縁膜の厚みを1 $\mu$ mとした。第一配線と第二配線は何れも500nm厚のアルミニウムより成り、配線幅は5 $\mu$ mである。第一配線に依り電源選択用出力線と共通出力線、及び個別出力線が形成され、第二配線にて個別電源線と共通電源線、出力選択用出力線、及び容量検出電極が形成された。個別電源線と容量検出電極との間隔は5 $\mu$ mで、個別出力線と容量検出電極との間隔も矢張り5 $\mu$ mである。本実施例では静電容量検出装置を成す行列のピッチを50.8 $\mu$ mとし、解像度を500dpi(dots per inch)としている。従って容量検出電極は40.8 $\mu$ m $\times$ 40.8 $\mu$ mの大きさとなる。容量検出誘電体膜は厚み400nmの窒化硅素膜にて形成された。CV測定からこの窒化硅素膜の比誘電率は略7.5であったから、素子容量C<sub>D</sub>は凡そ276fF(フェムトファラッド)となる。本実施例の静電容量検出装置を指紋センサと想定すると、指紋の凹凸は40 $\mu$ m程度なので、静電容量検出装置表面に指紋の谷が来た時の対象物容量C<sub>A</sub>は0.368fFと計算される。一方、信号増幅用MIS薄膜半導体装置のゲート電極長Lを4 $\mu$ mとし、ゲート電極幅Wを5 $\mu$ mとしたから、トランジスタ容量C<sub>T</sub>は凡そ14.4fFとなる。斯うして本実施例に示す静電容量検出素子は

$$C_D > 10 \times C_T > 100 \times C_A$$

との関係を満たす。斯くして電源電圧V<sub>dd</sub>を3.3Vとすると、指紋の山が静電容量検出装置表面に接した時に信号増幅用MIS薄膜半導体装置のゲート電極に印可される電圧V<sub>GT</sub>は0.16Vとなり、指紋の谷が来た時に此のゲート電極に印可される電圧V<sub>GV</sub>は3.22Vとなる。

#### 【0035】

図7には本実施例にて用いたMIS型薄膜半導体装置の伝達特性を示す。出力信号用シフトレジスタと電源用シフトレジスタはCMOS構成とされ、信号増幅用MIS型薄膜半導

10

20

30

40

50



体装置と電源パスゲート用M I S型薄膜半導体装置、及び出力信号パスゲート用M I S型薄膜半導体装置はN M O Sトランジスタにて形成された。信号増幅用N型M I S薄膜半導体装置の最小ゲート電圧 $V_{m i n}$ は $0.1V$ で有り、

$$0 < V_{m i n} < 0.1 \times V_{d d} = 0.33V$$

との関係を満たして居る。又、閾値電圧 $V_{t h}$ は $1.47V$ で、矢張り

$$0 < V_{t h} < 0.91 \times V_{d d} = 3.00V$$

との関係を満たして居る。この結果、指紋の山が静電容量検出装置表面に接した時に信号増幅素子から出力される電流値は $5.6 \times 10^{-13}A$ と窮めて微弱となる。反対に指紋の谷が来た時には信号増幅素子から $2.4 \times 10^{-5}A$ と大きな電流が出力され、指紋等の凹凸情報を精度良く検出するに至った。

10

【0036】

【発明の効果】

以上詳述してきた様に、従来の単結晶硅素基板を用いた技術では数mm×数mm程度の小さな静電容量検出装置しかプラスチック基板上に形成出来なかったが、本願発明に依るとその百倍もの面積を有する静電容量検出装置をプラスチック基板上に作成する事が実現し、しかも対象物の凹凸情報を窮めて高精度に検出出来る様になった。その結果、例えばスマートカードのセキュリティーレベルを著しく向上せしめるとの効果が認められる。又、単結晶硅素基板を用いた従来の静電容量検出装置は装置面積の極一部しか単結晶硅素半導体を利用して居らず、莫大なエネルギーと労力とを無駄に費やしていた。これに対し本願発明では斯様な浪費を排除し、地球環境の保全に役立つとの効果を有する。

20

【図面の簡単な説明】

【図1】 従来技術に於ける動作原理を説明した図。

【図2】 本願発明に於ける動作原理を説明した図。

【図3】 本願発明に於ける動作原理を説明した図。

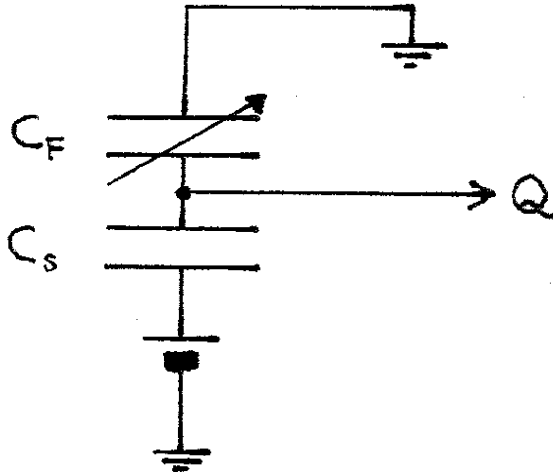
【図4】 本願発明の素子構造を説明した図。

【図5】 本願発明の原理を説明した図。

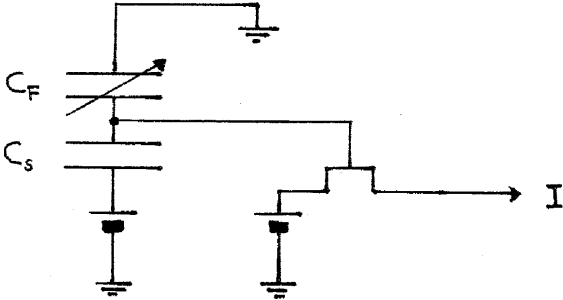
【図6】 本願発明全体構成を説明した図。

【図7】 本実施例にて用いた薄膜半導体装置の伝達特性図。

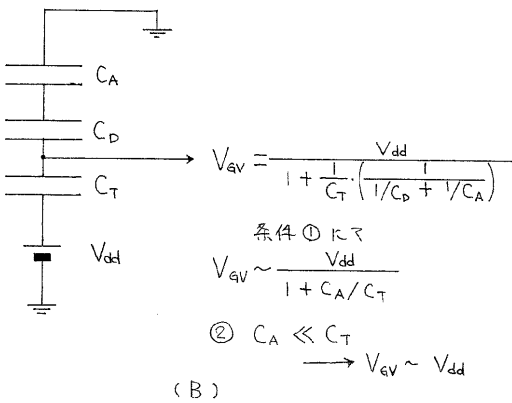
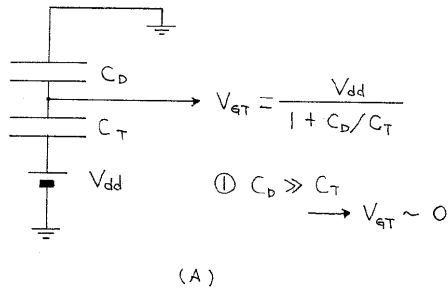
【図1】



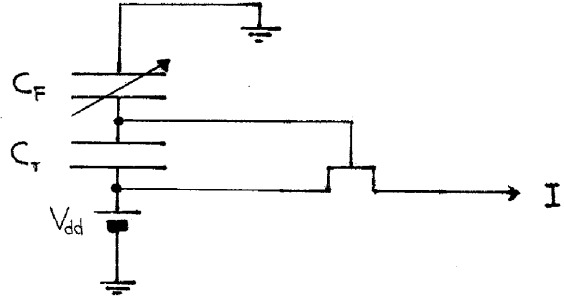
【図2】



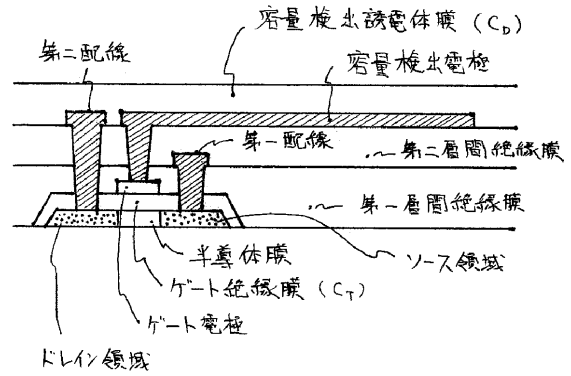
【図5】



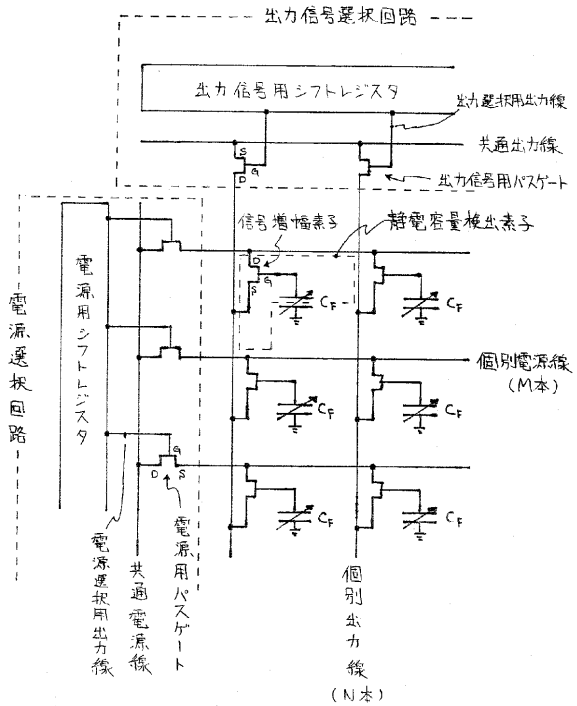
【図3】



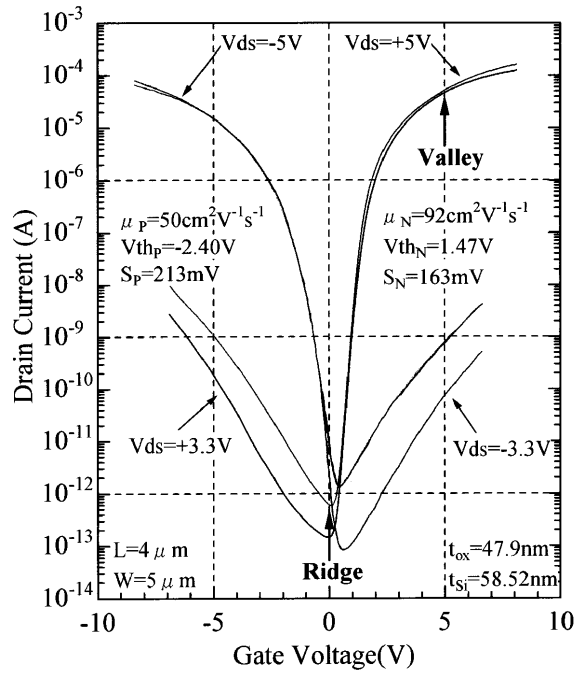
【図4】



【図6】



【 図 7 】



フロントページの続き

審査官 山田 昭次

(56)参考文献 特開2000-346610(JP,A)  
特開2001-358155(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01B 7/00-34

A61B 5/06-22

G06T 1/00

H01L 29/78