

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94134629

※申請日期：94.10.4

※IPC 分類：G11C 11/4072, 14/00

一、發明名稱：(中文/英文)

降低抹除時間及防止過抹除之抹除方法

AN ERASE METHOD TO REDUCE ERASE TIME

AND TO PREVENT OVER-ERASE.

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

晶豪科技股份有限公司/ELITE SEMICONDUCTOR MEMORY TECHNOLOGY
INC.

代表人：(中文/英文) 陳興海/HSING-HAI CHEN

住居所或營業所地址：(中文/英文)

新竹市科學園區工業東四路 23 號/NO.23, INDUSTRY E. RD., IV,
SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, 300, TAIWAN R. O. C.

國籍：(中文/英文) 中華民國/TW

三、發明人：(共 2 人)

姓名：(中文/英文)

1 陳宗仁/ CHEN, CHUNG ZEN

2 郭忠山/ Kuo Chung-Shan

國籍：(中文/英文) 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是關於非揮發性記憶體及具有非揮發性記憶體之裝置，更特別的是，本發明是關於一種使用在快閃記憶體中之抹除方法。

【先前技術】

經常期望的是所使用記憶體裝置即使當電源暫時性的中斷或當裝置無限期不施加電力的放置時，仍可保留資訊。多種半導體記憶體即以此特徵發展為所謂的非揮發性記憶體。一廣泛應用之種類為電子式可清除程式化唯讀記憶體 (Electrically Erasable Programmable Read-Only Memory, EEPROM)，資訊可在此 EEPROM 之記憶胞內依電性來儲存及抹除。

一種習知的 EEPROM 記憶體裝置具有在單晶片上以 $N \times M$ 矩陣排列的一記憶體陣列，其中 N 為列數及 M 為行數，此陣列分割為一些扇區，而各扇區可分別被選擇抹除，且各扇區是以一預定列數聚集的方式來形成。如圖 1 所示，一個 16 百萬位元 (Megabit, MB) 快閃記憶體 110 分割為 32 扇區，各扇區具有 64 千位元組之大小及可包括 256 位元組之列及 256 位元組之行。

各記憶胞具有整合在 P 型基板內的一個 N 型源極區域及一個 N 型汲極區域。一個浮接的閘極藉一薄介電層與基板分隔，第二個介電層則分隔控制閘與浮接閘，此外，在基板內的一個 P 型通道區域則分隔了源極與汲極區域。在

一個 EEPROM 中，記憶胞係被分割成多個扇區，其中各單元電晶體之源極區域係在各扇區內連接到一相同節點，此節點稱為 V_{sc} 。因此，扇區 120 內的所有記憶胞將同時被抹除，且僅在扇區接連扇區的基礎上執行抹除，此單元電晶體之控制閘係耦接至字元線，而其源極則耦接至位元線。

當低電壓施加到源極區域且高電壓施加到控制閘及汲極區域時，EEPROM 可藉由發射熱電子到浮接閘的方式來進行程式化。舉例來說，當源極區域保持在接地電位時，源極電壓約為 +4 伏特且控制閘電壓約為 +9 伏特。在一抹除操作時，一扇區中的快閃記憶體藉由所謂的富勒-諾得漢 (Fowler-Nordheim, F-N) 穿隧效應的方法依序被抹除，其中，一正電壓 (如 +6 伏特) 施加在源極區域、一負電壓 (如 -9 伏特) 施加於控制閘、及允許汲極區域浮接。在此偏壓狀態下，一個介於 12 到 9MV/cm 之強電場將在控制閘與基板間產生，所以在浮接閘累積之負電荷經由薄絕緣體放電至源極區域。在一讀取操作中，此源極區域保持在接地電位 (0 伏特) 及控制閘具有約 +5 伏特之電壓，此汲極區域連接到介於 +1 到 +2 之間的一電壓。上述範例僅用以解釋，亦可採用其他的電壓值以提供相同的程式化、抹除、及讀取操作。

一習知抹除方法係依序抹除欲抹除之扇區的每一個記憶胞，若一個記憶胞驗證失敗時，一抹除脈波將被施加於所有欲抹除之扇區，而此記憶胞將再被驗證一次，此程序將一直重複直到此記憶胞通過驗證，然後才再驗證下一

個記憶胞，若一個記憶胞非常難以抹除，在多次施加抹除脈波之後，正常的記憶胞則可能會被過抹除。

為了防止過抹除，如圖 2 所示的一個改善抹除之方法係對各扇區使用一個扇區抹除旗標，一旦成功抹除及驗證一扇區內所有記憶胞時（步驟 202），設定此扇區之抹除旗標（步驟 204）且不再抹寫此扇區。因此，不會只因為另一扇區內的一個難以抹除的記憶胞而過抹寫正常的扇區。然而，因為抹除次數缺乏控制，一個難以抹除之記憶胞的驗證仍耗費極大量時間，且過抹除之考量並未完全消除。舉例來說，若一個記憶胞使用 100 次脈波以通過驗證時，假設各驗證週期約為 200 奈秒及各抹除脈波週期約為 10 毫秒，則需花費大約 21 秒。

為了降低總抹除時間，圖 3 所示的另一個改善方法係在各扇區中配置一個位址暫存器用以記錄扇區內驗證失敗之位址（步驟 302），並依序驗證各扇區的記憶胞（步驟 304），若一個記憶胞驗證失敗時，其位址將被儲存於扇區位址暫存器。如此，在施加一抹除脈波（步驟 306）之後，並不需要從扇區之第一記憶胞開始驗證，反而可以繼續驗證先前驗證失敗之記憶胞（步驟 308）。然而，扇區位址暫存器會佔用記憶胞內之晶片空間。舉例來說，在一個具有 35 扇區的 16M 快閃記憶體中，位址暫存器所佔據之面積將在 14 毫米平方大小的 16M 晶片中佔據約 0.89 毫米平方。

【發明內容】

一種使用於設置在多個扇區之快閃記憶胞之陣列的抹除方法。其中各扇區具有一個抹除旗標，而所欲抹除之扇區的抹除旗標則被設定為第一值，自第一扇區到最後扇區，而各扇區第一位址至最後位址中旗標設定第一值之記憶胞依序被驗證。當驗證失敗且同一記憶胞驗證次數小於預定數目時，施加一抹除脈波至此扇區且再驗證同一記憶體位址；當驗證失敗且同一記憶胞驗證次數到達預定數目時，驗證其旗標設為第一值之剩餘扇區。當欲抹除之扇區中各記憶胞通過驗證時，將此扇區之抹除旗標設定為第二值，當欲抹除之各扇區之抹除旗標設為第二值時，終止此抹除操作。

【實施方式】

為了降低總抹除時間及防止過抹寫非揮發性記憶體，一較佳實施例可跨越一個難以被抹寫之記憶體位址，且繼續驗證剩餘扇區，然後再回來處理此特定記憶體位址。此非揮發性記憶體具有設置在多個扇區之內的記憶胞陣列，在每個扇區內，各單元電晶體的源極區域連接到一相同節點，因此，此扇區之內的所有記憶胞將被同時抹除，且此抹除是執行在扇區接隨扇區的基礎上。當一扇區中的記憶體位址驗證失敗時，施加一抹除脈波於此扇區或所有欲抹除之扇區，經過幾次抹寫之後，雖然仍有一難以被抹除之記憶體位址未通過此驗證，但其他欲抹除之扇區中記憶胞可迅速地通過此驗證。在此情況之下，較佳實施例可跨越難以被抹除之記憶胞位址且繼續驗證其他扇區中的記

憶胞，因此能提早驗證其他扇區以降低總抹除時間及防止過抹寫。

各扇區具有一抹除旗標以指示此扇區的抹除狀況，此抹除旗標可設定為第一值以指示需要抹除此扇區，此抹除旗標可設定為第二值以指示已成功地抹除及驗證此扇區，一個目前位址暫存器用以指示目前被驗證之位址，一個抹除次數計數器用以指示施加抹除脈波及驗證同一位址之次數。當此同一位址連續地被抹除且在驗證一定次數後但仍失敗時，則會跨越此難以被抹除之記憶體，且目前位址暫存器將被設為下一欲抹寫之扇區的第一位址。在一實施例中，跨越次數設定約為 10 到 50 次。

圖 4A、圖 4B、及圖 4C 顯示一較佳實施例之流程，如圖 4A 所示，在步驟 410 中，欲抹除之扇區的抹除旗標設為第一值，在步驟 412，目前位址暫存器則被設定為欲抹寫之第一扇區的第一位址。在步驟 414 中，抹寫次數計數器設為零，在步驟 420 中，驗證儲存在目前位址暫存器之位址，在一開始時，驗證欲抹寫之第一扇區的第一位址。

如圖 4B 所示，在步驟 422 時，若驗證失敗時，抹除次數計數器之值與抹除錯誤值比較。在步驟 424 中，若此抹除次數計數器之值到達抹除錯誤值，終止抹除程序並傳送一失敗信號。在步驟 426 時，若驗證次數計數器之值小於驗證錯誤值時；抹除次數計數器再一次與抹除跨越值(例如 10 到 50) 做比較，若抹除次數計數器之值小於抹除跨越值時，在步驟 428 中施加一抹除脈波於所有抹除旗標具

有第一值之扇區，且抹除次數計數器之值增加 1，然後前進至步驟 420 再驗證。在步驟 430 中，若抹除次數計數器之值到達抹除跨越值時，將決定此扇區是否為其抹除旗標具有第一值之最後扇區，若此扇區為最後扇區，則前往步驟 428，若此扇區並非其抹除旗標具有第一值之最後扇區，在步驟 432 中，跨越此具有難以抹除之位址的扇區，且此目前位址暫存器將被設定為其抹除旗標具有第一值之下一個扇區的第一位址，然後才前往步驟 460 以快速驗證。

回到圖 4A，在步驟 440 中，若此驗證成功時，目前位址暫存器被用來比較以決定此目前位址是否為此扇區內的最後位址。在步驟 442 中，若目前位址並非此扇區的最後位址，目前位址暫存器之值將增加 1，且前往步驟 420 以驗證。在步驟 444 時，若目前位址為此扇區內的最後位址時，此扇區的抹寫旗標將被設定為第二值以指示已成功抹除及驗證此扇區。在步驟 446 中，決定此扇區是否為其抹除旗標具有第一值之最後扇區；接者在步驟 448 中，若此扇區並非欲抹除之最後扇區，目前位址暫存器將被設為其欲抹除之下一個扇區的第一個位址。在步驟 450 內，若此扇區為欲抹除之最後扇區，此即意味著所有欲抹除之扇區的旗標將被設為第二值，於是完成此抹除程序。

在快速驗證的迴圈中，若在一扇區中的一位址在第一次嘗試未能成功驗證，此扇區將被跨越。如圖 4C 所示，在步驟 460 中，驗證儲存在目前位址暫存器之位址。在步驟 462 中，若驗證失敗，則將決定是否此扇區是除了跨越

扇區之外欲抹除的最後扇區。在步驟 464 中，若此扇區並非除了跨越扇區之外的最後扇區，目前位址暫存器將被設定為欲抹除之下一扇區之第一位址，然後前往步驟 460 以驗證；在步驟 466 中，若此扇區為除了跨越扇區之外的最後扇區，目前位址暫存器將被設為跨越扇區之第一位址。在步驟 468 中，抹除次數計數器設為零，然後回到步驟 420 以驗證。

在步驟 470 中，若在快速驗證迴圈中驗證成功時，將決定此位址是否為此扇區的最後位址。在步驟 472 中，若此位址並非此扇區的最後位址，將此位址暫存器之值增加 1，然後前往步驟 460 以驗證；在步驟 474 時，若此位址為此扇區的最後位址，此扇區之抹除旗標將被設為第二值以指示已成功抹除及驗證整個扇區，然後前往步驟 462 以決定此扇區除了跨越扇區之外是否為欲抹除之最後扇區。

為了防止過抹除問題，另一個實施例之抹除方法能施加抹除脈波於驗證失敗之扇區，以及週期性地施加於其旗標為第一值之所有扇區，一個可能之方式為每經過一些次數，施加抹除脈波於其抹除旗標具有第一值之所有扇區，而不僅僅是施加於抹除失敗之扇區。舉例來說，每一其他時間施加抹除脈波於其抹除旗標具有第一值之所有扇區，而不僅僅是施加於驗證失敗之扇區。

圖 5 顯示為在位址驗證失敗後之一個替代程序的流程圖，在步驟 510 中，若此驗證失敗，比較抹除次數計數器之值與抹除錯誤值。然後在步驟 512 時，若此抹除次數計

數器之值到達抹除錯誤值時，終止抹除程序，且傳送一失敗信號。在步驟 514 時，若抹除次數計數器之值小於抹除錯誤值時，此抹除次數計數器之值再與抹除跨越值（例如 50）做比較，若抹除次數計數器之值小於抹除跨越值時，在步驟 516 此抹除次數計數器之值將被比較以決定是否為抹除所有數目之一。在步驟 518 中，若此抹除次數計數器之值為抹除所有數目之一時，施加一抹除脈波於其抹除旗標具有第一值之所有扇區。舉例來說，若抹除次數計數器之值為一偶數，施加抹除脈波於其抹除旗標具有第一值之所有扇區，將此抹除次數計數器之值增加 1，然後前往步驟 420 再一次的驗證；在步驟 520 中，若抹除次數計數器之值並非抹除所有數目之一時，抹除脈波僅施加於驗證失敗之扇區。舉例來說，若抹除次數計數器之值為一奇數，抹除脈波僅施加於通過驗證之扇區，將抹除次數計數器之值增加 1，然後前往步驟 420 以再一次的驗證。

若抹除跨越計數器之值到達抹除跨越值時，在步驟 522 中，決定此扇區是否為其抹除旗標具有第一值之最後扇區，若此扇區為最後扇區，則前往步驟 520；若此扇區並非其抹除旗標設為第一值之最後扇區時，在步驟 524 中，跨越具有難以抹除位址之此扇區，且將目前位址暫存器設為其抹除旗標具有第一值之下一扇區的第一位址，然後前往步驟 460 以快速驗證。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 為非揮發性記憶體之結構圖。

圖 2 為習知使用抹除旗標之抹除方法的流程圖。

圖 3 為另一習知使用扇區位址暫存器之抹除方法的流程圖。

圖 4A、圖 4B、圖 4C 是依照本發明一較佳實施例所繪示的抹除方法之流程圖。

圖 5 是依照本發明另一較佳實施例所繪示的抹除方法之流程圖。

【主要元件符號說明】

110：扇區內記憶胞陣列

120：16 百萬位元記憶胞陣列

WL0~WLn：字元線

BL0~BLm：位元線

Vsc:節點

202、204：習知抹除方法之步驟

302、304、306、308；習知抹除方法之步驟

410~474：本發明一較佳實施例的抹除方法之各步驟

510~524：本發明另一較佳實施例的抹除方法之各步驟

五、中文發明摘要：

一種使用於設置在多個扇區之快閃記憶胞陣列的抹除方法，其中各扇區具有一個抹除旗標，而所欲抹除之扇區的抹除旗標則被設定為第一值。自第一扇區至最後扇區，而各扇區第一位址至最後位址中旗標設為第一值之記憶胞依序被驗證。當驗證失敗且同一記憶胞驗證次數小於預定數目時，施加一抹除脈波至此扇區及再驗證同一記憶體位址；若驗證失敗且同一記憶胞驗證次數到達預定數目時，驗證其旗標設定為第一值之剩餘扇區。當欲抹除之扇區中各記憶胞通過驗證時，將此扇區之抹除旗標設為第二值，當欲抹除之各扇區的旗標設為第二值時，終止抹除操作。

六、英文發明摘要：

An erase method used in an array of flash memory cells arranged in a few sectors. Each sector has an erase flag. The erase flags of sectors to be erased are set to a first value. The memory cells are sequentially verified from a first sector to a last sector. When the verification fails and the number of times of the-same-verification is less than a predetermined number, the sector is applied an erase pulse and the same memory address is verified again. When the verification fails and the number of times of the same-cell-verification reaches the predetermined number, the remaining sectors whose flag

is set to the first value are verified. When each memory cell of a sector to be erased passes verification, the erase flag of the sector is set to a second value. When the flag of each sector to be erased is set to the second value, the erase operation is terminated.

七、指定代表圖：

(一)本案指定代表圖為：圖(4)。

(二)本代表圖之元件符號簡單說明：

410~474：本發明一較佳實施例的抹除方法之各步驟

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1.一種非揮發性記憶胞陣列之抹除方法，該些記憶胞係配置於多個扇區，且每一該些扇區具有一抹除旗標，該方法包含：

設定欲抹除扇區之該抹除旗標為一第一值；

依序由該抹除旗標設為該第一值的一第一扇區至一最後扇區驗證該些扇區中的該些記憶胞，其中每一該些扇區係由一第一位址驗證至一最後位址；

當驗證失敗時，施加一抹除脈波至該扇區，且若一抹除次數計數器之值小於一抹除跨越值時，再一次驗證相同記憶體位址，若該抹除次數計數器之值到達該抹除跨越之值時，驗證該抹除旗標具有該第一值之剩餘扇區；

當欲抹除扇區中的每一該些記憶胞皆通過驗證時，設定該扇區之該抹除旗標為一第二值；以及

當每一欲抹除之該些扇區之該抹除旗標設定為該第二值時，終止抹除操作。

2.如申請專利範圍第 1 項之抹除方法，更包含：

預先程式化所有欲抹除之該些扇區內的該些記憶胞為邏輯零位準。

3.如申請專利範圍第 1 項之抹除方法，其中該抹除跨越值之範圍係介於 10 到 50 之間。

4.如申請專利範圍第 1 項之抹除方法，其中當該抹除次數計數器之值到達一抹除失敗值時，終止該抹除操作。

5.如申請專利範圍第 4 項之抹除方法，其中該抹除失

敗值為 1000。

6.如申請專利範圍第 1 項之抹除方法，其中當驗證失敗時的步驟更包括：

施加該抹除脈波於該扇區，並週期性地施加於所有該抹除旗標設為該第一值之該些扇區；

若該抹除次數計數器之值小於該抹除跨越值時，再驗證同一該記憶胞；以及

若該抹除次數計數器之值到達該抹除跨越值時，驗證該抹除旗標具有該第一值之剩餘扇區。

7. 如申請專利範圍第 6 項之抹除方法，其中當驗證失敗時的步驟更包括：

施加該抹除脈波於該扇區，並在每一其他時間施加於所有該抹除旗標設定為該第一值之該些扇區；

若該抹除次數計數器之值小於該抹除跨越值時，再驗證同一記憶胞；以及

若該抹除次數計數器之值到達該抹除跨越值時，驗證該抹除旗標具有該第一值之剩餘扇區。

8. 如申請專利範圍第 1 項之抹除方法，其中當驗證失敗時，若該抹除次數計數器之值非為多個抹除所有值之一時，僅施加該抹除脈波於該扇區；若該抹除次數計數器之值為該些抹除所有值之一時，施加該抹除脈波於該抹除旗標具有該第一值之剩餘扇區。

9. 如申請專利範圍第 8 項之抹除方法，其中該抹除所有值包括奇數及偶數其中之一。

10. 一種非揮發性記憶胞陣列之抹除方法，該些記憶胞係配置於多個扇區，且每一該些扇區具有一抹除旗標，該方法包含：

(a) 設定欲抹除扇區之該抹除旗標為一第一值；

(b) 設定一目前位址暫存器為欲抹除之一第一扇區之一第一位址；

(c) 設定一抹除次數計數器為一開始值；

(d) 依序由所欲抹除的該第一扇區至所欲抹除的一最後扇區驗證該些扇區中的該些記憶胞，其中每一該些扇區係由該第一位址驗證至一最後位址；

(e) 當驗證失敗且該抹除次數計數器之值小於一抹除跨越值時，施加一抹除脈波於該扇區，及週期性地施加於所有未通過驗證之該些扇區，並將該抹除次數計數器之值增加 1，及再一次驗證目前位址；

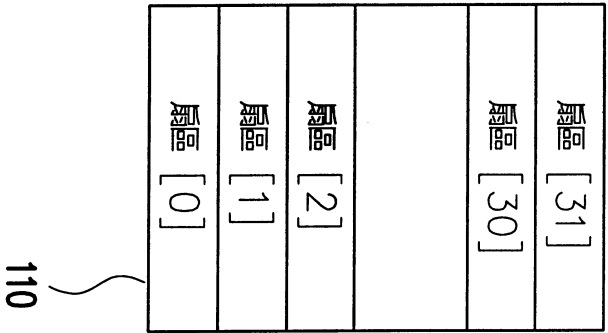
(f) 當驗證失敗、該抹除次數計數器之值相等於該抹除跨越值，且該扇區並非為該抹除旗標具有該第一值之該最後扇區時，驗證未通過驗證之剩餘扇區、設定該目前位址為欲抹除之下一扇區之該第一值，以及且設定該抹除次數計數器為零；

(g) 當該驗證通過且該目前位址並非該扇區之該最後位址時，將該目前位址增加 1；

(h) 當該驗證通過且該目前位址為該扇區之該最後位址時，設定該扇區之該抹除旗標為一第二值且設定該目前位址為欲抹除之下一個扇區之該第一位址；以及

(i)當所有欲抹除扇區之該抹除旗標皆設為該第二值時，終止抹除操作。

16 百萬位元記憶阵列



扇區內記憶阵列

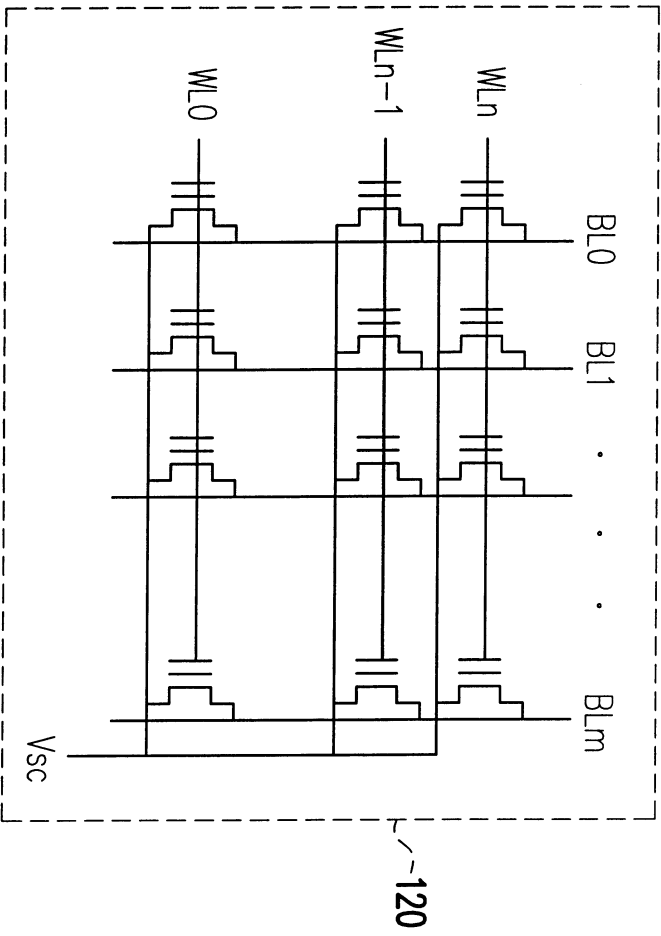


圖 1

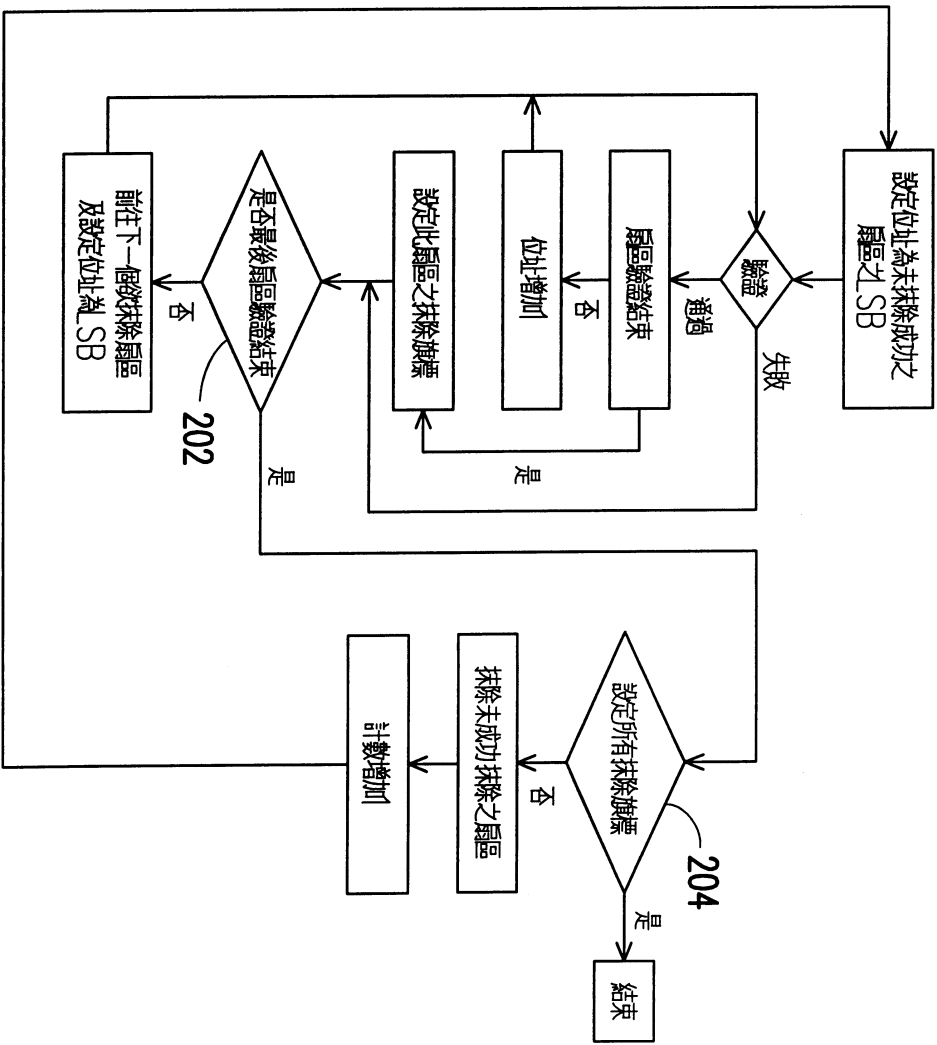


圖 2

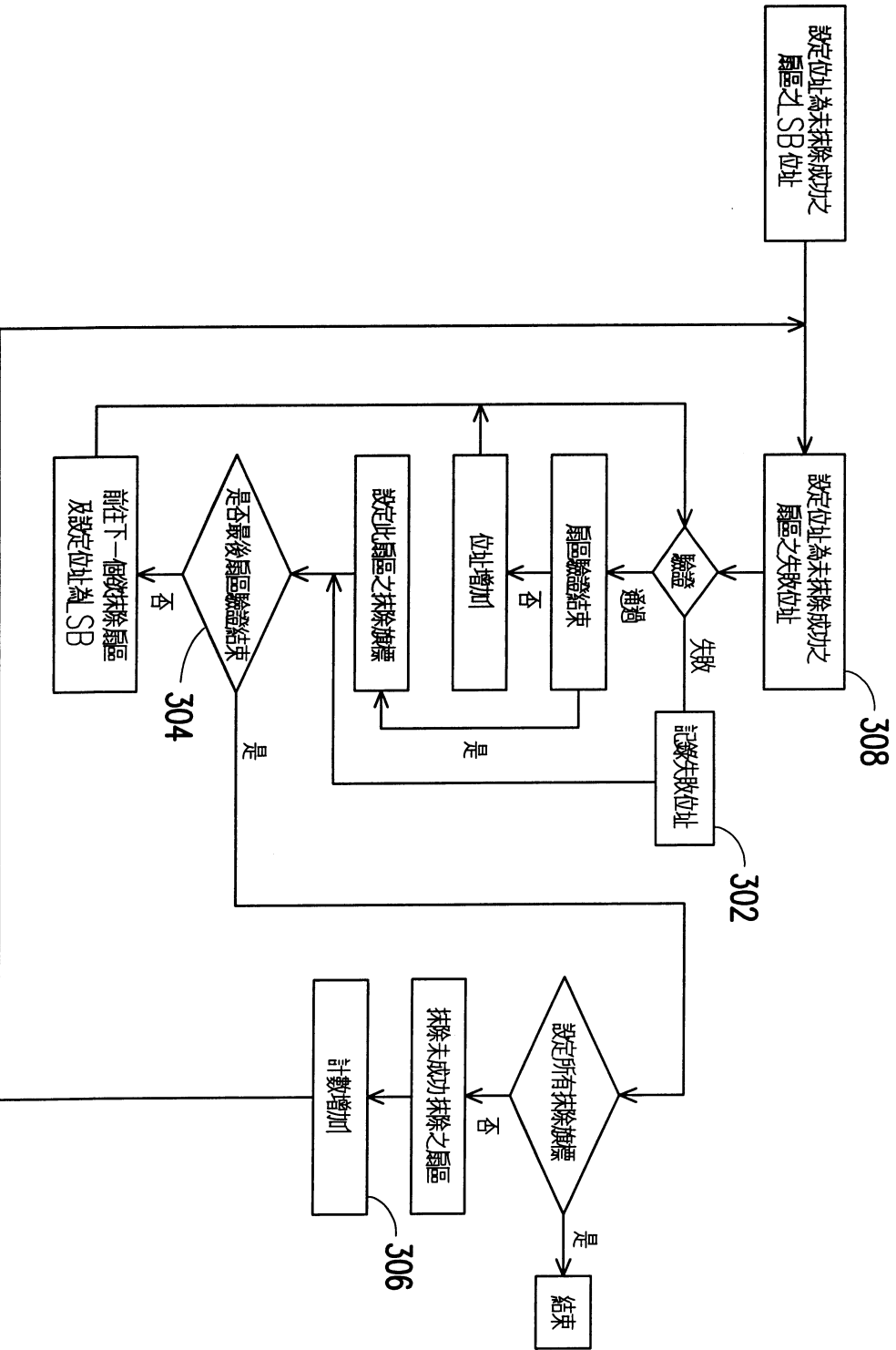


圖 3

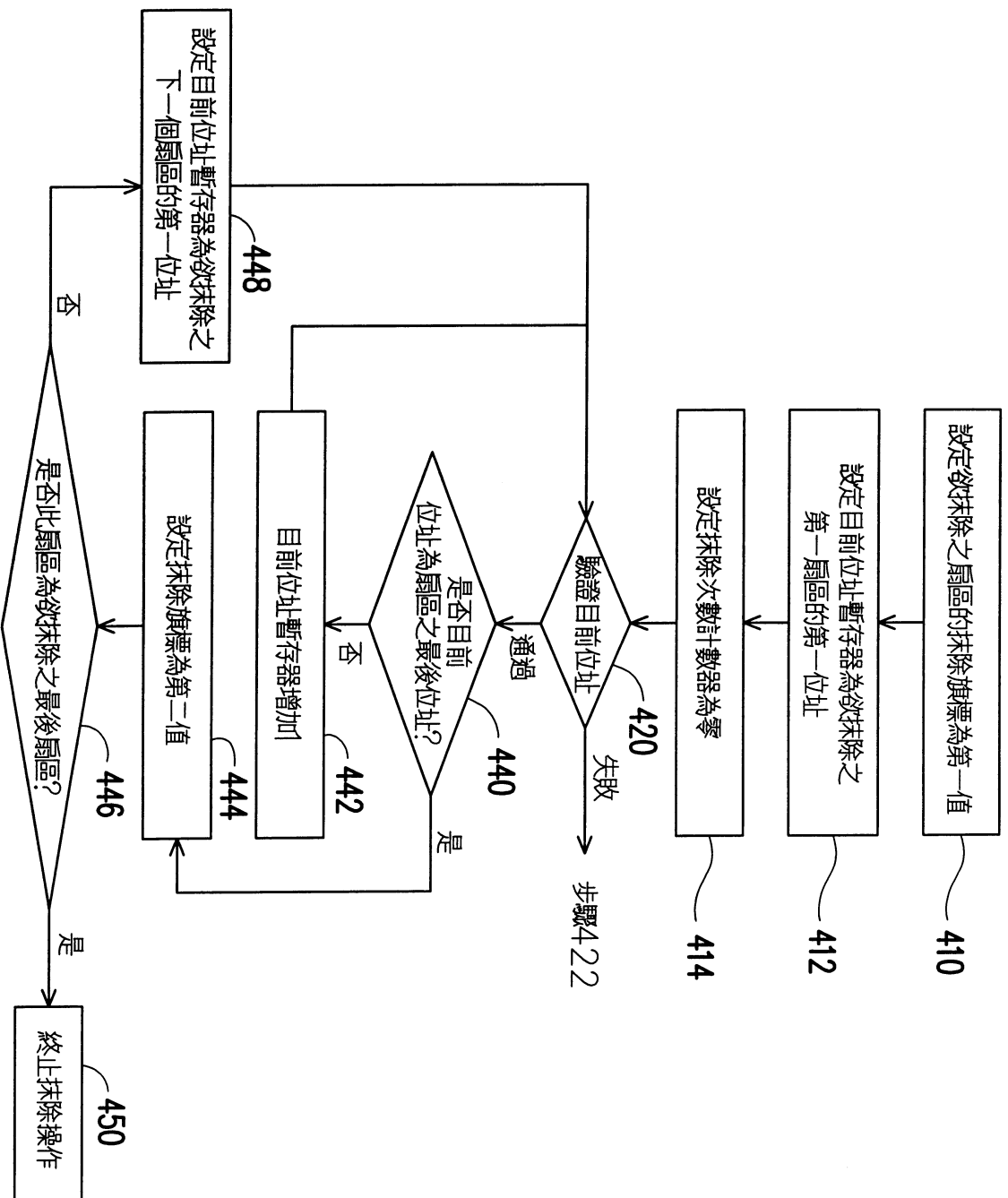


圖 4A

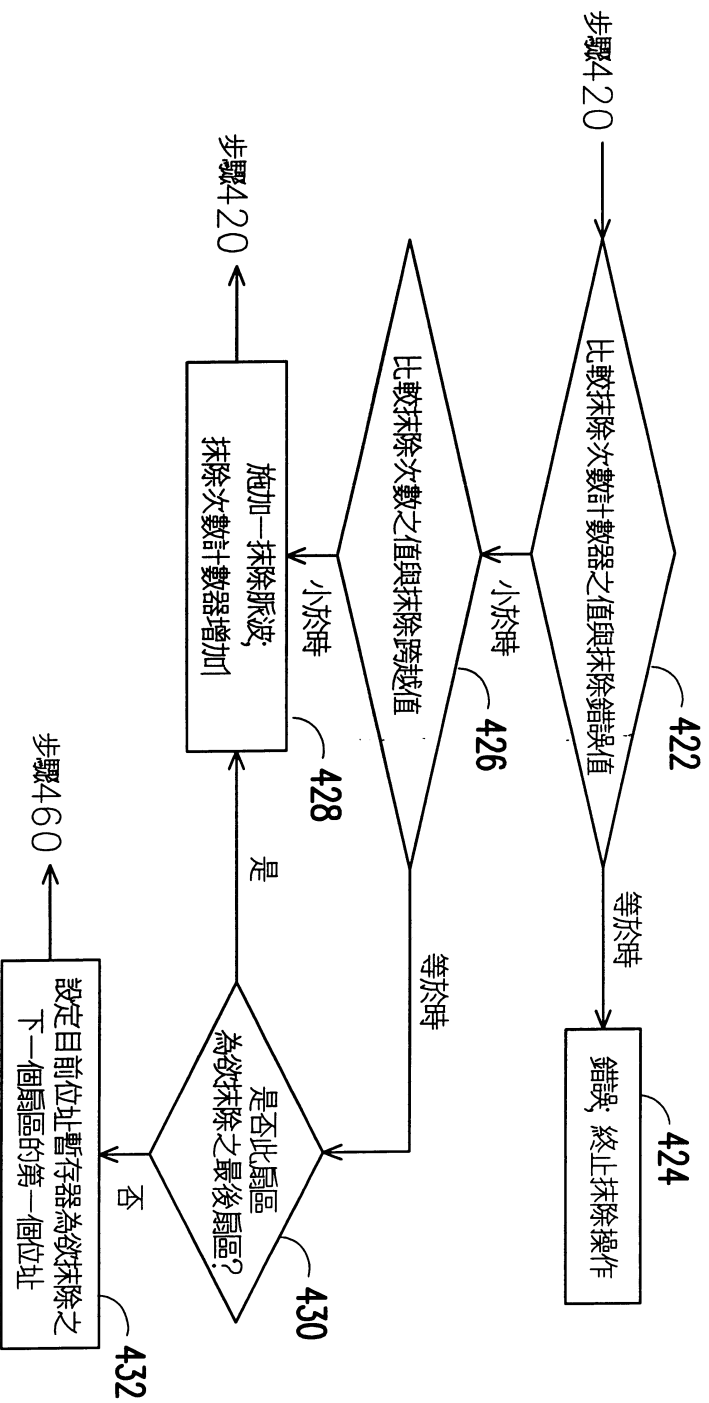


圖 4B

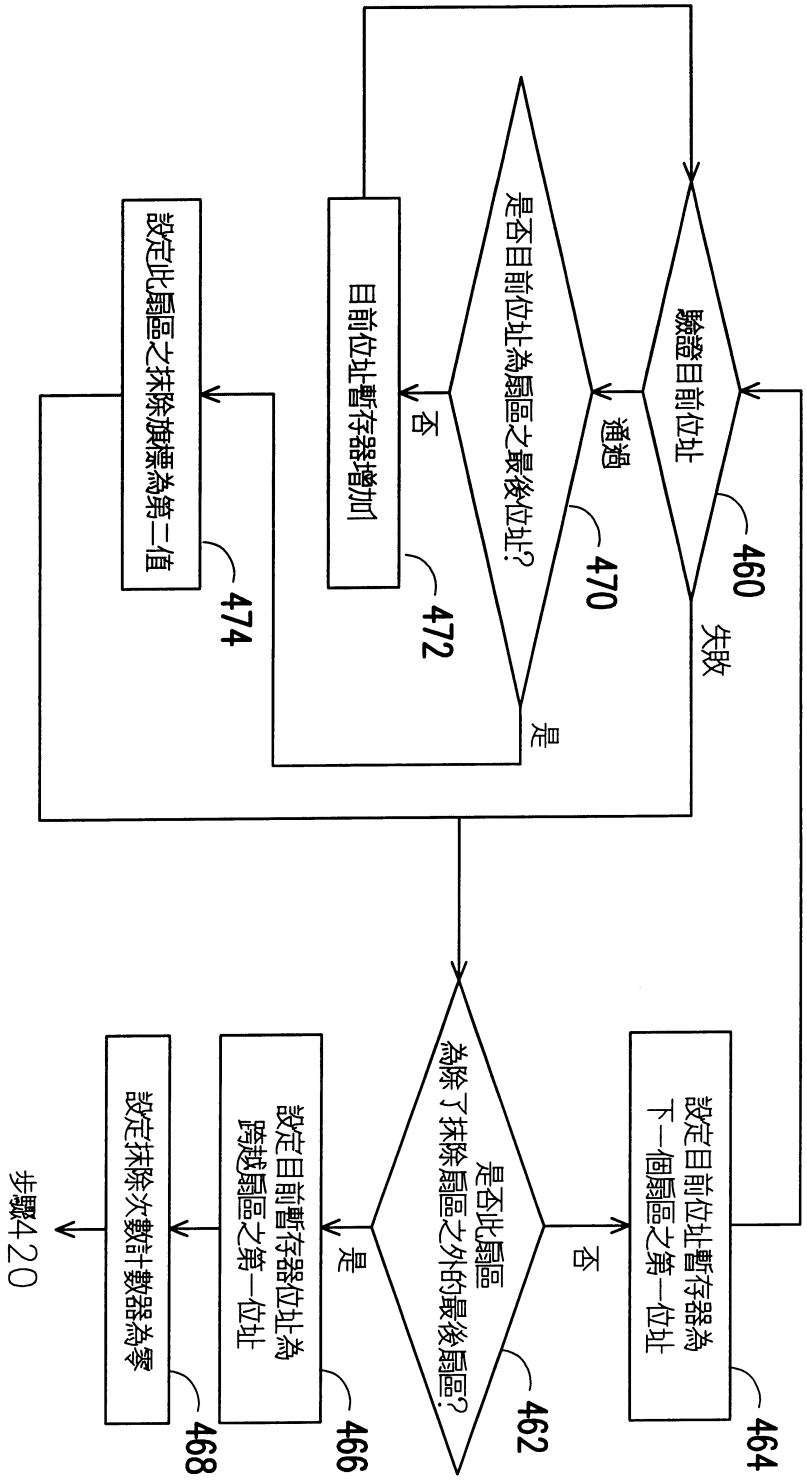


圖 4C

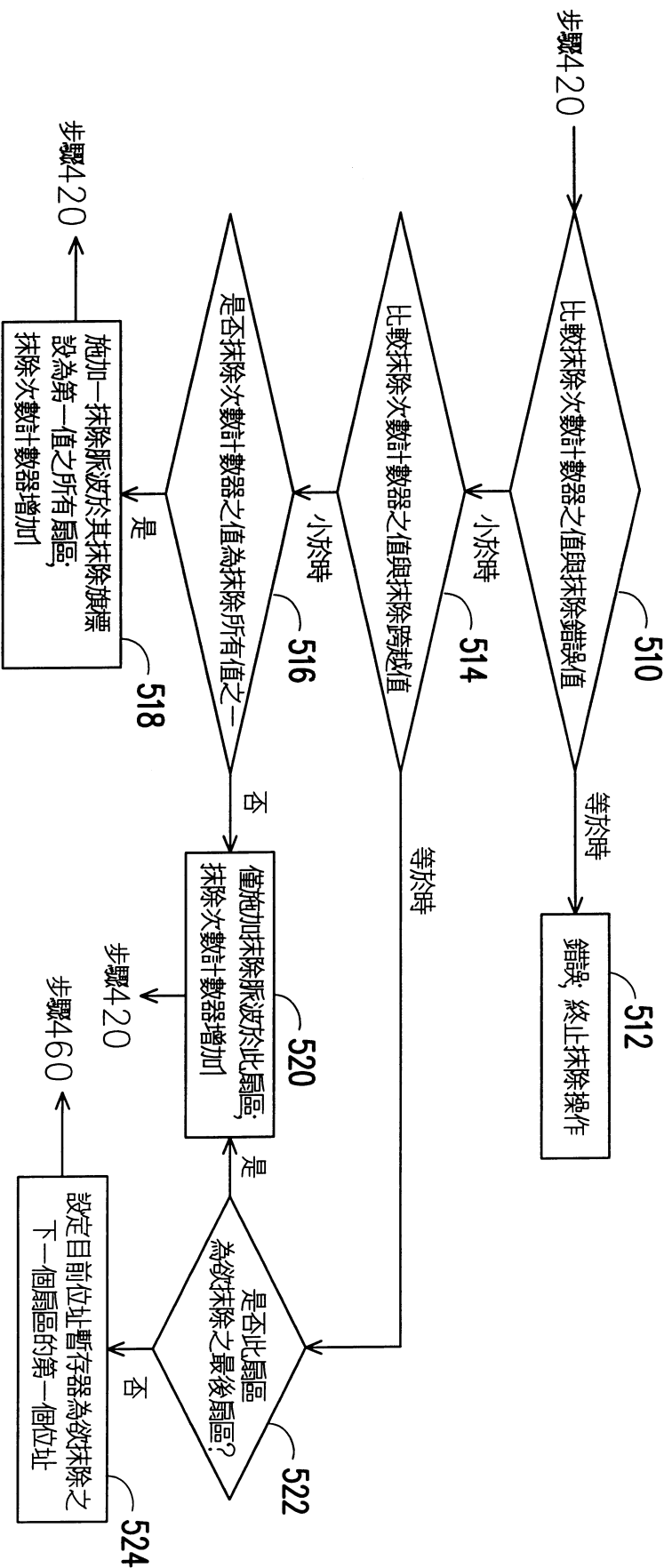


圖 5

is set to the first value are verified. When each memory cell of a sector to be erased passes verification, the erase flag of the sector is set to a second value. When the flag of each sector to be erased is set to the second value, the erase operation is terminated.

七、指定代表圖：

(一)本案指定代表圖為：圖(4)。

(二)本代表圖之元件符號簡單說明：

410~474：本發明一較佳實施例的抹除方法之各步驟

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無