

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4218527号  
(P4218527)

(45) 発行日 平成21年2月4日(2009.2.4)

(24) 登録日 平成20年11月21日(2008.11.21)

(51) Int.Cl.		F I		
<b>G 1 1 C 13/00</b>	<b>(2006.01)</b>	G 1 1 C 13/00		A
<b>H O 1 L 27/10</b>	<b>(2006.01)</b>	H O 1 L 27/10	4 5 1	
		H O 1 L 27/10	4 8 1	

請求項の数 12 (全 21 頁)

<p>(21) 出願番号 特願2003-564877 (P2003-564877)</p> <p>(86) (22) 出願日 平成14年9月13日(2002.9.13)</p> <p>(86) 国際出願番号 PCT/JP2002/009438</p> <p>(87) 国際公開番号 W02003/065377</p> <p>(87) 国際公開日 平成15年8月7日(2003.8.7)</p> <p>審査請求日 平成17年9月13日(2005.9.13)</p> <p>(31) 優先権主張番号 特願2002-24919 (P2002-24919)</p> <p>(32) 優先日 平成14年2月1日(2002.2.1)</p> <p>(33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号</p> <p>(74) 代理人 100100310 弁理士 井上 学</p> <p>(72) 発明者 半澤 悟 日本国東京都国分寺市東恋ヶ窪一丁目28 〇番地株式会社日立製作所中央研究所内</p> <p>(72) 発明者 伊藤 清男 日本国東京都国分寺市東恋ヶ窪一丁目28 〇番地株式会社日立製作所中央研究所内</p> <p>(72) 発明者 松岡 秀行 日本国東京都国分寺市東恋ヶ窪一丁目28 〇番地株式会社日立製作所中央研究所内</p> <p style="text-align: right;">最終頁に続く</p>
---	--

(54) 【発明の名称】 記憶装置

(57) 【特許請求の範囲】

【請求項1】

記憶装置であって、  
 複数のワード線と、  
 前記複数のワード線に交差する複数のデータ線と、  
 前記複数のワード線に交差し、各々が前記複数のデータ線の一つに対をなすように設けられた複数の制御線と、  
 前記複数のワード線と前記複数のデータ線との交点に配置され、記憶情報に応じて抵抗が変化する記憶素子と選択トランジスタをそれぞれ含む複数のメモリセルと、  
 前記複数のデータ線と前記複数の制御線を第1電位にプリチャージするためのプリチャージ回路と、  
 共通データ線と、  
 前記複数のデータ線の一つを選択して前記共通データ線に接続するための第1スイッチ回路と、  
 前記複数のデータ線の内選択されたデータ線に対応する前記複数の制御線の一つを選択して第2電位に駆動するための第2スイッチ回路とを備え、  
 前記複数のワード線のうちの選択されたワード線と、前記複数のデータ線のうちの選択されたデータ線と、前記複数の制御線のうちの選択された制御線との交点に存在する前記複数のメモリセルの一つが選択され、  
 前記第2電位は、前記ワード線の非選択電位より高い記憶装置。

10

20

## 【請求項 2】

請求項 1 において、

前記記憶装置の待機時において、前記プリチャージ回路は、前記複数のデータ線及び前記複数の制御線を前記第 1 電位にプリチャージし、

前記記憶装置の読み出し時において、前記プリチャージ回路はプリチャージを停止し、前記第 1 スイッチ回路は前記複数のデータ線の一つを選択して前記共通データ線に接続するとともに、前記第 2 スイッチ回路は前記選択されたデータ線と対をなす複数の制御線の一つを選択して前記第 2 電位に接続することにより、

前記選択されたデータ線と前記選択された制御線との間に電位差を発生する記憶装置。

## 【請求項 3】

請求項 1 において、

前記プリチャージ回路は、前記第 1 電位を供給するための第 1 電源線と前記複数のデータ線との間に配置された複数の第 1 トランジスタと、前記第 1 電源線と前記複数の制御線との間に配置された複数の第 2 トランジスタを含み、

前記第 1 スイッチ回路は、前記共通データ線と前記複数のデータ線との間に配置された複数の第 3 トランジスタを含み、

前記第 2 スイッチ回路は、前記第 2 電位を供給するための第 2 電源線と前記複数の制御線との間に配置された複数の第 4 トランジスタを含み、

前記記憶装置の待機時において、前記複数の第 1 トランジスタと前記複数の第 2 トランジスタが導通することにより、前記複数のデータ線及び前記複数の制御線を前記第 1 電位にプリチャージし、

前記記憶装置の読み出し時において、前記複数の第 1 トランジスタと前記複数の第 2 トランジスタはオフ状態となり、前記複数の第 3 トランジスタの一つは前記複数のデータ線の一つを選択して前記共通データ線に接続するとともに、前記第 4 トランジスタは前記選択されたデータ線と対をなす複数の制御線の一つを選択して前記第 2 電源線に接続することにより、

前記選択されたデータ線と前記選択された制御線との間に電位差を発生する記憶装置。

## 【請求項 4】

請求項 2 において、

前記記憶装置の待機時における前記複数のワード線の電位は、前記第 1 電位よりも低いことを特徴とする記憶装置。

## 【請求項 5】

請求項 4 において、

前記選択トランジスタのしきい値電圧は、前記記憶装置の制御回路を構成するトランジスタのしきい値電圧よりも低い記憶装置。

## 【請求項 6】

請求項 1 において、

前記記憶装置は、前記共通データ線に接続された読み出し回路を更に有する記憶装置。

## 【請求項 7】

請求項 1 において、

前記メモリセルの前記選択トランジスタは MOS トランジスタであり、前記 MOS トランジスタのソースは対応する前記複数の制御線の一つに接続され、

前記メモリセルの前記記憶素子は 2 つのノードを持つ抵抗素子であり、一方のノードが対応する前記複数のデータ線の一つに接続され、他方のノードが前記 MOS トランジスタのドレインに接続される記憶装置。

## 【請求項 8】

請求項 1 において、

前記メモリセルの前記選択トランジスタは MOS トランジスタであり、前記 MOS トランジスタのドレインは対応する前記複数のデータ線の一つに接続され、

前記メモリセルの前記記憶素子は 2 つのノードを持つ抵抗素子であり、一方のノードが

10

20

30

40

50

対応する前記複数の制御線の一つに接続され、他方のノードが前記M O Sトランジスタのソースに接続される記憶装置。

【請求項 9】

請求項 7 において、

前記M O Sトランジスタは、ソースとドレイン間の電流経路が対応する前記複数のデータ線の一つに対して斜めに形成される構造を持つ記憶装置。

【請求項 10】

請求項 7 において、

前記選択トランジスタのM O Sトランジスタは、ソースとドレイン間の電流経路が半導体基板表面に垂直な方向に形成される構造を持つ記憶装置。

10

【請求項 11】

請求項 7 において、

前記記憶素子の抵抗素子は、ジュール熱を印加することにより結晶状態が変化し、その抵抗値が結晶状態に応じて変化する記憶装置。

【請求項 12】

請求項 1 において、

前記記憶素子は、カルコゲナイド材料を含む記憶装置。

【発明の詳細な説明】

技術分野

本発明は記憶装置に関し、記憶情報に対応して抵抗に差ができる素子から成るメモリセルを含む記憶装置、特に、カルコゲナイド材料の状態変化を利用して情報を記憶し、その情報による抵抗差を検出して情報を弁別するメモリセルを用いた高速、高集積、高信頼な相変化メモリを含む記憶装置に関する。

20

背景技術

この明細書で参照される文献のリストは以下の通りであり、文献の参照は文献番号をもってすることとする。[文献 1]：アイ・イー・イー・イー、インターナショナル・ソリッド・ステート・サーキット・カンファレンス、ダイジェスト・オブ・テクニカル・ペーパーズ、第 122 頁から第 123 頁(2001年)(IEEE International Solid-State Circuits Conference, DIGEST OF TECHNICAL PAPERS, pp. 122 - 123, 2001)、[文献 2]：米国特許第 5883827 号(USP5, 883, 827)、[文献 3]：アイ・イー・イー・イー、インターナショナル・エレクトロン・デバイス・ミーティング、テクニカル・ダイジェスト、第 803 頁から第 806 頁(2001年)(IEEE International Electron Devices meeting, TECHNICAL DIGEST, pp. 803 - 806, 2001)、[文献 3]：米国特許第 6314014 号(USP6, 314, 014)。

30

[文献 1]は、マグネトレジスティブ・ランダム・アクセス・メモリ(MRAM)の高感度なセンス回路を記載する。MRAMは、磁気抵抗効果を利用して情報を記憶するが、わずか数十%の磁気抵抗変化率に応じた微小な読み出し信号成分を判別するために、感度の高い読み取り(センス)動作が求められる。

40

[文献 2]は、記憶素子自体に流れる電流によるジュール熱に応じて、記憶素子の結晶状態が変化することにより記憶情報が書き込まれるフェイズ・チェンジ・メモリ(相変化メモリ)を記載する。非晶質(アモルファス)化する際にジュール熱で600を越える温度にして一旦記録層を融解させるために、書き込み電流が大きいという課題があるが、結晶状態に応じて抵抗値が2桁から3桁も変化するという長所を持っている。このため、読み出し信号が大きく、センス動作が容易である。したがって、相変化メモリは、高集積で高速書き込み可能な不揮発性メモリを実現する可能性がある。

[文献 3]は、いわゆる相変化メモリのマトリクス構造を記載する。そのFIG. 2Bには、ワード線とカラム選択信号で選択される複数のQREADを用いて、所定のワード線と所定のカラム線(データ線)との交点にあるメモリセルを選択する構成が開示される。

50

図2に[文献2] Fig. 12の相変化メモリの構成の略図を示す。即ち、当該相変化メモリは、メモリアレイとロウ(行)デコーダXDEC、カラム(列)デコーダYDEC、読み出し回路RC、書き込み回路WCで構成される。メモリアレイは、ワード線 $WL_p$  ( $p = 1, \dots, n$ )とデータ線 $DL_r$  ( $r = 1, \dots, m$ )の各交点にメモリセル $MC_{pr}$ が配置されてなる。各メモリセルは、直列接続された記憶素子RMと選択トランジスタQMが、データ線DLと接地電位との間に挿入された構成である。ワード線WLが選択トランジスタのゲートに、カラム選択線 $YS_r$  ( $r = 1, \dots, m$ )が対応するカラム選択スイッチ $QA_r$ にそれぞれ接続される。

このような構成により、ロウデコーダXDECで選択されたワード線上の選択トランジスタが導通し、さらにカラムデコーダYDECで選択されたカラム選択線に対応するカラム選択スイッチが導通することにより、選択メモリセル内に電流経路が形成されて、共通データ線I/Oに読み出し信号が発生される。選択メモリセル内の抵抗値は、記憶情報によって差があるので、共通データ線I/Oに出力される電圧は記憶情報によって差が出る。この差を読み出し回路RCで判別することにより、選択メモリセルの記憶情報が読み出される。

近年の携帯機器市場の拡大に伴い、フェロエレクトリック・ランダム・アクセス・メモリ(FERAM)やフラッシュメモリに代表されるような不揮発性メモリの需要が高まっている。しかし、これらのメモリは、読み書き回数が制限されるなどの信頼度、動作速度や消費電力、集積度の面で、それぞれ課題がある。このため、高速かつ低電力の不揮発性メモリとして、前述した磁気抵抗効果を利用したマグネトレジスティブ・ランダム・アクセス・メモリ(MRAM)やフェイズ・チェンジ・メモリ(相変化メモリ)が注目されている。

本願発明者等は、本願に先立ち、MRAMや相変化メモリの信号センス方式について検討した。その結果、図2に示したメモリアレイ構成には、以下の点について考慮がなされていないことに気がついた。動作中は、選択ワード線に接続されている全てのメモリセルの選択トランジスタが導通するので、非選択データ線の電位が接地電位でない場合には、非選択セル内にも電流経路が形成される。このため、多数の非選択データ線が充放電される場合があり、消費電力が増加する恐れがある。また、データ線間の容量カップリングノイズにより、選択されたデータ線上に現れた読み出し信号が隣接データ線から干渉を受け、安定な読み出し動作が困難な恐れがある。尚、MRAMのメモリセルの読み出し動作における等価回路も図2と同じなので、上記の課題はMRAMにも共通である。

本発明の課題は、これらの問題を解決することである。すなわち、本発明の目的は、選択ワード線上の全メモリセルのトランジスタが導通することによる問題を回避することである。

#### 発明の開示

本発明の代表的な手段の一つを示せば以下の通りである。即ち、データ線に平行な制御線(ソース線)を設け、この制御線の電位を可変にする。例えば、データ線と制御線の双方を等電位に駆動するプリチャージ回路と、選択制御線を駆動する回路を配置すれば、ロウ(行)及びカラム(列)で選択されたセルにのみ電流経路を生成して読み出し信号を発生することができる。

発明を実施するための最良の形態

#### <実施例1>

以下、本発明の実施例を図面を用いて詳細に説明する。実施例の各ブロックを構成する回路素子は、特に制限されないが、典型的には公知のCMOS(相補型MOSトランジスタ)等の半導体集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。さらに、相変化を示すカルコゲナイド材料等が集積回路の作成技術にハイブリッドして作成される。

#### 《メモリアレイ構成》

図1は、本発明によるメモリアレイの構成例を示している。同図では、メモリアレイの動作に必要なロウデコーダXDEC、カラムデコーダYDEC、読み出し回路RC、書き込

10

20

30

40

50

み回路WCも同時に示されている。この構成の特徴は、データ線に平行なソース線を設け、双方を等電位に駆動するプリチャージ回路と、選択ソース線を選択的に駆動する回路を配置することにより、選択されたワード線と選択されたソース線の交点にある選択セルにのみ電流経路を発生する点にある。

メモリアレイは、図2と同様に $n \times m$ ビットのメモリセルを有する構成が示されている。メモリセルを構成する素子は、図4に示した従来例と同じように、選択トランジスタQMとカルコゲナイド材料による可変抵抗による記憶素子RMである。

ロウデコーダXDECは、ロウアドレスに応じたワード線WLを選択する。また、カラムデコーダYDECは、カラムアドレスに応じたカラム選択線YSを駆動する。選択されたカラム選択線YSに応じたカラム選択スイッチQAが導通することにより、選択されたメモリセルは、共通データ線I/Oを介して読み出し回路RCおよび書き込み回路WCに接続される。ここでQA1~QAmは複数のデータ線(DL1~DLm)の一つを選択して共通データ線に接続するための第1のスイッチ回路をなすとみることができる。また、QB1~QBmは複数のソース線(DS1~DSm)の一つを選択してソース電圧供給線に接続するための第2のスイッチ回路をなすと見ることができる。

このメモリアレイ構成は、以下の三つの特徴を有する。第一は、データ線DLに平行な複数(ここではm本)のソース線SLr( $r = 1, \dots, m$ )が配置され、列方向のトランジスタQMのソースがソース線SLに共通に接続されている点である。第二は、それぞれのソース線SLrとソース電圧端子VSLとの間に複数(ここではm個)のNMOSTランジスタQBr( $r = 1, \dots, m$ )が挿入され、これらのトランジスタが列デコーダで選択される点である。図1では、これらのゲートに対応するカラム選択線YSrが直接接続されている例を示している。第三は、対応するデータ線DLとソース線SLをプリチャージ電圧VDLに駆動する複数(ここではm個)のNMOSTランジスタQCrおよびQDr( $r = 1, \dots, m$ )が配置され、これらのトランジスタのゲートにプリチャージインーブル信号PCが接続されている点である。このような構成により、プリチャージ電圧VPCに駆動された複数のデータ線DLおよびソース線SLの中から、選択したいデータ線に対応するソース線を駆動することができる。つまり、選択したいデータ線及びソース線に接続されたメモリセルにのみ、電圧差を印加することができる。したがって、選択ワード線上の所望のメモリセルにのみ電流経路を形成し、選択データ線にのみ読み出し信号を発生することが可能となる。

なお、プリチャージ回路はQC1、QD1~QDm、QDm全体と解することができる。QC1とQD1はDL1とSL1の対毎に設けられた要素プリチャージ回路と見ることができる。

#### 《記憶素子の特性》

記憶素子は、少なくともアンチモン(Sb)とテルル(Te)を含むGe-Sb-Te系、Ag-In-Sb-Te系などのカルコゲナイド材料を記録層の材料として用いている。カルコゲナイド材料を用いた相変化メモリの特性は、例えば、[文献3]で述べられている。この記憶素子に記憶情報'0'を書き込む場合、図3に示すように、素子をカルコゲナイド材料の融点Ta以上に熱してから急冷するようなりセットパルスを印加する。リセットパルスを短くして与える全エネルギーを小さくし、冷却時間t1を短く、例えば約1nsに設定することにより、カルコゲナイド材料は高抵抗のアモルファス状態となる。逆に、記憶情報'1'を書き込む場合、記憶素子を融点よりも低く、ガラス転移点と同じかそれよりも高い結晶化温度Txより高い温度領域に保つようなセットパルスを印加することにより、カルコゲナイド材料は低抵抗の多結晶状態となる。結晶化に要する時間t2はカルコゲナイド材料の組成によって異なるが、例えば、約50nsである。同図に示した素子の温度は、記憶素子自身が発するジュール熱、および周囲への熱拡散に依存する。したがって、図4のI-V特性に示すように、書き込み情報に応じた値の電流パルスを記憶素子に印加することにより、記憶素子の結晶状態が制御される。同図は、カルコゲナイド材料を用いた記憶素子の動作原理を模式的に示しており、IW1からIW0の範囲内のセット電流を印加する場合に記憶情報'1'が書き込まれ、IW0以上のリセット電流を

10

20

30

40

50

印加する場合に記憶情報‘0’が書き込まれることを示している。ただし、どちらの状態を‘0’、どちらの状態を‘1’としても良い。以下では、同図に従い、四通りの書き込み動作を詳しく説明する。

第一に、初期状態‘1’の記憶素子に‘1’書き込みを行う場合、セット電流が印加されると、セット（結晶）状態の低抵抗曲線を辿って初期状態とセット領域との間を往復するので、状態が保持される。第二に、初期状態‘1’の記憶素子に‘0’書き込みを行う場合、リセット電流が印加されると、セット状態の低抵抗曲線を辿ってリセット電流に達する。次に、ジュール熱により部分的に融解が始まるので、導電率が徐々に下がる。さらに、融解が進むと高抵抗状態になる。液相の記憶素子を急冷すると、アモルファス状態に相変化するので、液相時の抵抗よりも若干低いリセット（非晶質）状態の高抵抗曲線を辿って初期状態に戻る。第三に、初期状態‘0’の記憶素子に‘1’書き込みを行う場合、セット電流を印加すると、記憶素子の端子電圧がしきい電圧 $V_{th}$ を超えた時に、低抵抗状態にスイッチする。スイッチング後は、ジュール熱によって結晶化が進行する。電流値がセット電流に達すると、結晶化領域が広がって相変化することにより、さらに抵抗値が下がるので、低抵抗曲線を辿って初期状態に戻る。途中から電圧-電流曲線の傾斜がゆるやかになるのは、低抵抗状態へスイッチングしていた領域がスイッチOFFとなり、結晶化による抵抗低下のみが残留するためである。第四に、初期状態‘0’の記憶素子に‘0’書き込みを行う場合、前述したスイッチング後にほとんど結晶化する時間はなく、スイッチングしたことによる低抵抗曲線を辿ってリセット領域に達し、融解、急冷、固化して初期状態に戻る。

このような記憶素子の動作原理から、読み出し時には記憶情報を破壊しないようにするために、最高でもしきい電圧 $V_{th}$ より低い電圧に抑制しながら動作しなければならない。実際には、しきい電圧は電圧印加時間にも依存し、時間が長いと低下する傾向があるため、読み出し時間内にしきい電圧を越えて低抵抗状態へのスイッチングが起こらない電圧にする必要がある。そこで、これらの原理に基づいた、図1に示したメモリアレイ構成を実現する動作を以下に説明する。

#### 《読み出し動作》

次に、図5に従い、図1に示したアレイ構成を用いたメモリセルの読み出し動作について説明する。ここで、図5は、メモリセルMC11を選択する場合の動作波形を示している。

まず、待機状態において、プリチャージイネーブル信号PCが電源電圧VDD（例えば1.5V）に保持されているので、NMOSトランジスタQCおよびQDによりデータ線DLおよびソース線SLがプリチャージ電圧VDLに維持される。ここでVDLは、VDDよりもトランジスタのしきい電圧だけ降下した値で、例えば1.0Vである。また、共通データ線I/Oも、読み出し回路RCによりプリチャージ電圧VDLにプリチャージされている。

読み出し動作が始まると、電源電圧VDDとなっているプリチャージイネーブル信号PCが接地電位VSSに駆動され、接地電位VSSとなっているカラム選択線YS1が昇圧電位VDH（例えば1.5以上）に駆動されることにより、トランジスタQA1、QB1が導通する。この時、データ線DL1は、共通データ線I/Oと等電位にあるのでプリチャージ電圧VDLに保持されるが、ソース線SL1はトランジスタQB1によりソース電圧VSL（例えば0.5V）に駆動される。このソース電圧VSLとプリチャージ電圧VDLは、プリチャージ電圧VDLがソース電圧VSLよりも高く、その差は、抵抗RMの端子電圧が図4に示したような読み出し電圧領域の範囲内に収まるような関係に設定されている。次に、接地電位VSSとなっているワード線WL1が昇圧電位VDHに駆動されると、ワード線WL1上の全てのメモリセルにおけるトランジスタQMが導通する。この時、記憶素子RMに電位差が生じたメモリセルMC11内に電流経路が発生し、データ線DL1および共通データ線I/Oが、記憶素子RMの抵抗値に応じた速さでソース電圧VSLに向かって放電される。同図では、記憶情報‘1’を保持している場合の方が、記憶情報‘0’の場合よりも抵抗値が小さいものとしているので、放電が速い。したがって、記

10

20

30

40

50

憶情報に応じた信号電圧が発生される。非選択メモリセルMC12~MC1mでは記憶素子RMの電位差が0なので、非選択データ線DL12~DL1mはプリチャージ電圧VDLに保持される。すなわち、ワード線WL1とソース線SL1により選択されたメモリセルMC11のみが、データ線DL1を通じて読み出し電流を流す。ここで、読み出し回路RCで読み出し情報が弁別された後なら、ワード線WL1を立ち下げることができる。尚、この弁別が遅い場合にワード線WL1を立ち上げ続けると、記憶情報'0'を読み出す場合においても、選択されたデータ線DL1がソース電圧VSL付近まで放電されてしまい、'0'読み出しの信号電圧と'1'読み出しの信号電圧との差が減少して、記憶情報を正しく読み出せなくなる場合がある。このような場合には、同図のように、'0'読み出しの場合のデータ線電圧が参照電圧VDRを越える前のタイミングで、ワード線WL1

10

を立ち下げることにより、誤動作を防止できる。ワード線を立ち下げた電流経路を遮断することにより、共通データ線I/O上の信号電圧が保持されるので、読み出し回路RCは参照電圧VDRを基準として発生された正または負の信号を弁別することが可能である。以上の読み出し動作が終了すると、共通データ線I/Oはプリチャージ電位VDLに駆動されて、待機状態に戻る。

なお、待機状態において、メモリアレイのデータ線やソース線をフローティングとすると、読み出し動作開始時にデータ線と共通データ線を接続した際に、電圧が不定であるデータ線の容量が共通データ線から充電されてしまう。このため、同図ではワード線WL1に応じてカラム選択線YS1も立ち下げ、さらに接地電位VSSとなっているプリチャージイネーブル信号PCを電源電圧VDDに駆動することにより、データ線およびソース線を

20

プリチャージ電位VDLに駆動して待機状態としている。また、昇圧電位VDHは、従来のDRAMにおいて広く用いられているような電圧であり、電源電圧VDDとNMOSTランジスタのしきい電圧VTNを用いて、 $VDH > VDD + VTN$ の関係を満たすように設定されている。例えば相変化メモリの書き込み動作では、後述するように、読み出し動作よりも大きな電流を流す必要がある。このため、本発明では、ワード線WLとカラム選択線YSを昇圧電位VDHに駆動してNMOSTランジスタの抵抗を下げることにより、正確な書き込み動作を行うことができる。また、プリチャージ電圧VDLをソース電圧VSLより高く設定することにより、選択ソース線を選択メモリセル中のランジスタQMのソースとし、記憶素子RMの抵抗によらず、ランジスタのゲート-ソース間電圧を確保できる。なお、逆の電位関係であっても、その差が、図3に示したような読み出し電圧

30

領域の範囲内に収まるように設定されているならば、同様の選択動作が可能である。

尚、図5は、ソース線SL1を駆動してからワード線WL1を駆動する例であるが、設計の都合によっては、ワード線WL1を駆動してからソース線SL1を駆動してもよい。この場合には、最初はワード線WL1が駆動されて選択ランジスタQMが導通するため、記憶素子RMの端子電圧は0Vに確保される。その後、ソース線SL1を駆動すると、記憶素子RMの端子電圧は0Vから大きくなるが、その値はソース線SL1の駆動速度で制御可能で、前述した読み出し領域の範囲に収めることができる。同様に、ワード線WL1とソース線SL1を、ほぼ同時に駆動することもできる。また、ワード線WL1とソース線SL1のうちで、駆動タイミングの遅い方のパルスに先行してカラム選択線YS1を駆動すれば、I/Oへの出力待ち時間を減らせるので、アクセス時間が速くなる。もちろん

40

この場合には、図1に示したランジスタQA1とQB1を独立に駆動できるように結線を変えればよい。

以上、メモリセルMC11を選択する例を示したが、同じデータ線上のメモリセルは、それらのワード線電圧が接地電位VSSに固定されているので選択されることはない。また、他のデータ線とソース線は同じ電位VDLなので、残りのメモリセルも非選択セルの状態に維持される。尚、上述の読み出し動作は、メモリセル内の抵抗差を検出する場合には、いかなるメモリセル動作にも共通に適用できることは明らかである。したがって、MRAMの場合にも効力を発揮する。

以上の説明では、待機状態のワード線を接地電位VSSとし、選択状態のソース線を0.5Vといった正のソース電圧VSLとしている。この電圧関係は、非選択メモリセルを通

50

じて流れる電流が動作に影響を及ぼさないように設定する。すなわち、ソース線が選択され、ワード線が非選択のメモリセル、例えばメモリセルMC11を選択する際の非選択メモリセルMC21～MCn1のトランジスタQMが十分オフになるように設定すれば良い。ここで示したように、待機状態のワード線電圧を接地電位VSSとし、ソース電圧VSLを正の電圧とすることにより、トランジスタQMのしきい値電圧を低くできる。場合によっては、選択されたソース線を接地電位0Vとして、待機状態のワード線を負の電圧にすることも可能である。その場合にも、トランジスタQMのしきい値電圧を低くできる。待機時のワード線用に負電圧を発生させる必要があるが、選択時のソース線の電圧が、外部から印加される接地電位VSSであるため安定させ易い。トランジスタQMのしきい値電圧を十分高くすれば、選択時のソース線と待機状態のワード線を接地電位0Vとしても

10

良い。その場合、外部から印加される接地電位VSSである上に、待機状態のワード線の容量が安定化容量として働くために、選択時のソース線の電圧をさらに安定なものにできる。さらに、ここでは、共通データ線I/Oに読み出された信号電圧を、読み出し回路RCにより弁別する動作を説明したが、共通データ線I/Oに流れる電流を弁別する動作も可能である。その場合、読み出し回路RCに、例えば前述の[文献1]に述べられているような、入力インピーダンスが小さいセンス回路を用いる。そのような、電流をセンスする方式にすることにより、共通データ線の配線容量の影響が小さくなり、読み出し時間を短縮できる。

#### 《書き込み動作》

20

さらに、図6に従い、図1に示したアレイ構成を用いたメモリセルの書き込み動作について説明する。但し、図6は、メモリセルMC11を選択する場合の動作波形である。

まず、メモリセルMC11の選択動作は、読み出し動作と同じように行われる。メモリセルMC11が選択されると、書き込み回路WCが共通データ線I/Oを駆動することにより、書き込み電流IWCが発生される。‘0’書き込みの場合、図4に示した範囲の値に設定されたりセット電流がメモリセルMC11に印加される。リセット電流のパルス幅は短く、駆動後は直ちに待機状態に戻って、電流値が0となる。このようなりセット電流により、図3に示したようなりセットパルスと同じジュール熱が発生される。反対に、‘1’書き込みの場合、図4に示した範囲の値に設定されたセット電流が印加される。このパルス幅は約50nsである。このようなセット電流により、図3に示したようなセットパルスと同じジュール熱が発生される。このように、書き込みパルスの印加時間と電流値は書き込み回路WCで制御されるので、どちらの記憶情報を書き込む場合においても、メモリセルはセット電流のパルス幅だけ選択状態にある。

30

#### 《メモリセル構造》

次に、メモリアレイの構造の例を説明する。この構造の特徴は、ワード線とデータ線及びソース線に対し、MOSトランジスタの活性領域を傾けて配置していることである。ソース線を第一金属層、データ線を第二金属層で配線し、データ線に対応してソース線を設けたメモリセル構造を実現している。

図7に、レイアウトを示す。同図で、FLは活性領域パターン、FMはソース線SLや電源給電線などの第一金属層パターン、SMはデータ線DL用の第二金属層パターン、TMはカラム選択線YS用の第三金属層パターン、FGはシリコン基板上に形成されたトランジスタの第一ゲート電極パターン、FCTは第一金属層コンタクトパターン、SCTは第二金属層コンタクトパターン、TCTは第三金属層コンタクトパターン、WBFは記憶素子の下部電極層である。これらのパターンのパターンングには、周知の光リソグラフィを用いることができる。なお、同図では、各下部電極層WBF上に記憶素子が形成されている。また、パターン名の後の括弧内に対応するノード名を示しているため、例えば、メモリセルMC1mは、ワード線WL1とデータ線DLmおよびソース線SLmとの交点に示した位置に配置されることは、容易に理解できる。

40

図8は、メモリアレイをデータ線に垂直方向から見た断面を模式的に示した図である。100はP型半導体基板、101はP型半導体基板内に埋め込まれた素子分離用の絶縁物、

50



102は図7中の活性領域パターンFLにおけるN型拡散層領域、103は基板上に形成されたトランジスタのゲート酸化膜、104は基板上に形成されたトランジスタのゲート電極、105は基板上に形成されたトランジスタに絶縁膜で形成されたサイドウォールである。また、200はソース線SLや電源給電線などに用いられる第一金属層である。また、201はデータ線DLなどに用いられる第二金属層、202はカラム選択線YSに用いられる第三金属層、203は層間絶縁膜、204はN型拡散層領域102と第一金属層とを接続するコンタクト、205は第一金属層と第二金属層とを接続するコンタクトである。さらに、208は記憶素子RMの下部電極となるタンゲステン層、304は記憶素子RMとなるカルコゲナイド材料、305は絶縁膜、306は下部電極208とN型拡散層領域102とを接続するコンタクトである。ここで、図8では、アレイ端からデータ線DL

10

とソース線SLmを見たものとして層名の後の括弧内にノード名を示している。例えば、図8中の104で示されたゲート電極のノード名によって、選択トランジスタおよびプリチャージ用トランジスタQcm、Qdmの配置が容易に理解できる。金属層とコンタクト、下部電極層208は、上層部を形成する際の熱処理による電気特性の劣化と、多数回書換え時のカルコゲナイド材料と電極との化学反応や相互拡散を防ぐために、例えば融点の高いタンゲステンで形成される。また、コンタクトは、サイドウォール107の隙間を埋め込むように形成される。この加工技術は、従来のDRAMで広く用いられている自己整合プロセスと呼ばれるものである。

本実施例による記憶素子は、図8に示したような絶縁膜305を用いて、カルコゲナイド材料304と下部電極208との接触面積を小さくしているのので、抵抗値が大きい。このため、小さな電流で高いジュール熱を発生することができるので、低電力の書き込み動作が可能な相変化メモリを実現することができる。また、図7に示したレイアウトにより、ワード線を最小ピッチの2F（Fは最小加工寸法）、データ線を、ワード線の1.5倍の3Fピッチでそれぞれ配置できるので、Fの2乗の6倍の相変化メモリセルを実現することができる。

20

#### 《本実施例の効果》

以上で述べたメモリアレイおよびメモリセルの構成と動作による効果を、以下にまとめる。第一に、本実施例によるメモリアレイは、図1に示したようにデータ線DLに平行なソース線SLが設けられ、メモリセル内の選択トランジスタQMのソースが対応するソース線SLに接続された構成とすることにより、読み出し動作における消費電力を低減することができる。具体的には、データ線DLおよびソース線SLに選択トランジスタQA、QBがそれぞれ配置され、さらにプリチャージ用トランジスタQC、QDがそれぞれ配置される。このような構成において、選択したデータ線に対応するソース線をソース電圧VSLに駆動することができる。このため、選択ワードと選択ソース線の交点のセルにのみ電流経路を形成し、選択データ線にのみ読み出し信号を発生することができる。したがって、非選択データ線の充放電を抑制することにより、例えば相変化メモリやMRAMの読み出し動作における消費電力を低減することができる。なお、相変化メモリに本発明を適用した場合、書き込み動作においても読み出し動作と同様の選択動作が行われるので、全体として低電力の相変化メモリを実現することができる。

30

第二に、本実施例によるメモリアレイは、第一の効果で述べたような選択動作により非選択データ線の電位が保たれるので、データ線間の容量カップリングによるノイズが小さく、安定した読み出し信号を発生することができる。したがって、読み出し動作の安定した相変化メモリを実現することができる。

40

#### 《縦型トランジスタを用いたメモリセル構造》

次に、メモリアレイの構造の別な例を説明する。この構造の特徴は、図1に示したサブアレイ内の選択トランジスタQMとして、縦型構造のMOSトランジスタを用いていることである。

図9に、レイアウトを示す。図7と同様に、FLは活性領域パターン、FMはソース線SLなどの第一金属層パターン、SMはデータ線DL用の第二金属層パターン、TMはカラム選択線YS用の第三金属層パターン、FGはシリコン基板上に形成されたトランジスタ

50

の第一ゲート電極パターン、SGはワード線WLすなわち縦型トランジスタの第二ゲート電極パターン、FCTは第一金属層コンタクトパターン、SCTは第二金属層コンタクトパターン、TCTは第三金属層コンタクトパターンである。ここで、第二ゲート電極パターンSGと第二金属層パターンSMの交差している領域に縦型トランジスタとカルコゲナイドが積層されて、メモリセルが作られている。これらのパターンのパターンニングには、周知の光リソグラフィを用いることができる。なお、同図では、A-A'線がデータ線DLm上に、B-B'線がデータ線WL1上に示されているものとしてパターン名の後の括弧内に対応するノード名を示している。例えば、メモリセルMC1mは、ワード線WL1とデータ線DLmとの交点に示した位置に配置されることは、容易に理解できる。

図10は、図9に示したA-A'線に沿った部分の断面(以下、A-A'断面と呼ぶ)を示している。同様に、図11は、図9に示したB-B'線に沿った部分の断面(以下、B-B'断面と呼ぶ)を示している。これらの図では、100はP型半導体基板、101はP型半導体基板内に埋め込まれた素子分離用の絶縁物、102は図9中の活性領域パターンFLにおけるN型拡散層領域、103は基板上に形成されたトランジスタのゲート酸化膜、104は基板上に形成されたトランジスタのゲート電極、105は基板上に形成されたトランジスタに絶縁膜で形成されたサイドウォールある。また、200はソース線SLや電源給電線、共通データ線I/Oなどに用いられる第一金属層、201はデータ線DLなどに用いられる第二金属層、202はカラム選択線YSに用いられる第三金属層、203は層間絶縁膜、204はN型拡散層領域102と第一金属層とを接続するコンタクト、205は第一金属層と第二金属層とを接続するコンタクト、206は第二金属層と第三金属層とを接続するコンタクト、207は第一金属層と基板上に形成されたトランジスタのゲート電極104とを接続するコンタクトである。さらに、301は縦型トランジスタPMのソース電極となるN型ポリシリコン、302は縦型トランジスタPMのチャネルとなる不純物が添加されていない真性ポリシリコン、303は縦型トランジスタPMのドレイン電極となるN型ポリシリコン、304は記憶素子RMとなるカルコゲナイド材料、305は絶縁膜、306は縦型トランジスタの側壁に形成されたゲート酸化膜、307は縦型トランジスタのゲート電極すなわちワード線WL、308はデータ線DLとワード線WLとの間に形成された層間絶縁膜、309は側壁酸化膜である。ここで、図10および図11では、図9と同様に、A-A'線がデータ線DLm上に、B-B'線がデータ線WL1上に示されているものとして層名の後の括弧内にノード名を示している。例えば、図10中の104で示されたゲート電極のノード名によって、トランジスタQA m、QB m、QC m、QD mのゲート電極の配置が容易に理解できる。

このように縦型トランジスタを用いることにより、ワード線とデータ線の各交点に形成された所謂クロスポイントセルにできる。すなわち、ワード線とデータ線を最小加工寸法Fで加工すると、メモリセルの面積が、Fの2乗の4倍となる。したがって、集積度の高い、大容量の相変化メモリを実現することができる。

ここで用いている縦型トランジスタは、オフ状態では、チャネル領域である真性ポリシリコン302が完全に空乏化し、いわゆる完全空乏型SOI(Silicon On Insulator)トランジスタとして動作する。そのため、基板上のMOSトランジスタに比べて、しきい値電圧の調整が困難である。図5に示した読み出し動作に関連して説明したように、選択状態のソース線の電位に対して待機状態のワード線の電位を低くした電圧設定は、この縦型トランジスタのしきい値電圧が低くて良いため、好適である。

以上、1個のカルコゲナイド材料による記憶素子と1個のトランジスタとで構成されるメモリセルを有する相変化メモリについて主に説明してきた。しかし、メモリセルの構成は、これに限定されない。本発明の適用範囲は、すでに述べたように相変化メモリに限らず、記憶情報に応じてメモリセルの抵抗値が異なり、データ線を介して流れる電流を検出することにより記憶情報を読み出すような相変化メモリ以外のメモリにも、本発明を適用できる。例えば、磁気抵抗変化率が低いMRAMに本発明を適用した場合、低ノイズの読み出し動作が可能であるので、センスアンプに求められる負担を軽減できる。

<実施例2>

10

20

30

40

50

本実施例では、メモリアレイの別の構成と動作を説明する。図12は、本実施例によるメモリアレイを示しており、図1と同様に $n \times m$ ビットのメモリセルを有する構成が示されている。メモリセルを構成する素子は、図4に示した従来例と同じように、選択トランジスタQMとカルコゲナイド材料を用いた可変抵抗による記憶素子RMである。本実施例の特徴は、図1では一本のデータ線毎にソース線を配置していたのに対して、複数のデータ線毎にソース線を配置し、さらに複数の共通データ線に規則的にカラム選択スイッチを接続することにより、複数のメモリセルから記憶情報を同時に読み出す点にある。図12では、一例として、二本のデータ線毎にソース線を配置し、さらに二本の共通データ線を配置した構成が示されている。以下では、図1と異なる点に注目しながら図12に示したメモリアレイ構成について説明する。

10

複数(ここでは $t$ 本)のソース線 $SLCq$ ( $q = 1, \dots, t$ )は二本のデータ線毎に配置され、列方向に二列のメモリセルにおけるトランジスタQMのソースがソース線 $SLCq$ に共通に接続される。ここで、ソース線 $SLCq$ の本数 $t$ とデータ線 $DLr$ ( $r = 1, \dots, m$ )の本数 $m$ との間には、 $m = 2t$ の関係が成り立っている。それぞれのソース線 $SLCq$ とソース電圧端子 $VSL$ との間には、複数(ここでは $t$ 個)のNMOSTランジスタ $QBCq$ ( $q = 1, \dots, t$ )が挿入される。これらのトランジスタは、ソース線 $SLCq$ に対応する二本のデータ線 $DL(2q - 1)$ 、 $DL2q$ が選択される場合、カラムデコーダ $YDEC$ により、カラム選択スイッチ $QA(2q - 1)$ 、 $QA(2q)$ と共に選択される。例えば、ソース線 $SLC1$ に対応する二本のデータ線 $DL1$ 、 $DL2$ が選択される場合、トランジスタ $QBC1$ がトランジスタ $QA1$ 、 $QA2$ と共に選択される。また、ソース線 $SLCq$ には、プリチャージ電圧 $VDL$ に駆動する複数(ここでは $t$ 個)のNMOSTランジスタ $QDCq$ ( $q = 1, \dots, t$ )が配置される。さらに、カラム選択スイッチ $QA(2q - 1)$ 、 $QA(2q)$ は、奇数番めのデータ線 $DL(2q - 1)$ を共通データ線 $I/O1$ 、偶数番めのデータ線 $DL(2q)$ を共通データ線 $I/O2$ に接続するようにそれぞれ接続される。共通データ線 $I/O1$ と $I/O2$ には、読み出し回路 $RC1$ 、 $RC2$ および書き込み回路 $WC1$ 、 $WC2$ がそれぞれ配置される。

20

このような構成により、選択する二つのメモリセルの各々に対して、図5と同じような読み出し動作が可能となる。すなわち、プリチャージ電圧 $VDL$ に駆動された複数のデータ線 $DL$ およびソース線 $SLC$ の中から、選択したい二本のデータ線に対応するソース線を駆動することにより、選択したいデータ線対及びソース線に接続されたメモリセルにのみ、電圧差を印加する。次に、ワード線を選択することにより、所望の二つのメモリセルにのみ電流経路を形成し、選択する二本のデータ線にのみ読み出し信号を発生する。さらに、これらの読み出し信号を、二本の共通データ線 $I/O1$ 、 $I/O2$ を介した二つの読み出し回路 $RC1$ 、 $RC2$ でそれぞれ弁別することにより、2ビットの記憶情報を同時に読み出す。書き込み動作の場合も、選択する二つのメモリセルの各々に対して、図6と同じような書き込み動作が可能となる。すなわち、読み出し動作と同じような選択動作を行い、二つの書き込み回路 $WC1$ 、 $WC2$ を用いて共通データ線 $I/O1$ 、 $I/O2$ に書き込み電流 $IWC1$ 、 $IWC2$ をそれぞれ発生することにより、2ビットの記憶情報を同時に書き込む。

30

以上の本実施例により、図1に示したメモリアレイおよびメモリセルの構成と動作による効果に加えて、次の三つの効果が得られる。第一に、複数のデータ線がソース線とカラム選択スイッチを共有することにより、トランジスタ数が減るので、記憶装置のレイアウト面積を低減できることである。

40

第二に、二つのカラム選択スイッチを同時に選択し、選択したい二本のデータ線に対応するソース線を駆動することにより、所望の二つのメモリセルにのみ電流経路を形成するような選択動作ができる点である。具体的には、2ビットのメモリセルを同時に選択することができるので、語構成の大きな相変化メモリやプリフェッチ動作を適用してデータ転送レートを向上する場合の相変化メモリに好適なメモリアレイを実現することができる。

第三に、図9に示したような構成の相変化メモリセルによるメモリアレイに本発明を適用した場合、ソース線 $SLC$ の抵抗を低減する効果が得られる点である。すなわち、ソース

50

線 S L C を二本のデータ線毎に配置することにより、ソース線ピッチが 4 F となるので、ソース線幅を 3 F に拡張することができる。この場合のソース線幅は、メモリセル一つあたりに換算して 3 / 2 倍されたことになるので、ソース線の抵抗は、線幅に反比例して 2 / 3 に低減される。したがって、ソース線 S L C の時定数が低減されることにより、さらに高速の相変化メモリを実現することが可能となる。

図 1 2 では、二本のデータ線毎にソース線を平行に配置する例を示したが、データ線の数はこれに限定されず、さらに多数のデータ線毎にソース線を配置することができる。この場合、同時に選択するデータ線の数だけ共通データ線、読み出し回路、書き込み回路をそれぞれ設ければ、本発明は、さらに語構成の大きなメモリや高データ転送レートのメモリを実現するのに好適である。また、相変化メモリと同様に記憶情報に応じてメモリセルの抵抗値が異なり、データ線を介して流れる電流を検出することにより記憶情報を読み出すような相変化メモリ以外のメモリにも、本発明を適用できる。例えば、M R A M にも本発明を適用できて、同様の効果を得ることができる。

### < 実施例 3 >

本実施例では、メモリアレイのさらに別の構成と動作を説明する。本実施例によるメモリアレイの特徴は、図 1 2 に示したメモリアレイ構成を応用して、相補の記憶情報を保持する所謂ツインセルを有する点にある。以下では、この点に注目しながら本実施例によるメモリアレイ構成と動作を説明する。

図 1 3 は、一例として、 $n \times m$  ビットのツインセル  $M C W p r$  ( $p = 1, \dots, n, r = 1, \dots, m$ ) を有する構成を示している。ツインセル  $M C W p r$  は、ワード線  $W L p$  ( $p = 1, \dots, n$ ) と複数(ここでは  $m$  組)のデータ線対の各交点に配置される。複数のデータ線対は、複数のトゥルー・データ線  $D L r T$  ( $r = 1, \dots, m$ ) と、トゥルー・データ線  $D L r T$  と反対極性の信号が発生される複数のバー・データ線  $D L r B$  ( $r = 1, \dots, m$ ) でそれぞれ構成される。また、複数(ここでは  $m$  本)のソース線  $S L C r$  ( $r = 1, \dots, m$ ) が、一組のデータ線対毎に配置される。

ツインセルは、二つの選択トランジスタ  $Q M T$ 、 $Q M B$  とカルコゲナイド材料を用いた可変抵抗による二つの記憶素子  $R M T$ 、 $R M B$  で構成される。まず、直列接続した記憶素子  $R M T$  と選択トランジスタ  $Q M T$  をトゥルー・データ線  $D L T$  とソース線  $S L C$  との間に挿入することにより、一方の極性の記憶情報を保持するメモリセルが構成される。また、直列接続した記憶素子  $R M B$  と選択トランジスタ  $Q M B$  をバー・データ線  $D L B$  とソース線  $S L C$  との間に挿入することにより、一方のメモリセルとは反対極性の記憶情報を保持する他方のメモリセルが構成される。このような構成により、相補の記憶情報を保持するツインセルを実現することができる。なお、選択トランジスタ  $Q M T$  および  $Q M B$  には、図 8 に示したように基板上に形成したプレーナ型トランジスタや図 1 0 に示したような縦型トランジスタを適用する。

共通データ線  $I / O T$  および  $I / O B$  は、データ線対に応じて対をなし、読み出し回路  $R C D$  と書き込み回路  $W C D$  がそれぞれ配置される。共通データ線  $I / O T$  と各トゥルー・データ線  $D L r T$  との間には、複数(ここでは  $m$  個)のカラム選択スイッチ  $Q A T r$  ( $r = 1, \dots, m$ )、共通データ線  $I / O B$  と各バー・データ線  $D L r B$  との間には、複数(ここでは  $m$  個)のカラム選択スイッチ  $Q A B r$  ( $r = 1, \dots, m$ ) がそれぞれ挿入される。また、データ線対とプリチャージ電圧端子  $V D L$  との間には、データ線対をプリチャージ電圧  $V D L$  に駆動する複数(ここでは  $m$  個)の  $N M O S$  トランジスタ  $Q C T r$  および  $Q C B r$  ( $r = 1, \dots, m$ ) がそれぞれ挿入される。

各々のソース線  $S L C r$  とソース電圧端子  $V S L$  との間には、図 1 2 と同様に、ソース線  $S L C r$  をソース電圧  $V S L$  に駆動する複数(ここでは  $m$  個)の  $N M O S$  トランジスタ  $Q B C r$  ( $r = 1, \dots, m$ ) がそれぞれ配置される。また、ソース線  $S L C r$  とプリチャージ電圧端子  $V D L$  との間には、ソース線  $S L C$  をプリチャージ電圧  $V D L$  に駆動する複数(ここでは  $m$  個)の  $N M O S$  トランジスタ  $Q D C r$  ( $r = 1, \dots, m$ ) がそれぞれ配置される。これらのトランジスタのうち、カラム選択スイッチ  $Q A T r$  および  $Q A B r$  の各々はデータ線対に応じて対をなし、図 1 2 に示したメモリアレイと同様に、対応するトラン

10

20

30

40

50

ジスタ $QBCr$ と共に、列デコーダで選択される。図13では、これらのゲートに対応するカラム選択線 $YSr$  ( $r = 1, \dots, m$ ) が直接接続されている例を示している。また、トランジスタ $QCTr$ および $QCB r$ 、 $QBCr$ のゲートには、プリチャージイネーブル信号 $PC$ が共通に接続される。

図14は、本実施例によるメモリアレイの読み出し動作において、ツインセル $M CW 1 1$ を選択する場合の動作波形を示している。まず、プリチャージ電圧 $VDL$ に駆動された複数のデータ線 $DL$ およびソース線 $SL$ の中から、選択したいデータ線対に対応するソース線 $SLC 1$ を駆動する。すると、選択したいデータ線対及びソース線に接続されたメモリセルにのみ、電圧差が印加される。そこで、ワード線 $WL 1$ を選択することにより、希望のメモリセル $M CW 1 1$ にのみ電流経路を形成し、選択データ線 $DL 1 T$ および $DL 1 B$ にのみ相補の読み出し信号を発生する。さらに、相補の読み出し信号を共通データ線 $I / OT$ および $I / OB$ を介した読み出し回路 $RC D$ で弁別することにより、記憶情報を読み出す。なお、図5について説明したように、ワード線 $WL 1$ を立ち上げ続けると、低抵抗状態のメモリセルで駆動されている一方のデータ線がソース電圧 $VSL$ 付近まで放電されてしまい、高抵抗状態のメモリセルで駆動されている他方のデータ線との信号電圧差が減少してしまう。このような動作を防ぐために、図14のように、高抵抗状態のメモリセルで駆動されている他方のデータ線電圧が参照電圧 $VD R$ を越える前のタイミングで、ワード線 $WL 1$ を立ち下げることにより、図5の動作の2倍の信号電圧差を発生する。

図15は、本実施例によるメモリアレイの書き込み動作において、ツインセル $M CW 1 1$ を選択する場合の動作波形を示している。まず、読み出し動作と同様の手順でメモリセル $M CW 1 1$ を選択する。次に、書き込み回路 $WCD$ が共通データ線 $I / OT$ および $I / OB$ を駆動することにより、書き込み電流 $I WCT$ および $I WCB$ が発生される。ここでは、相補の記憶情報を書き込むので、'1'書き込みの場合、共通データ線 $I / OT$ にセットパルス( $S(1)$ )、共通データ線 $I / OB$ にリセットパルス( $RS(1)$ )がそれぞれ発生される。また、'0'書き込みの場合、共通データ線 $I / OT$ にリセットパルス( $RS(0)$ )、共通データ線 $I / OB$ にセットパルス( $S(0)$ )がそれぞれ発生される。なお、どちらの記憶情報を書き込む場合においても、メモリセルはセット電流のパルス幅だけ選択状態にある。

以上で述べたメモリアレイおよびメモリセルの構成と動作により、次の二つの効果が得られる。第一に、データ線対の各々にカラム選択スイッチ $QATr$ および $QABr$ を配置し、データ線対に平行なソース線 $SLC r$ の各々に選択トランジスタ $QBCr$ を配置することにより、ツインセルで構成されたメモリアレイにおいても、図1で述べたような読み出し動作における消費電力の低減効果が得られる。さらに具体的に説明すると、データ線対とワード線の各交点にツインセルが配置され、データ線対の各々にはプリチャージ用トランジスタ $QCTr$ および $QCB r$ 、ソース線 $SLC r$ の各々にはプリチャージ用トランジスタ $QDCr$ がそれぞれ配置される。このような構成において、一組のカラム選択スイッチを選択すると同時に、対応するソース線を駆動することにより、選択ワードと選択ソース線の交点のセルにのみ電流経路を形成し、選択データ線対にのみ相補の読み出し信号を発生することができる。したがって、非選択データ線対の充放電を抑制することにより、ツインセル方式による相変化メモリの消費電力を低減することができる。

第二に、本実施例によるメモリセルは相補の記憶情報を保持するツインセル構造であるため、記憶情報の弁別に特別な参照信号が不要になると共に、大きな読み出し信号量を発生することができる。すなわち、データ線対に発生された相補の読み出し信号のうち、記憶情報と反対極性の読み出し信号を参照電圧として記憶情報を弁別することができるので、参照信号発生回路が不要となり、回路設計が容易になる。また、図1に示したメモリセルの場合の2倍の読み出し信号量が得られるので、高速な読み出し動作が可能となる。したがって、読み出し動作の速い、相変化メモリを実現することが可能となる。

なお、本実施例の適用範囲は相変化メモリに限らず、記憶情報に応じてメモリセルの抵抗値が異なり、データ線を介して流れる電流を検出することにより記憶情報を読み出すような相変化メモリ以外のメモリにも、本発明を適用できる。例えば、磁気抵抗変化率が低い

10

20

30

40

50

MRAMに適用した場合も、従来の2倍の読み出し信号を発生することができるので、安定した読み出し動作のMRAMを実現することができる。

<実施例4>

本実施例では、参照アレイを配置した構成を説明する。本実施例の目的は、図1に示したメモリアレイの読み出し動作に必要な参照信号を発生する手段を提供することにある。以下では、参照信号発生手段の一例としてメモリアレイ毎に参照アレイを配置した構成を、図16に従って説明する。

メモリアレイMA1、MA2は、図1と同様に $n \times m$ ビットのメモリセルを有する構成が示されている。メモリセルMCは、簡単のためブロック記号で示されているが、具体的には図4に示した従来例と同じように、選択トランジスタQMとカルコゲナイド材料による可変抵抗による記憶素子RMで構成される。メモリアレイMA1におけるデータ線DL1r ( $r = 1, \dots, m$ )はNMOSTランジスタを介して共通データ線I/O1に接続され、同様に、メモリアレイMA2におけるデータ線DL2r ( $r = 1, \dots, m$ )は共通データ線I/O2に接続される。

参照アレイRA1、RA2は、ワード線WLp ( $p = 1, \dots, n$ )と参照データ線DL1R、DL2Rとの各交点に参照セルMCRpが配置されてそれぞれなる。参照セルも、簡単のためブロック記号で示されており、具体的にはメモリセルMCと同じ選択トランジスタQMとカルコゲナイド材料を用いた可変抵抗による記憶素子RMで構成される。選択トランジスタQMのソースは、メモリアレイMA1、MA2の場合と同じように、参照データ線DL1R、DL2Rに平行に配置されたソース線SL1R、SL2Rに共通に接続される。参照データ線DL1Rとソース線SL1Rには、カラム選択線YS1Rがゲートに共通に接続されたNMOSTランジスタQAR、QBRと、プリチャージ用NMOSTランジスタQCR、QDRがそれぞれ配置される。同様に、参照データ線DL2Rとソース線SL2Rには、カラム選択線YS2Rがゲートに共通に接続されたNMOSTランジスタQAR、QBRと、プリチャージ用NMOSTランジスタQCR、QDRがそれぞれ配置される。参照アレイRA1における参照データ線DL1RはトランジスタQARを介して共通データ線I/O1、参照アレイRA2における参照データ線DL2RはトランジスタQARを介して共通データ線I/O2にそれぞれ接続される。したがって、参照アレイRA1、RA2は、メモリアレイMA1およびMA2からメモリアレイを1列取り出したものと同じ構成であり、メモリアレイにおけるデータ線と同じように、列デコーダYDEC Rがカラム選択線YSR1、YSR2を活性化することにより選択される。ただし、カラム選択トランジスタQARが共通データ線I/O1またはI/O2と参照データ線DL1RまたはDL2Rとの間に挿入され、トランジスタQBR、QCR、QDRの各々に参照電圧VDRが入力されている点が異なる。なお、読み出し回路RCには、共通データ線I/O1、I/O2がそれぞれ接続され、さらに、列デコーダYDEC Rで発生されたメモリアレイ選択信号MAS1、MAS2が入力される。

次に、図17に従い、図16に示した参照アレイを用いたメモリアレイの読み出し動作を説明する。本実施例による読み出し動作の特徴は、読み出すメモリセルが配置されたメモリアレイの位置に応じて参照アレイが選択され、共通データ線I/O1またはI/O2のどちらか一方に参照電圧VDRが発生される点である。図17は、一例として、メモリアレイMA1におけるメモリセルMC11を選択する場合の動作波形を示している。

まず、待機状態において、プリチャージイネーブル信号PCが電源電圧VDD(例えば1.5V)に保持されているので、メモリアレイMA1、MA2におけるデータ線DL1r、DL2rおよびソース線SL1r、SL2rはプリチャージ電圧VDL、参照アレイRA1、RA2における参照データ線DLRおよびソース線SLRは、NMOSTランジスタQCRおよびQDRにより参照電圧VDRに維持される。また、読み出し回路RCにより、共通データ線I/O1およびI/O2がプリチャージ電圧VDLにそれぞれプリチャージされる。

次に、読み出し動作が始まると、接地電位VSSとなっているメモリアレイ選択信号MAS1が電源電圧VDDに駆動されて、プリチャージ電圧VDLとなっている共通データ線

10

20

30

40

50

I/O2が参照電圧VDRに駆動される。続いて、電源電圧VDDとなっているメモリアレイ選択信号MAS1が接地電位VSSに駆動された後、メモリアレイMA1の選択動作が行われる。ここで、メモリアレイMA1は図1に示したものと同一構成であるので、コラム選択線YS11が活性化されることにより図5と同じように、共通データ線I/O1が記憶情報に応じた速さでソース電圧VSLに向かって放電される。これに対して、参照アレイRA2では、電源電圧VDDとなっているプリチャージイネーブル信号PCが接地電位VSSに駆動され、接地電位VSSとなっているコラム選択線YS2Rが昇圧電位VDH(例えば1.5以上)に駆動されることにより、トランジスタQAR、QBRが導通する。この時、ソース線SL2Rは引き続き参照電圧電源VDRに接続されるので、参照データ線DL2Rおよび共通データ線I/O2は参照電圧VDRに保持される。したがって、読み出し回路RCは、共通データ線I/O2に発生された参照電圧VDRを基準として、共通データ線I/O1に発生された正または負の信号を弁別して、記憶情報を読み出す。以上の読み出し動作が終了すると、共通データ線I/O1、I/O2は読み出し回路RCによりプリチャージ電位VDLに駆動されて、待機状態に戻る。なお、図17はメモリアレイMA1における記憶情報を読み出す動作を示しているが、メモリアレイMA2におけるメモリセルを選択する場合も、同様な動作が行われる。すなわち、メモリアレイ選択信号MAS2が活性化されることにより、プリチャージ電圧VDLとなっている共通データ線I/O1が参照電圧VDRに駆動される。次に、メモリアレイMA2と参照アレイRA1の選択動作を行い、共通データ線I/O2を記憶情報に応じた電位に駆動することにより、記憶情報を読み出す。

10

20

以上で述べたメモリアレイおよびメモリセルの構成と動作により、次の二つの効果が得られる。第一に、メモリセルMCと同じ構成の参照セルMCRpをワード線毎に配置したことにより、ワード線駆動雑音を相殺できる点である。一般に、記憶装置は、ワード線を電源電圧以上のパルスで駆動するのに対して、データ線に発生する数百mVの微小信号電圧を分別するので、これらの交点の容量を介してワード線からデータ線に結合する雑音の問題となる。本実施例を用いれば、同相の雑音を読み出しデータ線と参照データ線に重畳されるので、この雑音を相殺することができる。したがって、信号マージンを確保することができて、安定した読み出し動作が可能となる。

第二に、メモリアレイMAと参照アレイRAが共通データ線I/Oを共有することにより、共通データ線における寄生容量の平衡をとることができる点である。すなわち、共通データ線I/Oに接続されたコラム選択スイッチ用NMOSトランジスタQArおよびQARの個数を同数とすることにより、トランジスタの拡散容量が等しくなるので、雑音を抑制することができて、さらに安定した読み出し動作が可能となる。

30

なお、信号マージンが大きく、共通データ線容量の不均衡による雑音の影響が小さい場合は、メモリアレイと参照アレイが共通データ線を共有する構成にしなくとも良い。この場合は、選択するメモリアレイの位置に応じて共通データ線の電位を設定し直す必要がなく、プリチャージを止めてから直ぐに選択動作を行えるので、読み出し時間を短縮することができる。また、本実施例の適用範囲は相変化メモリに限らず、記憶情報に応じてメモリセルの抵抗値が異なり、データ線を介して流れる電流を検出することにより記憶情報を読み出すような相変化メモリ以外のメモリにも、本発明を適用できる。例えば、例えば、磁気抵抗変化率が低いMRAMに適用した場合も、ワード駆動雑音の相殺と、共通ワード線容量不平衡により発生する雑音の抑制を行うことができ信号マージンが増えるので、安定した読み出し動作のMRAMを実現することができる。

40

以上、種々の実施例について、図1に示したように記憶素子RMと選択トランジスタQMの順に直列接続した構成のメモリセルMCを、データ線DLとソース線SLとの間に挿入したアレイ構成を基に説明してきた。しかし、このメモリセル構成では、記憶素子の抵抗変化率が大きい場合、データ線と非選択メモリセル内部における寄生容量の結合の度合いが記憶情報によって変化して見える。例えば、メモリセルMC11を選択する際の非選択メモリセルMC21~MCn1の抵抗値が高い場合と低い場合とを考えると、後者の方の結合が強く見えて、データ線容量が大きくなる。したがって、後者の場合の方が、読み出

50

し速度が遅い。このような問題を避けるには、素子の接続順を変えて、選択トランジスタ Q M と記憶素子 R M の順に直列接続したメモリセル構成とするのが望ましい。この構成は、非選択メモリセル内の寄生容量が選択トランジスタによってデータ線から切り離されるので、データ線容量を一定値に抑制し、読み出し速度の低下を防ぐことができる。また、このようなメモリセル構成を用いたメモリアレイにおいても、本発明により、これまで述べてきた実施例と同様の効果が得られる。

本発明のメモリアレイ構成は、これまで説明してきた種々の実施例について共通に、メモリセルに低しきい値電圧の選択トランジスタを用いても待機電流の増加を回避できるという効果も得られる。これは、待機状態において、データ線 D L とソース線 S L の電位を共通のプリチャージ電位 V D L に保持しているため、選択トランジスタのしきい値電圧が如何なる値であっても、メモリセルには電流が流れないためである。選択トランジスタのしきい値電圧を下げることにより、コンダクタンスが大きくなる。それにより、読出し電流が増加して、動作速度の速い相変化メモリや M R A M を実現することができる。また、記憶素子と選択トランジスタの直列抵抗で定まる実効的な抵抗変化率が大きくなり、S / N 比が向上する。したがって、高 S / N の高速動作と待機時の消費電力抑制を両立した相変化メモリや M R A M を実現することができる。なお、図 5 に示した読み出し動作に関連して説明したように、ワード線の待機電圧をソース電圧 V S L よりも低く設定することにより、選択トランジスタのしきい値電圧を、非選択ワード線上のメモリセルに流れる電流が動作に影響を及ぼさない値にまで、さらに下げることが可能である。それにより、一層の高速化と高 S / N 化が実現できる。

#### 産業上の利用可能性

本発明は記憶回路、特に相変化メモリや M R A M ( マグネトレジスティブ・ランダム・アクセス・メモリ ) 等に好適に適用可能である。

#### 【図面の簡単な説明】

図 1 は本発明による記憶情報に応じ抵抗が変化する 1 個の記憶素子と 1 個の選択トランジスタで構成されるメモリセルを用いたメモリアレイの構成例を示す図、

図 2 は記憶情報に応じ抵抗が変化する 1 個の記憶素子と 1 個の選択トランジスタで構成されるメモリセルを用いたメモリアレイ構成の従来例を示す図、

図 3 は記憶素子の相変化に必要なパルス幅と温度との関係を示す図、

図 4 は記憶素子の電流 - 電圧特性を示す図、

図 5 は本発明のメモリアレイの読み出し動作タイミングを示す図、

図 6 は本発明のメモリアレイの書き込み動作タイミングを示す図、

図 7 は本発明のメモリアレイのレイアウトを示す図、

図 8 は図 7 のレイアウト図中に示したメモリアレイの構造を模式的に示す断面図、

図 9 は本発明のメモリアレイの別なレイアウトを示す図、

図 10 は図 9 のレイアウト図中に示した A - A ' 線に沿った部分の構造を示す断面図、

図 11 は図 9 のレイアウト図中に示した B - B ' 線に沿った部分の構造を示す断面図、

図 12 は本発明による記憶情報に応じて抵抗が変化する 1 個の記憶素子と 1 個の選択トランジスタで構成されるメモリセルを用いたメモリアレイの別の構成例を示す図、

図 13 は本発明による記憶情報に応じて抵抗が変化する 2 個の記憶素子と 2 個の選択トランジスタで構成されるメモリセルを用いたメモリアレイの別の構成例を示す図、

図 14 は図 13 のメモリアレイの読み出し動作タイミングを示す図、

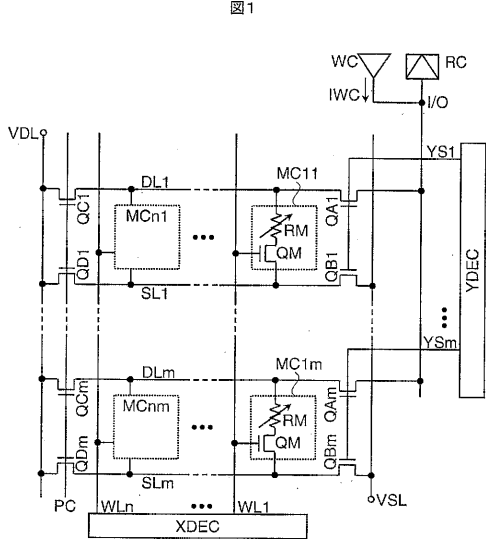
図 15 は図 13 のメモリアレイの書き込み動作タイミングを示す図、

図 16 は本発明による記憶情報に応じて抵抗が変化する 1 個の記憶素子と 1 個の選択トランジスタで構成されるメモリセルを用いたメモリアレイの別の構成例を示す図、

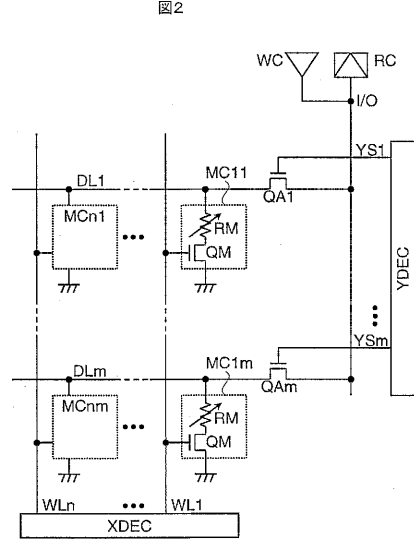
図 17 は図 16 のメモリアレイの読み出し動作タイミングを示す図である。



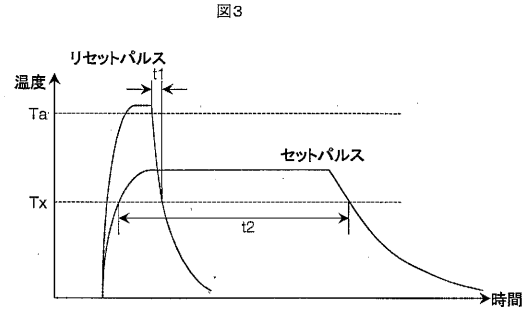
【図1】



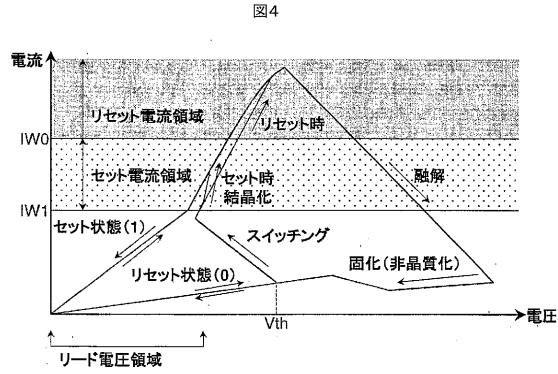
【図2】



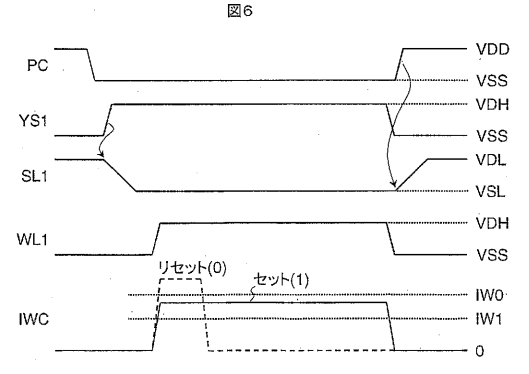
【図3】



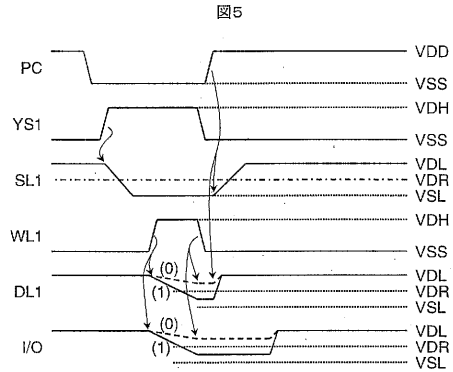
【図4】



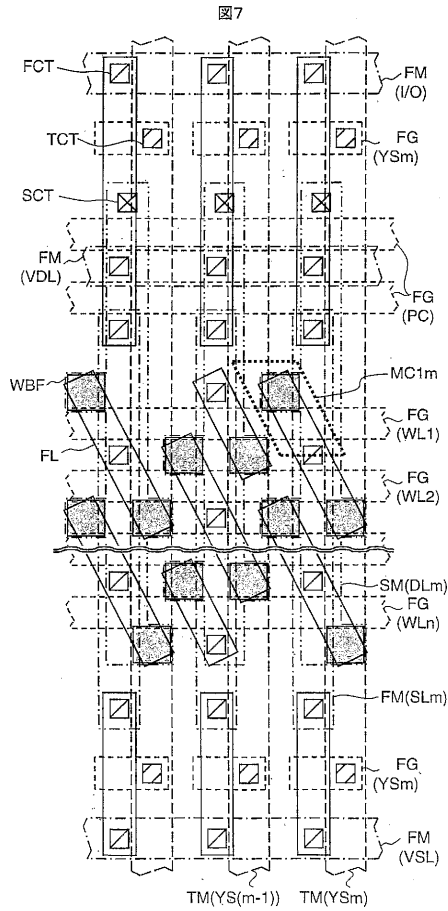
【図6】



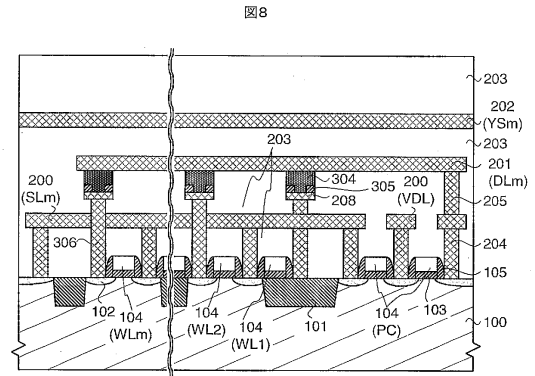
【図5】



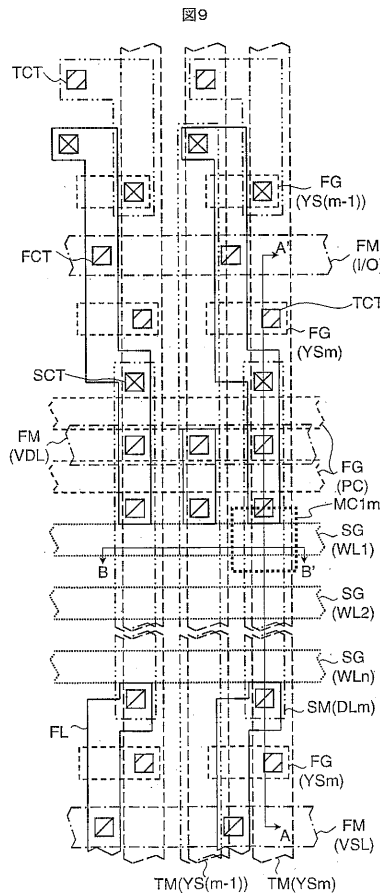
【 図 7 】



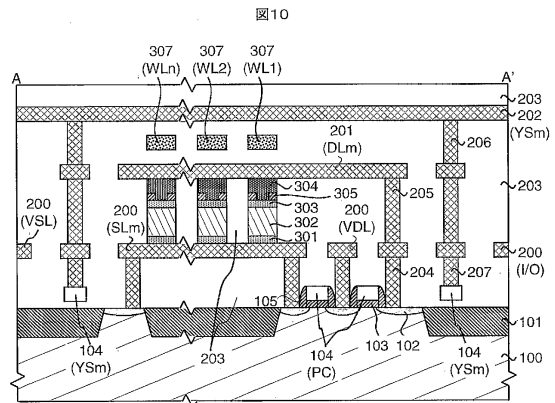
【 図 8 】



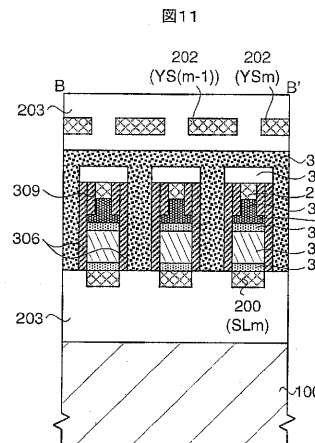
【 図 9 】



【 図 10 】

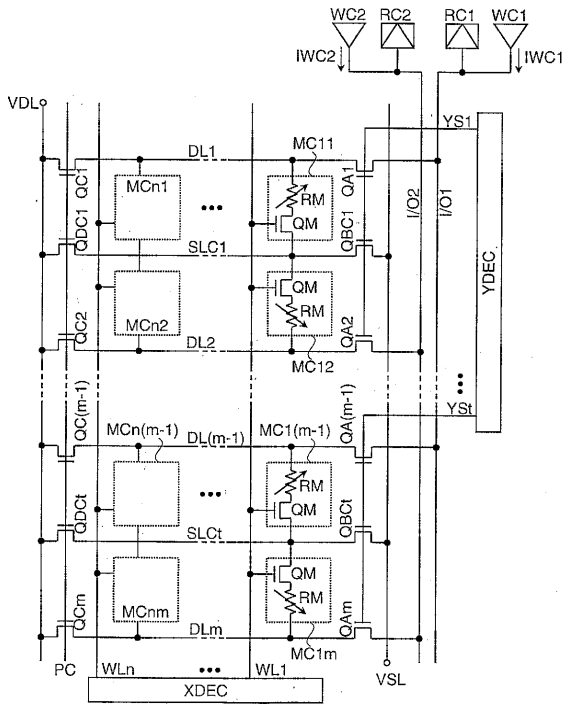


【 図 11 】



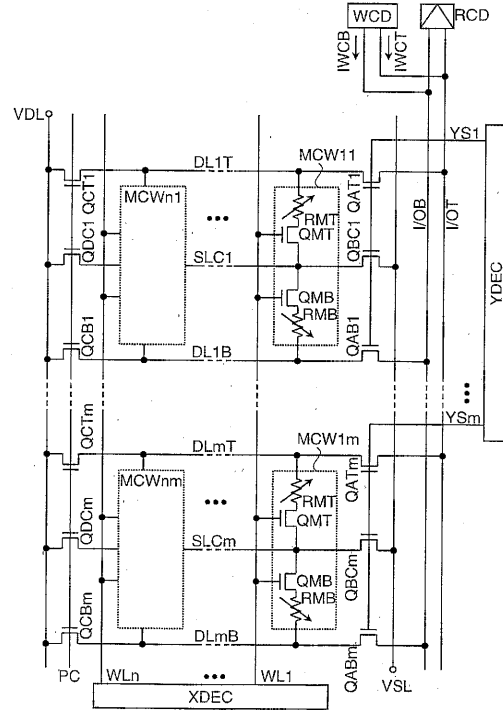
【 図 1 2 】

図 12



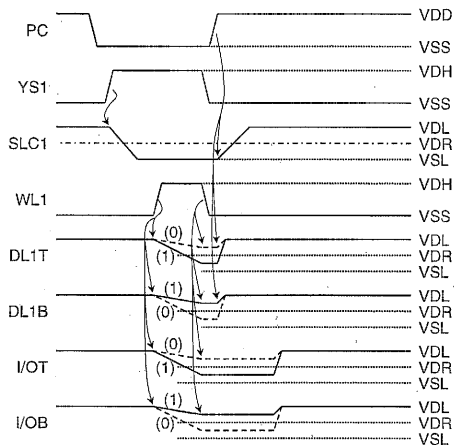
【 図 1 3 】

図 13



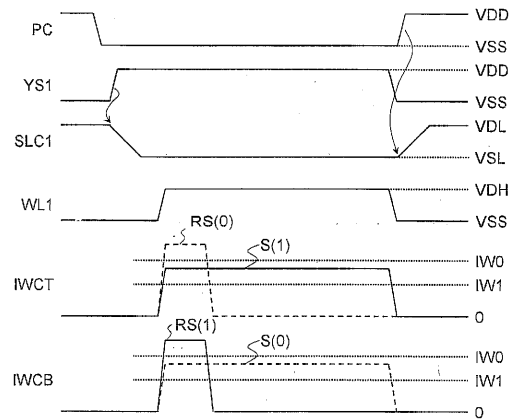
【 図 1 4 】

図 14

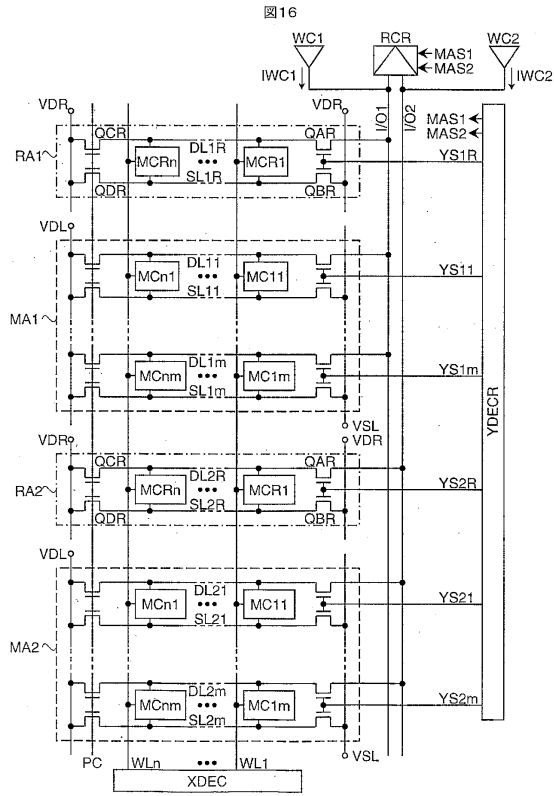


【 図 1 5 】

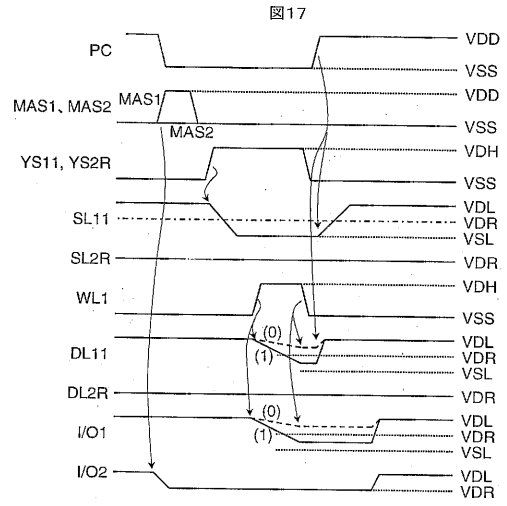
図 15



【 図 16 】



【 図 17 】



---

フロントページの続き

(72)発明者 寺尾 元康

日本国東京都国分寺市東恋ヶ窪一丁目280番地株式会社日立製作所中央研究所内

(72)発明者 阪田 健

日本国東京都国分寺市東恋ヶ窪一丁目280番地株式会社日立製作所中央研究所内

審査官 堀江 義隆

(56)参考文献 特開2002-343077(JP, A)

国際公開第00/057498(WO, A1)

特開昭54-088739(JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 13/00

H01L 27/10

G11C 11/14 -11/15

G11C 11/21

G11C 13/00