

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-142505

(P2012-142505A)

(43) 公開日 平成24年7月26日(2012.7.26)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/762 (2006.01)	HO 1 L 21/76 D	5 F 0 3 2
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 L	5 F 0 4 8
HO 1 L 27/08 (2006.01)	HO 1 L 27/08 3 3 1 E	5 F 1 1 0
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 3 3 1 A	
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 0 2 A	

審査請求 未請求 請求項の数 9 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2011-900 (P2011-900)
 (22) 出願日 平成23年1月6日(2011.1.6)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100100310
 弁理士 井上 学
 (74) 代理人 100098660
 弁理士 戸田 裕二
 (74) 代理人 100091720
 弁理士 岩崎 重美
 (72) 発明者 北澤 敬吾
 東京都青梅市新町六丁目16番地の3 株
 株式会社日立製作所マイクロデバイス事業部
 内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

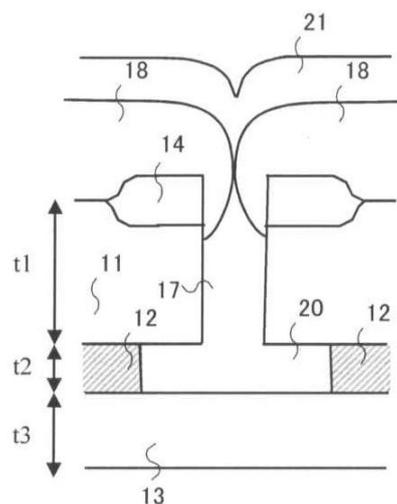
【課題】 本発明は、より寄生容量の少ない素子の実現が可能な素子分離構造を有する半導体装置およびその製造方法を提供することにある。

【解決手段】 SOI基板上に形成される半導体装置は、素子分離領域に形成される素子分離溝(空洞)17と、半導体層11と支持基板13の間に介在する埋め込み絶縁層の一部に素子分離溝(空洞)17に接する空洞領域20を有する。

【効果】 寄生容量を低減でき、また、素子の耐圧を高めることができる。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

半導体基板と、
 上記半導体基板上に形成される埋め込み絶縁層と、
 上記埋め込み絶縁層上に形成され、素子が形成される半導体層と、
 上記半導体層の素子分離領域に形成され、上記埋め込み絶縁層に達する溝とを有し、
 上記溝と上記溝に接する上記埋め込み絶縁層の一部領域が空洞となっている半導体装置

【請求項 2】

請求項 1 において、

上記空洞化された溝と上記埋め込み絶縁層の一部領域に囲まれた上記半導体層に 1 つの素子が形成される半導体装置。

10

【請求項 3】

請求項 1 において、

上記空洞化された溝と上記埋め込み絶縁層の一部領域に囲まれた上記半導体層に複数の素子が形成される半導体装置。

【請求項 4】

請求項 1 において、

上記溝は、上記半導体層上に形成される絶縁膜によって塞がれる半導体装置。

【請求項 5】

半導体基板、上記半導体基板上に形成される埋め込み絶縁層及び上記埋め込み絶縁層上に形成される半導体層を有する半導体装置の製造方法であって、

20

上記半導体層の素子分離領域において、上記埋め込み絶縁層に達する溝を形成し、

上記溝を埋め込むように酸化膜を形成し、

上記半導体基板に上記埋め込み絶縁層に達する貫通ホールを形成し、

上記貫通ホールから、上記埋め込み絶縁層の一部と上記溝に埋め込まれた酸化膜とを除去する半導体装置の製造方法。

【請求項 6】

請求項 5 において、

上記溝に SiN 層を設け、

30

上記 SiN 層をストッパとする半導体装置の製造方法。

【請求項 7】

請求項 5 において、

上記半導体層上に配線層を形成した後に、上記埋め込み絶縁層の一部と上記溝に埋め込まれた酸化膜とを除去する半導体装置の製造方法。

【請求項 8】

請求項 5 において、

上記酸化膜が除去された溝と上記埋め込み絶縁層の一部の領域に囲まれた上記半導体層に 1 つの素子が形成される半導体装置の製造方法。

【請求項 9】

40

請求項 5 において、

上記酸化膜が除去された溝と上記埋め込み絶縁層の一部の領域に囲まれた上記半導体層に複数の素子が形成される半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、例えば半導体装置の素子分離構造に関する。

【背景技術】

【0002】

50

近年、半導体装置は、高集積化、高速化、低消費電力化の要求が高まる中、高耐圧化も必然性を増してきている。その中で、S O I (Silicon on Insulator) 基板や素子分離溝 (D T I (Deep Trench Isolation)、S T I (Shallow Trench Isolation) 等) により性能が向上する一方で、素子を酸化膜で囲うことにより寄生容量の増大が懸念されている。本発明は、この寄生容量を大幅に低減した半導体装置及びその製造方法を提供するものである。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-49828号公報

10

【特許文献2】特開2006-237455号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

S O I (silicon on insulator) 基板を用いた半導体装置は、半導体素子は半導体基板上に設けられた絶縁膜(酸化膜)上の半導体層に形成される。この構造では、半導体基板と半導体層とが完全に分離されるとともに素子領域下部にp n接合が形成されない。さらに、素子分離膜(D T I, S T I)を形成することにより、他の素子とのほぼ完全な電氣的な分離およびp n接合に起因した容量の低減を実現できる。しかしながら、半導体層、絶縁膜、半導体基板とにより形成される容量、D T I絶縁膜を介した半導体層間の容量は、酸化膜の比誘電率(約3.9)に従って依然として存在する。

20

【課題を解決するための手段】

【0005】

本発明の代表的なものの一例を示せば以下の通りである。

【0006】

本発明の半導体装置は、半導体基板と、半導体基板上に形成される埋め込み絶縁層と、埋め込み絶縁層上に形成され、素子が形成される半導体層と、半導体層の素子分離領域に形成され、埋め込み絶縁層に達する溝とを有し、溝と溝に接する埋め込み絶縁層の一部領域が空洞となっている。

【0007】

30

または、半導体基板、半導体基板上に形成される埋め込み絶縁層及び埋め込み絶縁層上に形成される半導体層を有する半導体装置の製造方法として、半導体層の素子分離領域において埋め込み絶縁層に達する溝を形成し、溝を埋め込むように酸化膜を形成し、半導体基板に埋め込み絶縁層に達する貫通ホールを形成し、貫通ホールから、埋め込み絶縁層の一部と溝に埋め込まれた酸化膜とを除去するようにする。

【発明の効果】

【0008】

本発明によれば、ソースドレイン間容量の低減、及び基板容量の低減が同時に実現でき、応答速度の向上、消費電力の低減に効果がある。また、素子分離溝内を埋め込まないため工程簡略化が可能である。

40

【図面の簡単な説明】

【0009】

【図1】実施例1の半導体装置の素子分離溝部分の断面図である。

【図2】図2(a)~(i)は、実施例1の素子分離溝部分の製造工程を説明するための図である。

【図3】実施例1の半導体装置の素子分離溝部分の断面図である。

【図4】実施例1の半導体装置の断面図である。

【図5】本発明において、空洞の素子分離溝によって分離する単位を説明するための図である。

【図6】実施例2の半導体装置の素子分離溝部分の断面図である。

50

【図 7】図 7 (a) ~ (f) は、実施例 2 の素子分離溝部分の製造工程を説明するための図である。

【図 8】図 8 (a) ~ (d) は、本発明の半導体装置の製造工程を説明するための図である。

【図 9】実施例 2 の半導体装置の素子分離溝部分の断面図の 1 例である。

【図 10】実施例 2 の半導体装置の素子分離溝部分の断面図である。

【図 11】実施例 2 の半導体装置の素子分離溝部分の断面図である。

【発明を実施するための形態】

【0010】

以下、本発明の実施例について図面を用いて詳細に説明する。以下の説明では、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合のみ行う。

【実施例 1】

【0011】

図 1 は本発明（実施例 1）の半導体装置の素子分離溝部分の断面図である。13 は半導体支持基板（厚さ t_3 はおよそ $600 \sim 700 \mu\text{m}$ ）、12 は埋め込み絶縁層（厚さ t_2 はおよそ $2.5 \mu\text{m}$ ）、20 は埋め込み絶縁層空洞領域、11 はシリコンからなる半導体層（厚さ t_1 はおよそ $5 \mu\text{m}$ ）、17 は分離溝（空洞）、18 は絶縁膜、14 は酸化膜（ SiO_2 膜）からなるフィールド絶縁膜、21 は表面保護膜である。半導体支持基板 13 上に形成された埋め込み絶縁層 12 と半導体層 11 とによって SOI 基板を構成され、素子は SOI 基板上に形成される。素子分離は、図 1 に示すように、フィールド絶縁膜 14 から半導体層 11 を貫通し、埋め込み絶縁層 12 まで到達するように形成された分離溝空洞 17 によってなされ、さらに分離溝空洞 17 は埋め込み絶縁層空洞領域 20 に結合している。このように素子分離溝、埋め込み絶縁層の比誘電率を下げることにより、半導体層間の容量を下げるのが可能になる。分離溝空洞 17 は、空洞 17 を覆うように形成された絶縁膜 18 と、絶縁膜 18 上面に形成された表面保護膜 19 とによって塞がれている。

【0012】

図 1 の素子分離溝部分の製造工程を図 2 (a) から図 2 (i) を用いて説明する。まず、図 2 (a) に示すように、SOI 基板の半導体層 11 上に、素子分離形成領域を含む領域上にフィールド絶縁膜 14 を形成する。このフィールド絶縁膜 14 は、例えば、熱酸化法を用いて選択的に形成する、いわゆる LOCOS 酸化膜等によって形成する。フィールド絶縁膜 14 の開口部（半導体層 11 が露出した部分）が素子形成領域となる。なお、LOCOS 酸化膜によるフィールド絶縁膜に限られず、素子分離形成領域に埋め込み絶縁膜（STI）を形成するようにしてもよい。その後、フィールド絶縁膜 14 及びその開口部に露出する半導体層 11 上を覆うように、 SiN 絶縁膜 15 を形成する。

【0013】

次に、図 2 (b) に示すように、 SiN 絶縁膜 15 上に、フォトリソグラフィを用いてレジストパターン（図示せず）を形成した後、レジストパターンをエッチングマスクにして SiN 絶縁膜 15 を選択的にエッチングして、分離溝形成領域の内側領域に開口部を形成する。その後、レジストパターンを除去する。さらに、図 2 (c) に示すように、 SiN 絶縁膜 15 をハードマスクにしてフィールド酸化膜 14 を異方性エッチングして、開口する。次に、図 2 (d) に示すように、開口部を有する SiN 絶縁膜 15 上に SiN 絶縁膜 15 と同質の SiN 絶縁膜 16 を形成する。

【0014】

次に、図 2 (e) に示すように、 SiN 絶縁膜 16 の異方性エッチングを行い、フィールド酸化膜 14 の開口部側面に SW（サイドウォール）を形成する。これにより、この後の半導体層 11、埋め込み絶縁層 12 をエッチングする工程において、フィールド酸化膜 14 が SiN 層 15、16 によって保護される。

【0015】

次に、図 2 (f) に示すように、開口部を有する絶縁膜 15 をエッチングマスクにして

、半導体層 11 の異方性エッチングを行い、半導体層 11 に埋め込み絶縁層 12 に到達する分離溝 17 を形成する。

【0016】

次に、図 2 (g) に示すように、埋め込み絶縁層 12 を等方性エッチングにより除去する。除去には、フッ酸等のウエットエッチが望ましい。

【0017】

次に、図 2 (h) に示すように、SiN 絶縁膜 15 を等方性エッチングにより除去する。その際、半導体層 11 の側面も同様にエッチングされる。

【0018】

次に、図 2 (i) に示すように、カバレッジ性が低く流動性の少ない絶縁膜 18 によって、素子分離溝の開口部を塞ぎ、素子分離溝 17 内に空洞を形成する。また、絶縁膜 18 は、素子表面における電氣的絶縁の信頼性および後工程で形成する表面保護膜のリフロー時における熱処理を考慮し、不純物がドーブされておらずかつ流動性の少ない TEOS (Tetra Ethyl Ortho Silicate) などの CVD 酸化膜を用いることが望ましい。

10

【0019】

なお、図 2 の例で SiN 絶縁膜を除去している (図 2 (h)) のは、SiN 層が素子のしきい値特性の変動要因となる場合があるためである。このような素子への影響が無視できる場合には、図 3 に示すように、フィールド酸化膜 14 の周囲に形成された SiN 絶縁膜 15, 16 を除去することなく、絶縁膜 18 を積層することが可能である。これにより工程の削減を図ることができる。

20

【0020】

図 4 は、本発明の分離溝を適用した半導体装置の一例の断面図である。なお、図示しているのは下地層であり、この上に層間絶縁膜を介して配線層が形成される。領域 A には高耐圧トランジスタが、領域 B には低耐圧トランジスタが形成されている。

【0021】

高耐圧トランジスタのゲートであるゲートポリシリコン 41 は平面形状としては細長いリング状をしており、ゲート酸化膜 44 を介してソースドレイン層 43 a を取り囲むように形成されている。ゲートポリシリコン 41 上にはゲートキャップ酸化膜 42 が形成されている。また、ゲートポリシリコン 41 の両側 (もしくは片側) にストライプ状のソースドレイン層 43 b が形成されている。ソースドレイン層は互いにフィールド絶縁膜 45 によって分離されている。また、ソースドレイン層 43 b を覆うように高耐圧バッファ層 47、ソースドレイン層 43 a を覆うように高耐圧チャネル層 46 が形成されている。また、低耐圧トランジスタのゲートであるゲートポリシリコン 41 の両側にソースドレイン層 43 が設けられている。このように、素子間は素子分離溝 (空洞) 48 により分離され、埋め込み絶縁層空洞領域 52 により、素子間容量が低減される。また、素子の機械的強度は残された埋め込み絶縁層 51 により維持される。

30

【0022】

特に、高耐圧トランジスタにおいては、素子間が従来の比誘電率が約 3.9 のシリコン酸化膜から比誘電率 1 の空気によって分離されることになることで、より素子分離溝 (空洞) 48 で耐圧を分担できるようになるため、その耐圧も向上することになる。

40

【0023】

なお、空洞の素子分離溝及び空洞の素子分離溝に接する埋め込み絶縁層空洞領域によって分離する単位は、図 4 に示すような素子単位の分離でなくてもよい。図 5 は分離方法を模式的に説明するための透視図である。素子分離溝 (空洞) 48 は実線で表記している。図 5 (a) は図 4 のような素子毎に素子分離溝 (空洞) 48 を設けるものである。一方、図 5 (b) では複数の素子群に対して分離溝 (空洞) 48 を設け、素子毎の分離は、LOCOS 酸化膜や STI によって行う。図 5 (b) では、このような素子分離を点線 55 によって表記している。素子分離溝に分離する単位は以下に説明する実施例 2 においても同様である。

【実施例 2】

50

【0024】

図6は本発明(実施例2)の半導体装置の素子分離溝部分の断面図である。13は半導体支持基板(厚さ t_3 はおよそ $400\mu\text{m}$)、12は埋め込み絶縁層(厚さ t_2 はおよそ $2.5\mu\text{m}$)、20は埋め込み絶縁層空洞領域、11はシリコンからなる半導体層(厚さ t_1 はおよそ $5\mu\text{m}$)、17は分離溝(空洞)、14は酸化膜(SiO_2 膜)からなるフィールド絶縁膜、19、23は絶縁膜、21は表面保護膜である。半導体支持基板13上に形成された埋め込み絶縁層12と半導体層11とによってSOI基板を構成され、素子はSOI基板上に形成される。素子分離は、図6に示すように、フィールド絶縁膜14から半導体層11を貫通し、埋め込み絶縁層12まで到達するように形成された分離溝空洞17によってなされ、さらに分離溝空洞17は埋め込み絶縁層空洞領域20に結合している。このように素子分離溝、埋め込み絶縁層の比誘電率を下げることにより、半導体層間の容量を下げる事が可能になる。

10

【0025】

図6の素子分離溝部分の製造方法を図7(a)から図7(f)を用いて説明する。まず、図7(a)に示すように、SOI基板の半導体層11上に、素子分離形成領域を含む領域上に開口部を有するフィールド酸化膜14を形成する。このフィールド絶縁膜14は、例えば、熱酸化法を用いて選択的に形成する、いわゆるLOCOS酸化膜等によって形成する。その後、フィールド絶縁膜14及びその開口部に露出する半導体層11上を覆うように、CVD酸化膜からなる絶縁膜19を形成する。この絶縁膜19としては、素子表面における電氣的絶縁の信頼性および後工程で形成する表面保護膜のリフロー時における熱処理を考慮し、不純物がドーブされておらずかつ流動性の少ないTEOS(Tetra Ethyl Ortho Silicate)などのCVD酸化膜を用いることが望ましい。

20

【0026】

次に、図7(b)に示すように、絶縁膜19上に、フォトリソグラフィを用いてレジストパターン(図示せず)を形成した後、レジストパターンをエッチングマスクにして絶縁膜19を選択的にエッチングして、分離溝形成領域の内側領域に開口部を形成する。その後、レジストパターンを除去する。その後、図7(c)に示すように、絶縁膜19をハードマスクにして素子分離溝を埋め込み絶縁層層12まで貫通させる。

【0027】

次に、図7(d)に示すように、素子分離溝17に絶縁膜(酸化膜)23を埋め込み、さらに保護膜21を形成する。次に、図7(e)に示すように、半導体支持基板13の裏面から埋め込み絶縁層12まで到達するように貫通ホール22を形成する。なお、貫通ホールは、埋め込み絶縁層空洞領域20を形成する領域に適宜設けるようにする。

30

【0028】

次に、図7(f)に示すように、貫通ホール22から等方性エッチングによって埋め込み絶縁層12および素子分離溝内酸化膜23を除去する。このとき、素子分離溝内酸化膜23はフィールド絶縁膜底部付近まで除去するのが望ましい。この場合、後述するように配線形成工程後に埋め込み酸化膜を除去するにすれば、図9に示すように配線構造(図では、金属配線層25・26とそれらをつなぐビアを示している)に支持されており、図5(b)に示すような比較的大面積の埋め込み酸化膜を除去することが可能である。

40

【0029】

また、図10に示すように、素子分離溝を埋め込む際に一度エッチバックを行い、その後SiN絶縁膜29を形成し、図11に示すようにSiOウエットエッチのストップとすることも可能である。

【0030】

なお、図8に実施例1または実施例2の半導体装置に係る製造方法を示す。図8(a)、(b)は素子分離溝形成工程93を素子形成工程95の前に行っている。実施例1の場合は、図8(a)のように埋め込み酸化膜除去工程94を素子形成工程95の前に行うのが望ましい。素子形成前に行うことで、素子分離溝形成による熱負荷及び埋め込み酸化膜除去による素子への影響を排除できる。一方、実施例2の場合では、裏面から埋め込み酸

50

化膜除去を行うことから、図 8 (b) のように、配線形成工程 9 7 の完了後に埋め込み酸化膜除去工程 9 4 を行うことが望ましい。また、図 8 (c)、(d) は素子形成工程 9 5 及びコンタクト形成工程 9 6 の後に、素子分離溝形成工程 9 3 を行っている。この場合、実施例 1 の場合は、埋め込み酸化膜除去工程 9 4 の後に配線工程 9 7 を行う。実施例 2 の場合は、裏面から埋め込み酸化膜除去を行うことから、図 8 (d) のように、配線形成工程 9 7 の完了後に埋め込み酸化膜除去工程 9 4 を行うことが望ましい。

【 0 0 3 1 】

以上、本発明の実施例を説明したが、実施例で示した寸法、形状、配置、材料などは一例であり、本発明は実施例に限定されるものではなく、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。

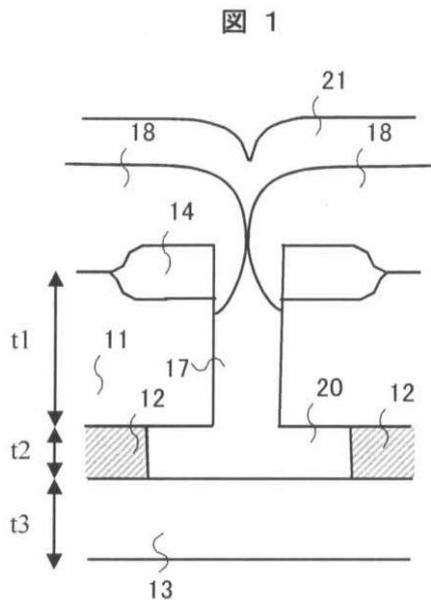
10

【 符号の説明 】

【 0 0 3 2 】

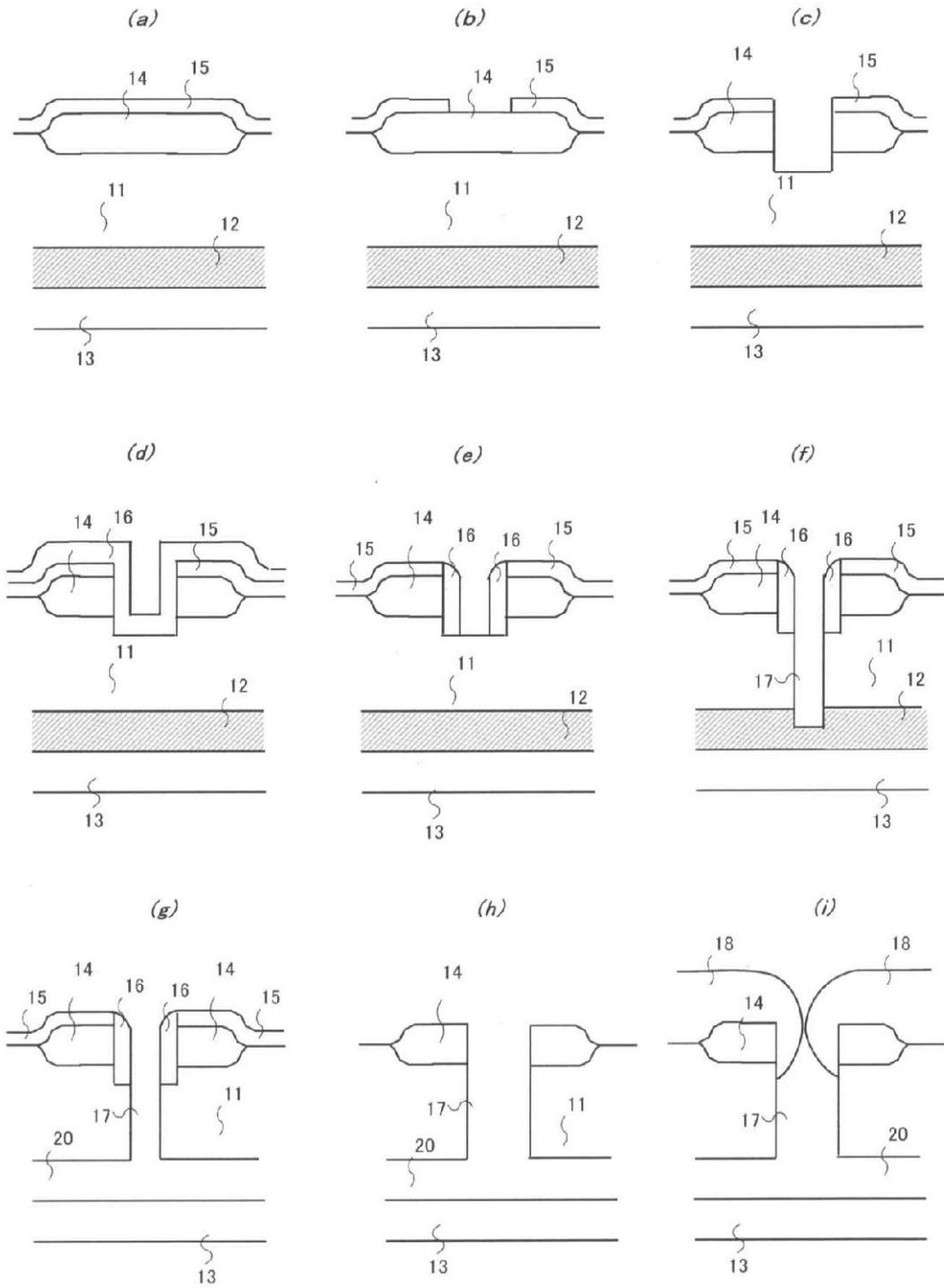
1 1 : 半導体層、1 2 : 埋め込み絶縁層、1 3 : 半導体支持基板、1 4 : フィールド絶縁膜、1 5 : S i N 絶縁膜、1 7 : 素子分離溝 (空洞)、1 8 : 絶縁膜、2 0 : 埋め込み絶縁層空洞領域、2 1 : 保護膜、2 2 : 貫通ホール、2 5 ・ 2 6 : 金属配線層、2 7 : 層間絶縁膜、2 8 : ピア、2 9 : S i N 絶縁膜。

【 図 1 】

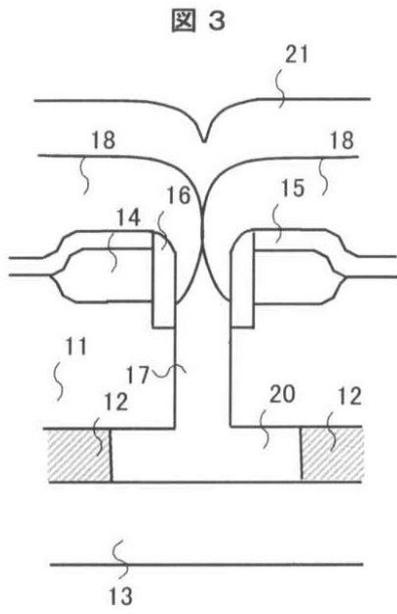


【 図 2 】

図 2

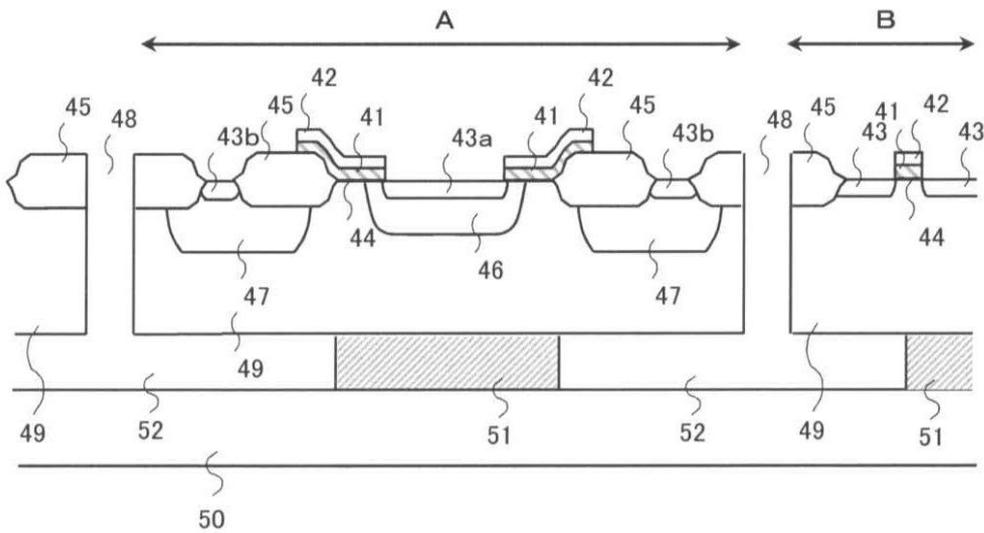


【 図 3 】



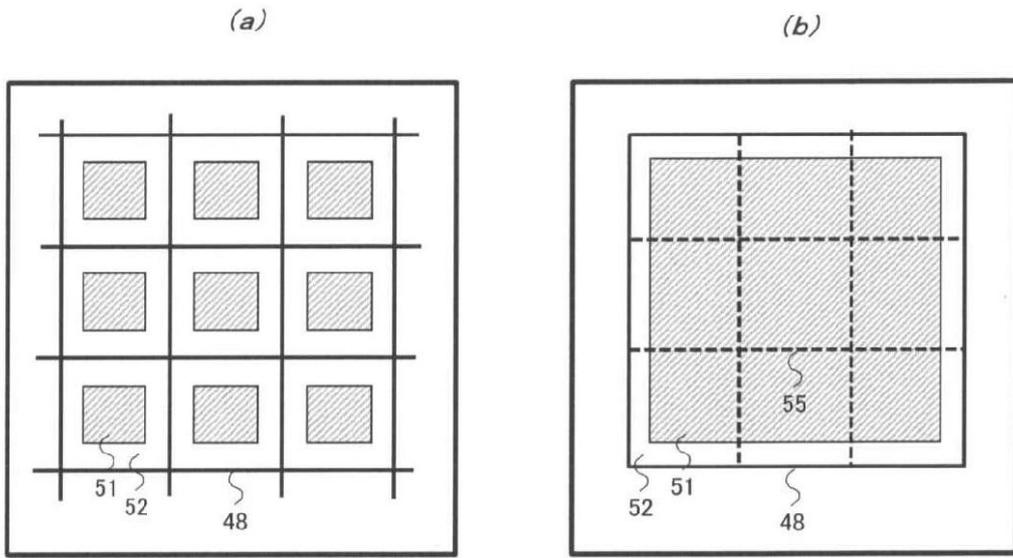
【 図 4 】

図 4

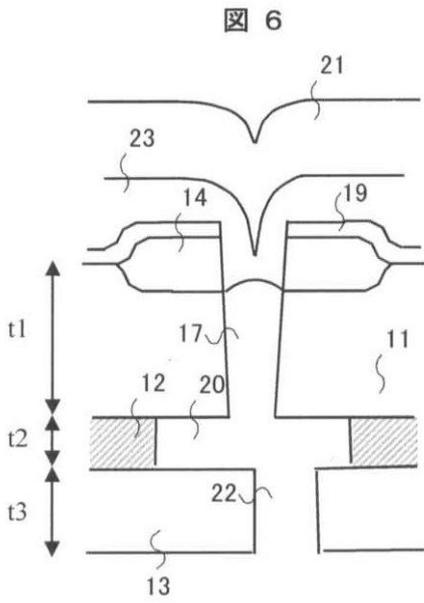


【 図 5 】

図 5

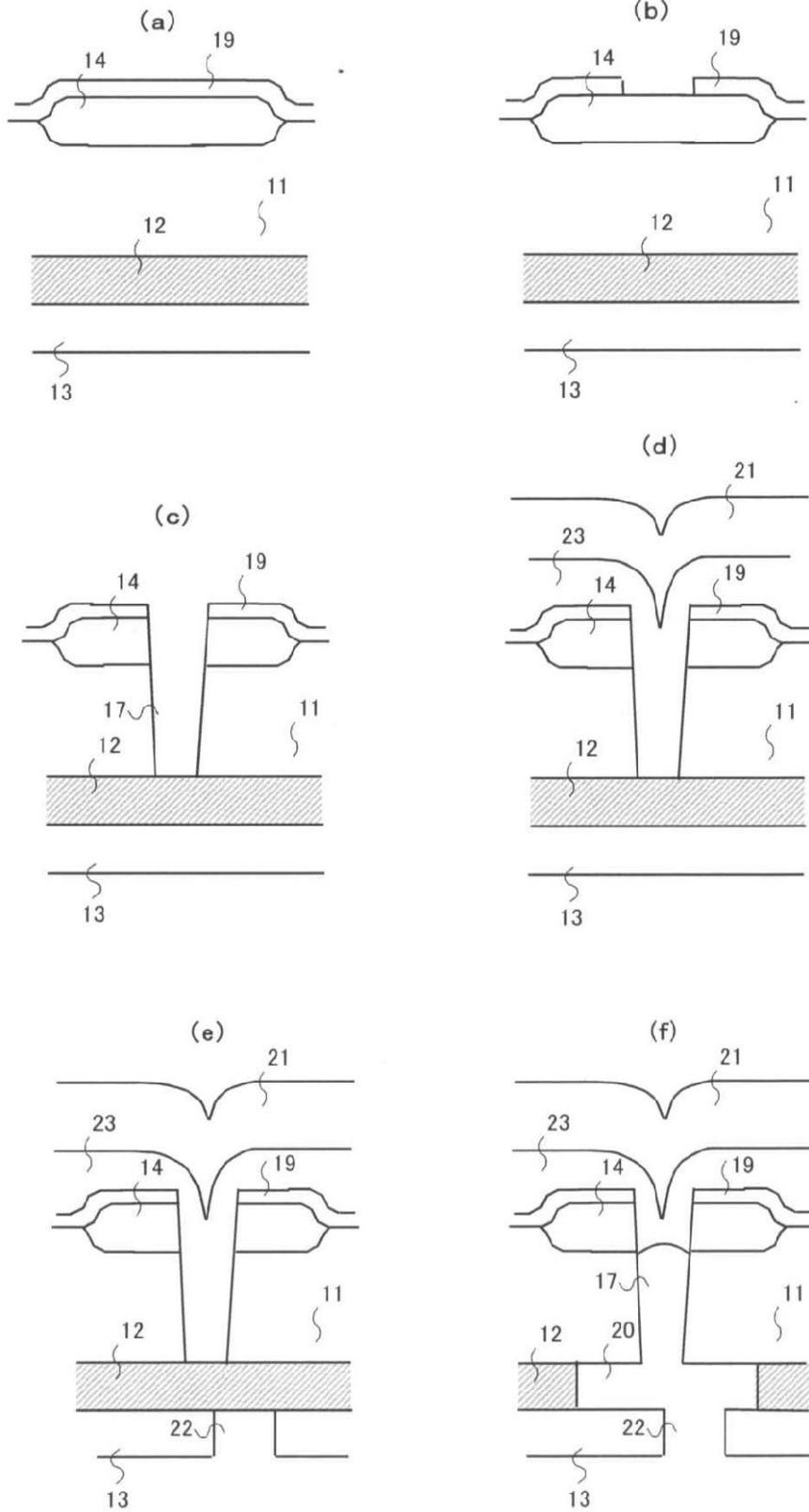


【 図 6 】



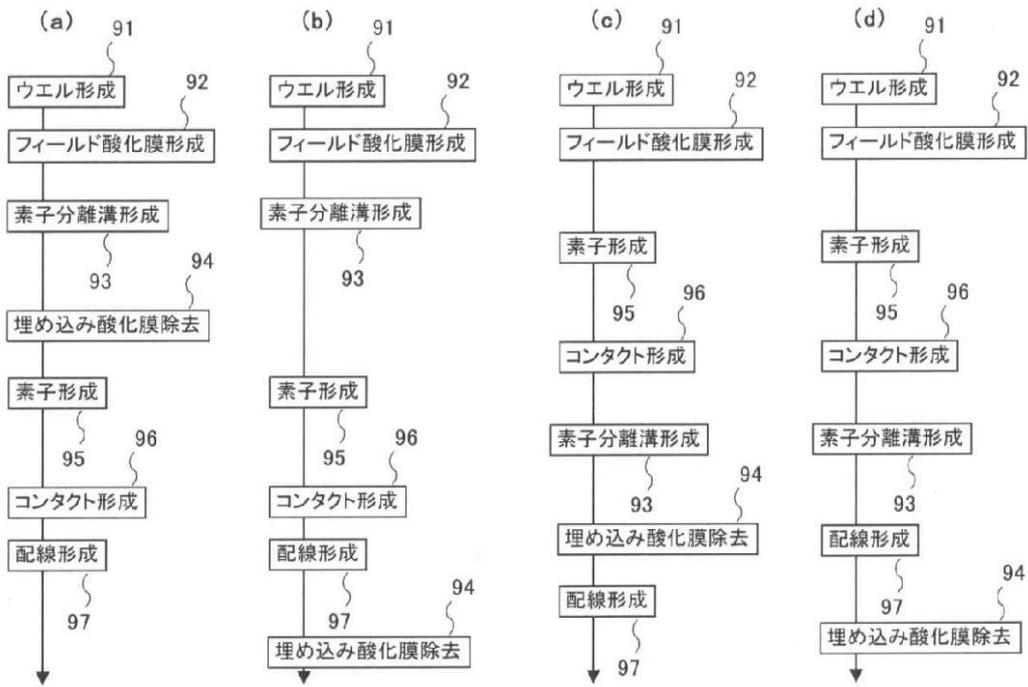
【 図 7 】

図 7



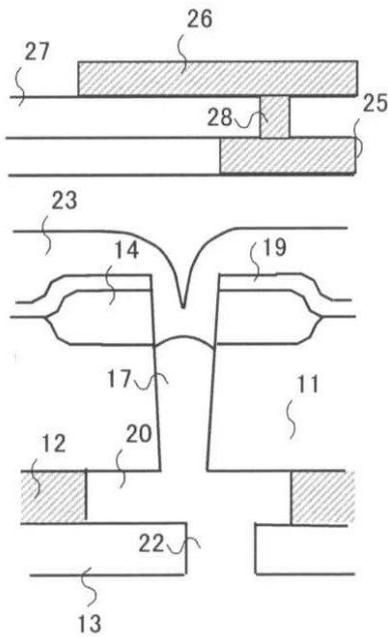
【 図 8 】

図 8



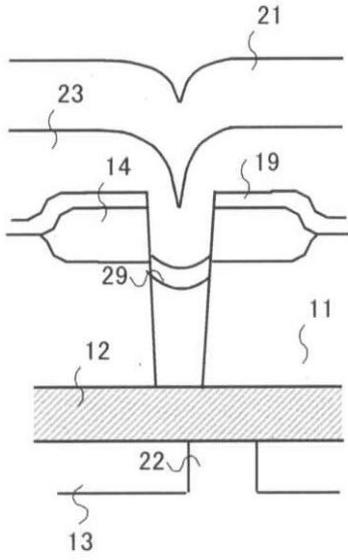
【 図 9 】

図9



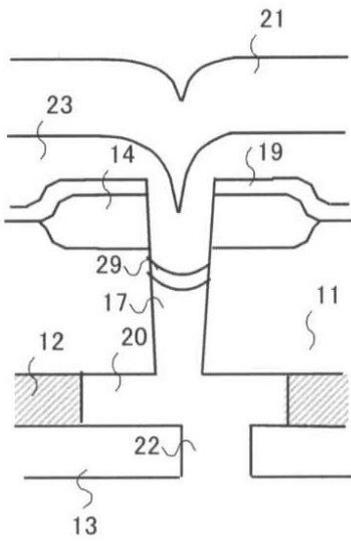
【図10】

図10



【図11】

図11



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 29/786 (2006.01)</i>	H 0 1 L 29/78 6 2 1	
<i>H 0 1 L 21/336 (2006.01)</i>	H 0 1 L 29/78 6 1 3 Z	
<i>H 0 1 L 21/764 (2006.01)</i>	H 0 1 L 21/76 A	
<i>H 0 1 L 27/12 (2006.01)</i>	H 0 1 L 29/78 6 2 6 C	
	H 0 1 L 27/12 Z	

(72)発明者 大島 隆文

東京都青梅市新町六丁目16番地の3 株式会社日立製作所マイクロデバイス事業部内

Fターム(参考) 5F032 AA01 AA13 AA35 AA44 AA49 AA54 AA69 AC02 BA01 BB01
 CA17 CA24 CA25 DA02 DA24 DA26
 5F048 AA04 AA05 AC01 AC06 BA16 BB01 BB05 BB20 BC01 BC03
 BC07 BG05 BG06 BG12 BG13 BG14
 5F110 AA01 AA02 AA09 BB12 CC02 DD05 DD13 EE09 FF02 GG02
 GG12 GG24 HM04 HM12 NN62 NN65 NN66