

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5307291号
(P5307291)

(45) 発行日 平成25年10月2日(2013.10.2)

(24) 登録日 平成25年7月5日(2013.7.5)

(51) Int. Cl.	F I				
H03L 7/08 (2006.01)	H03L	7/08			M
H03L 7/093 (2006.01)	H03L	7/08			N
H03L 7/06 (2006.01)	H03L	7/08			E
	H03L	7/06			B

請求項の数 22 (全 23 頁)

(21) 出願番号	特願2012-508749 (P2012-508749)	(73) 特許権者	595020643
(86) (22) 出願日	平成22年4月29日 (2010.4.29)		クアアルコム・インコーポレイテッド
(65) 公表番号	特表2012-525795 (P2012-525795A)		QUALCOMM INCORPORATED
(43) 公表日	平成24年10月22日 (2012.10.22)		ED
(86) 国際出願番号	PCT/US2010/033044		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02010/127168		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成22年11月4日 (2010.11.4)	(74) 代理人	100108855
審査請求日	平成23年12月8日 (2011.12.8)		弁理士 蔵田 昌俊
(31) 優先権主張番号	12/432,468	(74) 代理人	100159651
(32) 優先日	平成21年4月29日 (2009.4.29)		弁理士 高倉 成男
(33) 優先権主張国	米国 (US)	(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 アキュムレータおよび位相デジタル変換器を使用する2ポイント変調のデジタル位相同期ループ

(57) 【特許請求の範囲】

【請求項1】

デジタル位相同期ループ(DPLL)を備える装置であって、
前記DPLLは、

位相デジタル変換器とループ内で動作するループフィルタと、

ローパス変調パスのためであり、前記位相デジタル変換器の後で前記ループフィルタより前の前記ループの内部の第1のポイントに対して入力変調信号を受信し第1の変調信号を提供するように動作する第1の処理ユニットと、

ハイパス変調パスのためであり、前記ループフィルタの後の前記フィルタの内部の第2のポイントに対して前記入力変調信号を受信し第2の変調信号を提供するように動作する第2の処理ユニットと、

を備え、前記第2の処理ユニットは、

可変利得で前記入力変調信号をスケールするように動作する適応可能なスケールリングユニットと、

可変遅延で前記入力変調信号を遅延するように動作する適応可能な遅延ユニットと

を備え、前記適応可能な遅延ユニットは、

前記ループフィルタに提供される位相誤差信号および前記入力変調信号に基づいて前記可変遅延を決定するように動作する遅延計算ユニットと、

前記入力変調信号のための前記可変遅延の分数部分を提供するように動作する補間器と、

を備え、前記分数部分は、マイナス 1 サンプル期間とプラス 1 サンプル期間との間である、
装置。

【請求項 2】

前記第 1 の処理ユニットは、
周波数を位相に変換するために、前記第 1 の変調信号を提供するように前記入力変調信号を累算するように動作するアキュムレータを備える、
請求項 1 に記載の装置。
請求項 1 に記載の装置。

【請求項 3】

前記適応可能なスケーリングユニットは、
前記ループフィルタに提供される位相誤差信号および前記入力変調信号に基づいて前記可変利得を決定するように動作する利得計算ユニットと、
前記可変利得と前記入力変調信号を乗算するように動作する乗算器と、
を備える、請求項 1 に記載の装置。

10

【請求項 4】

前記適応可能な遅延ユニットは、
前記入力変調信号のための前記可変遅延の整数部分を提供するように動作するプログラマブル遅延ユニットをさらに備え、前記整数部分は、サンプル期間の整数を備える、
請求項 1 に記載の装置。

20

【請求項 5】

前記位相デジタル変換器は、前記ループ中のフィードバック信号と基準信号との間の位相差を決定するように動作し、前記ループフィルタは、前記位相差信号に基づいて取得された位相誤差信号をフィルタに掛け、フィルタに掛けられた位相誤差信号を提供するように動作する、
請求項 1 に記載の装置。

【請求項 6】

前記 D P L L は、
前記位相差信号と前記第 1 の変調信号との和を取り、前記位相誤差信号を提供するように動作する第 1 の加算器と、
前記フィルタに掛けられた位相誤差信号と前記第 2 の変調信号との和を取り、発振器のための制御信号を提供するように動作する第 2 の加算器と、
前記発振器からの変調信号を周波数について分周し、前記フィードバック信号を提供するように動作する分周器と、
をさらに備える請求項 5 に記載の装置。

30

【請求項 7】

前記位相デジタル変換器は、
前記基準信号および前記フィードバック信号を受信し、より早い信号として前記フィードバック信号および前記基準信号の前記より早い信号を提供し、より遅い信号として前記フィードバック信号および前記基準信号の前記より遅い信号を提供するように動作する信号マルチプレクサと、
前記より早い信号と前記より遅い信号との間の位相差を決定し、前記位相差信号を提供するように動作する時間デジタル変換器と、
を備える請求項 5 に記載の装置。

40

【請求項 8】

前記装置は、集積回路である、請求項 1 に記載の装置。

【請求項 9】

前記装置は、ワイヤレスデバイスである、請求項 1 に記載の装置。

【請求項 10】

プロセッサを備える装置であって、

50

前記プロセッサは、位相デジタル変換器およびループ内で動作するループフィルタを備える位相同期ループ(DPLL)のローパス変調パスおよびハイパス変調パスを介して2ポイント変調を実行し、第1の変調信号を取得するために前記ローパス変調パスのための入力変調信号を処理し、前記位相デジタル変換機の後で前記ループフィルタより前の前記ループの内部の第1のポイントに対して前記第1の変調信号を適用し、第2の変調信号を取得するために前記ハイパス変調パスのための前記入力変調信号を処理し、前記ループフィルタより後の前記ループの内部の第2のポイントに対して前記第2の変調信号を適用し、可変遅延で前記入力変調信号を遅延し、前記入力変調信号および位相誤差信号に基づいて前記可変遅延を決定し、前記入力変調信号のための前記可変遅延の分数部分を提供するように動作し、前記分数部分は、マイナス1サンプル期間とプラス1サンプル期間との間である、
装置。

10

【請求項11】

前記プロセッサは、周波数を位相に変換するために、前記入力変調信号を累算することによって前記ローパス変調パスのための前記入力変調信号を処理し、可変利得で前記入力変調信号をスケールすることによって前記ハイパス変調パスのための前記入力変調信号を処理するように動作する、
請求項10に記載の装置。

【請求項12】

デジタル位相同期ループ(DPLL)を備える装置であって、前記DPLLは、
第1の変調信号を取得するために周波數位相変換を行なうように入力変調信号を累算するように動作するアキュムレータと、

20

第2の変調信号を取得するために可変利得で前記入力変調信号をスケールするように動作するスケールリングユニットと、

フィードバック信号と基準信号との間の位相差を決定し、位相差信号を提供するように動作する位相デジタル変換器と、

前記位相差信号と前記変調信号との和を取り、位相誤差信号を提供するように動作する第1の加算器と、

前記位相誤差信号をフィルタに掛けフィルタに掛けられた位相誤差信号を提供するように動作するループフィルタと、

30

可変遅延によって前記入力変調信号を遅延するように動作する適応可能な遅延ユニットと、ここにおいて、可変遅延ユニットは、

前記ループフィルタに提供される位相誤差信号および前記入力変調信号に基づいて前記可変遅延を決定するように動作する遅延計算ユニットと、

前記入力変調信号のための前記可変遅延の分数部分を提供するように動作する補間器と、ここにおいて、前記分数部分は、マイナス1サンプル期間とプラス1サンプル期間との間である、

前記フィルタに掛けられた位相誤差信号と前記第2の変調信号との和を取り、発振器のための制御信号を提供する第2の加算器と、

を備える、装置。

40

【請求項13】

前記DPLLは、

前記発振器からの変調信号を周波数について分周し、前記フィードバック信号を提供するよう動作する分周器をさらに備える、

請求項12に記載の装置。

【請求項14】

デジタル位相同期ループ(DPLL)を動作する方法であって、

周波数を位相に変換するために、第1の変調信号を取得するために入力変調信号を累算することと、

第2の変調信号を取得するために可変利得で前記入力変調信号をスケールすること

50

と、

位相差信号を取得するためにフィードバック信号と基準信号との間の位相差を決定することと、

位相誤差信号を取得するために前記位相差信号と前記第1の変調信号との和を取ることと、

可変遅延で前記入力変調信号を遅延させることと、

前記前記入力変調信号および位相誤差信号に基づいて前記可変遅延を決定することと、
前記入力変調信号のための前記可変遅延の分数部分を提供することと、 ここにおいて、
前記分数部分は、マイナス1サンプル期間とプラス1サンプル期間との間である、

フィルタに掛けられた位相誤差信号を取得するために前記位相誤差信号をフィルタに掛けることと、
 発振器のための制御信号を取得するために前記フィルタに掛けられた位相誤差信号と前記第2の変調信号との和を取ることと、
 を備える方法。

10

【請求項15】

前記フィードバック信号を取得するために前記発振器からの変調信号を周波数について分周することをさらに備える、
 請求項14に記載の方法。

【請求項16】

可変遅延で前記入力変調信号を遅延させることは、前記第2の変調信号を提供する、
 請求項14に記載の方法。

20

【請求項17】

前記入力変調信号および前記位相誤差信号に基づいて前記可変利得を決定することをさらに備える、
 請求項14に記載の方法。

【請求項18】

周波数を位相に変換するために、第1の変調信号を取得するために入力変調信号を累算するための手段と、

第2の変調信号を取得するために可変利得で前記入力変調信号をスケールリングするための手段と、

位相差信号を取得するためにフィードバック信号と基準信号との間の位相差を決定するための手段と、

30

位相誤差信号を取得するために前記位相差信号と前記第1の変調信号との和を取するための手段と、

可変遅延で前記入力変調信号を遅延させるための手段と、

前記入力変調信号および位相誤差信号に基づいて前記可変遅延を決定するための手段と

、
前記入力変調信号のための前記可変遅延の分数部分を提供するための手段と、 ここにおいて、
前記分数部分は、マイナス1サンプル期間とプラス1サンプル期間との間である、

フィルタに掛けられた位相誤差信号を取得するために前記位相誤差信号をフィルタに掛けるための手段と、

40

発振器のための制御信号を取得するために前記フィルタに掛けられた位相誤差信号と前記第2の変調信号との和を取するための手段と、

を備える装置。

【請求項19】

可変遅延で前記入力変調信号を遅延させるための手段は、前記第2の変調信号を提供する、

請求項18に記載の装置。

【請求項20】

前記入力変調信号および前記位相誤差信号に基づいて前記可変利得を決定するための手段をさらに備える、

50

請求項 18 に記載の装置。

【請求項 21】

コンピュータプログラムを備えるコンピュータ可読記憶媒体であって、
前記コンピュータプログラムは、
少なくとも1つのコンピュータに、周波数を位相に変換するために、第1の変調信号を取得するために入力変調信号を累算させるためのコードと、

少なくとも1つのコンピュータに、第2の変調信号を取得するために可変利得で前記入力変調信号をスケールさせるためのコードと、

少なくとも1つのコンピュータに、位相差信号を取得するためにフィードバック信号と基準信号との間の位相差を決定させるためのコードと、

少なくとも1つのコンピュータに、位相誤差信号を取得するために前記位相差信号と前記第1の変調信号との和を取らせるためのコードと、

前記少なくとも1つのコンピュータに、可変遅延で前記入力変調信号を遅延させるためのコードと、

前記少なくとも1つのコンピュータに、前記入力変調信号および位相誤差信号に基づいて前記可変遅延を決定させるためのコードと、

前記少なくとも1つのコンピュータに、前記入力変調信号のための前記可変遅延の分数部分を提供させるためのコードと、ここにおいて、前記分数部分は、マイナス1サンプル期間とプラス1サンプル期間との間である、

少なくとも1つのコンピュータに、フィルタに掛けられた位相誤差信号を取得するために前記位相誤差信号をフィルタに掛けさせるためのコードと、

少なくとも1つのコンピュータに、発振器のための制御信号を取得するために前記フィルタに掛けられた位相誤差信号と前記第2の変調信号との和を取らせるためのコードと、
を記憶する、

コンピュータ可読記憶媒体。

【請求項 22】

前記少なくとも1つのコンピュータに、可変遅延で前記入力変調信号を遅延させるためのコードは、前記第2の変調信号を提供する、

請求項 21 に記載のコンピュータ可読記憶媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般に、2ポイント変調の電子機器に関し、より詳細には、デジタル位相同期ループ(DPLL: digital phase-locked loop)に関する。

【背景技術】

【0002】

DPLLは、発振器の周波数および/または位相を調節するために一般に使用される回路である。1つの共通アプリケーションにおいて、DPLLは、正確な周波数を有する基準信号に発振器の周波数および/または位相をロックするために使用され得る。

【0003】

別のアプリケーションでは、DPLLは、変調信号で発振器の周波数および/または位相を変調するために使用され得る。変調信号の帯域幅がDPLLの閉ループ帯域幅よりはるかに小さい場合、変調信号は、DPLLの内のループフィルタに先立って適用され得る。しかしながら、変調信号の帯域幅が閉ループ帯域幅より広い場合、2ポイント変調が実行され得る。2ポイント変調のために変調信号は、狭帯域変調のための1つの変調パスおよび広帯域の変調のための別の変調パスである、DPLLの2つの変調パスに適用され得る。2ポイント変調は、DPLLの帯域幅を効率的に増加させるために使用されるため、発振器は、広帯域変調信号で周波数変調される一方でDPLLの通常オペレーションを最小限に妨害することができる。

【発明の概要】

10

20

30

40

50

【 0 0 0 4 】

2ポイント変調をサポートするDPLLは、本明細書に説明される。1つの設計では、DPLLは、位相デジタル変換器(PDC)、ループ内で動作するループフィルタ、ローパス変調パス(lowpass modulation path)のための第1の処理ユニットおよびハイパス変調パス(highpass modulation path)のための第2の処理ユニットを含む。ローパス変調パスは、発振器の周波数および/または位相の狭帯域変調をサポートする。ハイパス変調パスは、発振器の周波数および/または位相の広帯域変調をサポートする。第1の処理ユニットは、入力変調信号を受信し、位相デジタル変換器の後にループフィルタより前のループ内部の第1のポイントに対して第1の変調信号を供給する。第2の処理装置は、入力変調信号を受信し、ループフィルタの後のループ内部の第2のポイントに対して第2の変調信号を供給する。

10

【 0 0 0 5 】

1つの設計において、第1の処理ユニットは、アキュムレータを含み、第2の処理ユニットは、スケーリングユニットを含み、DPLLは、第1および第2の加算器および分周器をさらに含む。アキュムレータは、周波数を位相に変換する(convert frequency to phase)ために入力変調信号を累算し、第1の変調信号を提供する。スケーリングユニットは、第2の変調信号を取得するために可変利得で入力変調信号をスケールする。位相デジタル変換器は、フィードバック信号と基準信号との間の位相差を決定し、位相差信号を提供する。第1の加算器は位相差信号と第1の変調信号との和を取り、位相誤差信号を提供する。ループフィルタは、位相誤差信号をフィルタに掛け、フィルタに掛けられた位相誤差信号を提供する。第2の加算器は、フィルタに掛けられた位相誤差信号と第2の変調信号との和を取り、発振器に制御信号を提供する。分周器は、発振器からの変調信号を周波数について分周し、フィードバック信号を提供する。第2の処理ユニットは、ローパス変調パスの遅延とハイパス変調パスの遅延とをマッチさせるために可変遅延によって入力変調信号を遅延させる、適応可能な遅延ユニットをさらに含み得る。

20

【 0 0 0 6 】

開示の様々な態様および特徴は、以下でさらに詳細に説明される。

【 図面の簡単な説明 】

【 0 0 0 7 】

【 図 1 】 図 1 は、2ポイント変調のDPLLのブロック図を示す。

30

【 図 2 】 図 2 は、アキュムレータおよび位相デジタル変換器を使用して、2ポイント変調のDPLLの2つのデザインのブロック図を示す。

【 図 3 】 図 3 は、アキュムレータおよび位相デジタル変換器を使用して、2ポイント変調でのDPLLの2つのデザインのブロック図を示す。

【 図 4 】 図 4 は、位相デジタル変換器のブロック図を示す。

【 図 5 】 図 5 は、適応可能なスケーリングユニットのブロック図を示す。

【 図 6 】 図 6 は、適応可能な遅延ユニットのブロック図を示す。

【 図 7 】 図 7 は、2ポイント変調のためのDPLLをオペレートするプロセスを示す。

【 図 8 】 図 8 は、ワイヤレス通信デバイスのブロック図を示す。

40

【 発明を実施するための形態 】

【 0 0 0 8 】

「例示的である」という用語は、「例、事例または例証するように役に立つ」ことを意味するために本明細書に使用される。「例示的である」として本明細書に説明された任意の設計は、必ずしも他の設計に対して好ましいまたは有利なものとして解釈されなくてもよい。

【 0 0 0 9 】

図 1 は、2ポイント変調のDPLL 100のモデルのブロック図を示す。2ポイント変調は、デュアルポート変調と一般に呼ばれる。DPLL 100内では、入力変調信号 $f_m(t)$ は、ローパス変調パスのための第1の処理ユニット 110およびハイパス変調パスのための第2の処理ユニット 120の両方に提供される。第1の処理ユニット 110は、

50

入力変調信号を累算し、場合により適した量で入力変調信号を遅延し、変調位相信号である、第1の変調信号 $f_{m1}(t)$ を提供する。第2の処理ユニット120は、利得とともに入力変調信号をスケールし、場合により適した量で入力変調信号を遅延し、第2の変調信号 $f_{m2}(t)$ を提供する。

【0010】

加算器142は、第1の変調信号とフィードバック信号との差を取り、位相誤差信号を提供する。ループフィルタ150は、位相誤差信号をフィルタに掛けて、フィルタに掛けられた位相誤差信号を提供する。ループフィルタ150は、DPLL100のループダイナミクスをセットし、閉ループ帯域幅、DPLL100の収集時間(acquisition time)および獲得範囲(acquisition range)、位相ノイズ性能などを決定する。加算器152は、フィルタに掛けられた位相誤差信号と第2の変調信号との和を取り、発振器160に制御信号を供給する。制御信号は、発振器の位相が変調の位相に従うように、発振器160の周波数を調節する。発振器160は、入力変調信号によって変調されたその周波数を有する変調信号 $m(t)$ を提供する。分周器170は、変調信号を周波数について分周し、加算器142にフィードバック信号を供給する。

10

【0011】

図1に示されるように、ローパス変調パスのために変調ポイントは、ループフィルタ150より前にある、加算器142の入力であり得る。ハイパス変調パスのために変調ポイントは、ループフィルタ150より後にある、加算器152の入力であり得る。入力変調信号の帯域幅は、DPLL100が使用され、DPLLの閉ループ帯域幅より広いアプリケーションによって決定され得る。ローパス変調パスの帯域幅は、ループフィルタ150によって決定され、望まれるノイズフィルタリングおよびループダイナミクスを達成するために比較的狭く(例えば100kHz未満)なり得る。個別のハイパス変調パスおよびローパス変調パスを介して入力変調信号を適用することによって、DPLL100は、DPLLの閉ループ帯域幅より広い信号の帯域幅で発振器160を変調することができる。

20

【0012】

発振器160は、デジタル制御発振器(DCO)、電圧制御発振器(VCO)、電流制御発振器(ICO)、数値制御発振器(NCO)、または制御信号によって周波数を制御することができる発振器のある他のタイプであり得る。発振器160は、DPLL100が使用されるアプリケーションによって決定される、 f_{osc} の公称周波数で動作し得る。例えば、DPLL100は、ワイヤレス通信デバイスに使用され、 f_{osc} は、数百メガヘルツ(MHz)または数ギガヘルツ(GHz)であり得る。

30

【0013】

図1は、2ポイントの変調のDPLLのモデルを示す。図1のDPLLは、様々な設計でインプリメントされ得る。

【0014】

図2は、アキュムレータおよび位相デジタル変換器(PDC)を使用する2ポイント変調のDPLL200のデザインのブロック図を示す。DPLL200内では、入力変調信号 $f_m(t)$ は、ローパス変調パスのための第1の処理ユニット210およびハイパス変調パスのための第2の処理ユニット220の両方に提供される。第1の処理ユニット210内では、アキュムレータ212は、周波数を位相に変換する、入力変調信号を累算し、変調位相信号である、第1の変調信号 $f_{m1}(t)$ を提供する。第2の処理ユニット220内では、適応可能なスケールリングユニット224は、可変利得 $g(t)$ で入力変調信号をスケールし、変調周波数信号である、第2の変調信号 $f_{m2}(t)$ を提供する。

40

【0015】

位相デジタル変換器240は、基準信号 f_{ref} の位相とフィードバック信号 $f_{fb}(t)$ の位相を比較し、位相差信号 $p_d(t)$ を提供する。基準信号は、固定され、正確な周波数を有し、基準クロックとさらに呼ばれ得る。加算器242は、位相差信号と第1の変調信号との和を取り、位相誤差信号 $p_e(t)$ を提供する。ループフィルタ250は、位相誤差信号をフィルタに掛けて、フィルタに掛けられた位相誤差信号を提供する。加算

50

器 252 は、フィルタに掛けられた位相誤差信号と第 2 の変調信号との和を取り、DCO 260 に制御信号を供給する。多重剰余分周器 (multi-modulus divider) 270 は、DCO 260 から変調信号 $m(t)$ を受信し、周波数分周器ファクタで変調信号を周波数について分周し、フィードバック信号を提供する。周波数分周器ファクタは、DCO 260 の振動周波数 f_{osc} および基準信号の周波数 f_{ref} によって決定され得る。

【0016】

基準信号は、水晶発振器 (XO)、電圧制御水晶発振器 (VCXO)、温度補償型水晶発振器 (TCXO)、または正確な周波数を有する他のあるタイプの発振器に基づいて生成され得る。基準信号の周波数は、DCO 260 の周波数よりはるかに低くなり得る。例えば、 f_{ref} は、数十 MHz である一方 f_{osc} は、数 GHz であり得る。

10

【0017】

2 ポイント変調の性能は、各変調パスのために適用された適切な利得および遅延に依存する。適応可能なスケールリングユニット 224 は、以下で説明されるように、ローパス変調パスの利得とマッチするために入力変調信号および位相誤差信号に基づいてハイパス変調パスの利得 $g(t)$ を適応可能に変更することができる。適応可能な遅延ユニットは、典型的により短い遅延の変調パスで、1 つの変調パスを含み得る。適応可能な遅延ユニットは、他の変調パスの遅延とマッチするためにその変調パスの遅延を変更し得る。

【0018】

図 3 は、アキュムレータおよび位相デジタル変換器を使用し、適応可能な遅延マッチングを有する 2 ポイント変調の DPLL 202 の設計のブロック図を示す。DPLL 202 は、図 3 の第 2 の処理ユニット 222 で置き換えられている図 2 のハイパス変調パスのための第 2 の処理ユニット 220 を例外として、図 2 の DPLL 200 の回路ブロックをすべて含む。第 2 の処理ユニット 222 内では、適応可能なスケールリングユニット 224 は、可変利得 $g(t)$ で入力変調信号をスケールし、スケールされた変調信号を提供する。適応可能な遅延ユニット 226 は、可変遅延 $\tau(t)$ によってスケールされた変調信号を遅延させ、第 2 の変調信号 $f_{m2}(t)$ を提供する。

20

【0019】

適応可能なスケールリングユニット 224 は、以下で説明されるように、入力変調信号および位相誤差信号に基づいてハイパス変調パスの利得 $g(t)$ を適応可能に変更し得る。適応可能な遅延ユニット 226 は、さらに以下で説明されるように、スケールされた変調信号および位相誤差信号に基づいてハイパス変調パスの遅延 $\tau(t)$ を変更し得る。適応可能な遅延ユニット 226 は、(図 3 に示されるように) 適応可能なスケールリングユニット 224 の後、または (図 3 に示されない) 適応可能なスケールリングユニット 224 より前に配置され得る。図 3 に示される設計において、適応可能な遅延ユニット 226 は、ハイパス変調パスにおいて使用される。別の設計において、適応可能な遅延ユニット 226 は、省略され、適応可能な遅延ユニットは、ローパス変調パスのための第 1 の処理ユニット 210 に含まれ得る (例えば、アキュムレータ 212 の後に挿入される)。

30

【0020】

図 3 に示される設計において、ハイパス変調パスおよびローパス変調パスに対してマッチする利得および遅延は、適応可能なスケールリングユニット 224 および適応可能な遅延ユニット 226 によってそれぞれ達成され得る。一旦 DPLL 202 がロックされれば、利得および遅延マッチングは、ハイパス変調パスおよびローパス変調パスを介して 2 ポイント変調の影響がループフィルタ 250 の入力でキャンセルされることを可能にし得る。その後、ローパス変調およびハイパス変調が適用されないかのように、DPLL 202 は、動作し得る。

40

【0021】

図 2 および 3 は、アキュムレータおよび位相デジタル変換器を使用して、2 ポイント変調の DPLL の 2 つの例示的な設計を示す。図 2 および 3 に示される DPLL 設計において、ローパス変調パスは、ループ内のフィードフォワードパスに加えらる。これは、ある利点を備え得る。特に、(DCO 260 から分周器 270 を通じて位相デジタル変換器

50

240への)フィードバックパスに対する妨害は、位相デジタル変換器の後にフィードフォワードパスにローパス変調パスを加えることによって回避され得る。(時間デジタル変換器(time-to-digital converter)の代わりに)位相デジタル変換器240の使用は、位相デジタル変換器240の利得誤差に帰着し得る。2ポイント変調がなければ、位相デジタル変換器240の利得は、ループ利得の一部になり、キャリブレーションは、PLLループオペレーションに必要とされない。2ポイント変調があれば、位相デジタル変換器240の利得のキャリブレーションは、第1の変調信号と第2の変調信号との間の相対利得が利得によって影響されるので、実行され得る。

【0022】

2ポイント変調のDPLLは、さらに他の設計でインプリメントされ得る。例えば、2ポイント変調のDPLLは、分周器からの出力信号を受信し、フィードバック信号を提供する、時間デジタル変換器(TDC)を含み得る。その後、ローパス変調パスは、時間デジタル変換器の後の加算器へ(i)ループの分周器外部にデルタシグマ変調器を介して、または(ii)アキュムレータを介して、追加され得る。両方の場合において、DPLLの時間デジタル変換器の使用は、ある不利益を提供し得る。時間デジタル変換器の利得誤差は、特に変調信号のスプールに帰着し得る。正確な利得キャリブレーション(例えば1%の利得精度を達成すること)は、スプールおよび位相ノイズを低減するために時間デジタル変換器のために必要とされ得る。この高い利得精度は、達成するのが困難であり得る。従って、図2および図3のDPLL設計は、時間デジタル変換器を使用するDPLLについて有利であり得る。

【0023】

図2および図3の、DPLL200および202は、すべてまたは大半がデジタル回路でインプリメントされ得る。例えば、場合によりDCO260を除いて、図2および図3の全ての回路ブロックは、デジタル回路でインプリメントされ得る。場合により分周器270を除いて、全てのデジタル回路ブロックは、 f_{s_amp} の適した周波数でサンプルクロックに基づいて動作し得る。従って、デジタル回路ブロックに提供される、またはデジタル回路ブロックによって提供される信号は、 f_{s_amp} のサンプルレートでサンプルのシーケンスから成り得る。デジタル回路ブロックは、十分なビット幅および解像度を有することを設計され得る。

【0024】

図4は、図2および図3の位相デジタル変換器240の設計のブロック図を示す。位相デジタル変換器240は、早い/遅い(early/late)信号マルチプレクサ410および時間デジタル変換器440を含む。信号マルチプレクサ410は、基準信号およびフィードバック信号を受信し、より早い信号のように1つの信号を提供し、より遅い信号のように他の信号を提供する。時間デジタル変換器440は、より早い信号とより遅い信号との間の位相差を決定し、位相差を量子化し、位相差信号を提供する。

【0025】

信号マルチプレクサ410内では、遅延ユニット422は、固定遅延によって基準信号を遅延させ、遅延された基準信号を提供する。遅延ユニット424は、同じ固定遅延でフィードバック信号を遅延させ、遅延されたフィードバック信号を提供する。1つの、早い/遅い検出器420は、基準信号がフィードバック信号より早い信号かどうか判断する、または逆もまた同様に判断する。検出器420は、基準信号がフィードバック信号より早い信号である場合に「0」にセットされる、あるいは基準信号がフィードバック信号より遅い場合に「1」にセットされる、早い/遅い制御信号を提供する。マルチプレクサ426は、2つの入力で遅延された基準信号および遅延されたフィードバック信号を受信し、早い/遅い制御信号に基づいて第1のマルチプレクサ出力信号のように信号のうちの1つを提供する。マルチプレクサ428は、さらに2つの入力で遅延された基準信号および遅延されたフィードバック信号を受信し、早い/遅い制御信号に基づいて第2のマルチプレクサ出力信号のように信号のうちの1つを提供する。パルス生成器430は、第1のマルチプレクサ出力信号を受信し、第1のマルチプレクサ出力信号の各リーディングエッジ

ジに対するパルスを受取るより早い信号を生成する。同様に、パルス生成器 4 3 2 は、第 2 のマルチプレクサ出力信号を受信し、第 2 のマルチプレクサ出力信号の各リーディングエッジに対するパルスを受取るより遅い信号を生成する。

【 0 0 2 6 】

時間デジタル変換器 4 4 0 は、N 個の遅延エレメント 4 4 2 a 乃至 4 4 2 n に、N D 個のフリップフロップ 4 4 4 a 乃至 4 4 4 n、および検出器 4 4 6 を含む。ここで、 $N = 2^B$ および B は、量子化された位相誤差のためのビット数である。遅延エレメント 4 4 2 a 乃至 4 4 2 n は、直列に接続され、第 1 の遅延エレメント 4 4 2 a は、より早い信号を受信する。各遅延素子 4 4 2 は、 T_{unit} の遅延を提供し、所望の遅延解像度を取得するためにインバータおよび/または他のタイプの論理エレメントでインプリメントされ得る。遅延エレメント 4 4 2 a 乃至 4 4 2 n は、基準信号のうちのほぼ 1 サイクルの合計遅延を提供し得る。フリップフロップ 4 4 4 a 乃至 4 4 4 n は、遅延エレメントの出力に結合された D 個の入力およびより遅い信号を受信するクロック入力を有する。各々フリップフロップ 4 4 4 は、関連する遅延エレメント 4 4 2 をサンプルし、復号器にサンプルされた出力を供給する。論理低 (logic low) におけるフリップフロップの数に対する論理高 (logic high) におけるフリップフロップの数は、基準信号とフィードバック信号との間の位相差を示すものである。この位相差は、 $T_{unit} / 2$ の解像度を有し得る。インバータ 4 4 8 は、より遅い信号を受信し、復号器 4 4 6 にラッチ信号を供給する。復号器 4 4 6 は、フリップフロップ 4 4 4 a から 4 4 4 n までの N 個の出力を受信し、ラッチ信号によってトリガされる時に B ビット 2 進値に N 個の出力を変換し、位相差信号のために B ビット 2 進値を供給する。

10

20

【 0 0 2 7 】

一般的に、位相デジタル変換器 2 4 0 は、解像度の任意のビット数で設計され得る。例えば、B は、所望の遅延解像度、所定の集積回路 (IC) プロセスで利用可能な最小遅延、等のような様々なファクタに依存する 8 またはそれ以上と等しくなり得る。所望の遅延解像度は、DPLL が使用されるアプリケーション、基準信号周波数、等に依存し得る。

【 0 0 2 8 】

2 ポイント変調を持った DPLL のために、適応可能な利得スケーリングは、2 つの変調パスの利得とマッチするために実行され得る。適応可能な利得スケーリングのために、ハイパス変調パスの利得は、2 つの変調パス間の任意の利得差を占めるために適応的に調節され得る。適応可能な利得調節は、最小二乗平均 (LMS) アルゴリズム、最小二乗 (LS) アルゴリズム、最小平均二乗誤差 (MMSE) アルゴリズム、等のような様々な適応可能なアルゴリズムに基づくものであり得る。これらの様々な適応可能なアルゴリズムは、「適応可能なフィルタ理論 (Adaptive Filter Theory)」(第 3 版、Prentice Hall 1996 年) と題された書籍の Simon Haykin によって説明されている。明瞭さのために、LMS アルゴリズムに基づいてスケーリングする適応可能な利得は、以下で説明される。

30

【 0 0 2 9 】

ハイパス変調パスのための利得 $g(t)$ は、以下の式のように、LMS アルゴリズムに従う入力変調信号 $f_m(t)$ および位相誤差信号 $p_e(t)$ に基づいて適応的に決定され得る：

40

【 数 1 】

$$\begin{aligned} g(t) &= g(t-1) + \Delta g(t) \\ &= g(t-1) + \gamma \cdot f_m(t) \cdot p_e(t) \end{aligned} \quad \text{式(1)}$$

【 0 0 3 0 】

ここで、 γ は、適応ステップサイズであり、

$g(t)$ は、サンプル期間 t での利得アップデート値であり、

50

$g(t)$ は、サンプル期間 t での利得である

適応ステップ幅は、終値への利得の収束レートを決定する。より大きな適応ステップサイズは、その終値への利得 $g(t)$ のより早い収束に帰着するが、より多くのジッタにさらに帰着し得る。反対に、より小さな適応ステップサイズは、より遅い収束に帰着するが、より少ないジッタに帰着し得る。適した適応ステップサイズは、収束率とジッタとの間のトレードオフに基づいて選択され得る。適応ステップサイズは、さらに変更され得る。例えば、より大きな適応ステップサイズは獲得 (acquisition) に使用され、より小さな適応ステップサイズは、収束の後に追跡するために使用され得る。

【0031】

図5は、図2および図3の適応可能なスケーリングユニット224の設計のブロック図を示す。適応可能なスケーリングユニット224は、利得計算ユニット510および乗算器520を含む。利得計算ユニット510内では、乗算器512は、入力変調信号に位相誤差信号を乗算する。乗算器514は、適応ステップサイズで乗算器512の出力をスケールする。アキュムレータ516は、乗算器514の出力を累算し、利得 $g(t)$ を提供する。乗算器520は、入力変調信号に利得を乗算し、図2の第2の変調信号または図3のスケールされた変調信号を提供する。

10

【0032】

2ポイント変調のDPLLのために、適応可能な遅延マッチングは、2つの変調パスの遅延とマッチするために実行され得る。適応可能な遅延マッチングのために、1つの変調パス (例えば、図3に示される設計のハイパス変調パス) の遅延は、(例えば、DCO260の遅延の変動による) 2つの変調パス間の任意の遅延差を占めるために適応的に調節され得る。適応可能な遅延調整は、LMSアルゴリズム、LSアルゴリズム、MMSEアルゴリズムなどのような様々な適応可能なアルゴリズムに基づき得る。明瞭さのために、LMSアルゴリズムに基づいた適応可能な遅延調整は以下で説明される。

20

【0033】

ハイパス変調パスのために遅延 $\tau(t)$ は、以下で示されるように、LMSアルゴリズムに従うスケールされた変調信号 $f_{ms}(t)$ および位相誤差信号 $p_e(t)$ に基づいて適応的に決定され得る：

【数2】

$$\begin{aligned}\tau(t) &= \tau(t-1) + \Delta\tau(t) \\ &= \tau(t-1) + \mu \cdot f_{ms}(t) \cdot p_e(t)\end{aligned}\tag{2}$$

30

【0034】

ここで、 μ は、適応ステップサイズであり、

$\tau(t)$ は、サンプル期間 t での遅延アップデート値であり、

$\tau(t)$ は、サンプル期間 t での遅延である。

【0035】

より大きな順応ステップ幅は、遅延 $\tau(t)$ のより速い収束に帰着し得る一方、より小さな順応ステップ幅は、より少ないジッタに帰着し得る。適した適応ステップサイズは、収束率とジッタとの間のトレードオフに基づいて選択され得る。適応ステップサイズは、例えば、獲得および追跡のために、さらに変更され得る。

40

【0036】

式(2)の遅延アップデート値 $\tau(t)$ を計算する中で乗算 (multiplication) を回避するために、遅延は、以下のように適応的にアップデートされ得る：

【数3】

$$\tau(t) = \tau(t-1) + \mu \cdot \text{sign}[f_{ms}(t)] \cdot p_e(t) \quad \text{式(3)}$$

【0037】

ここで、 $\text{sign}[f_{ms}(t)]$ は、スケールされた変調信号の符号 (sign) である。適応ステップサイズ μ は、2 のべき乗であるように選択され得る。この場合、遅延アップデート値は、(i) 適応ステップサイズによって決定されたビットの特定の数によって $p_e(t)$ をビットシフトし、(ii) $f_{ms}(t)$ が 0 未満である場合、ビットシフトされた $p_e(t)$ の符号を反転 (flip) することによって取得され得る。 10

【0038】

遅延 $\tau(t)$ は、サンプル期間のユニットで与えられ、整数部分と分数部分へ分解され得る。 $\tau(t)$ の整数部分は、遅延のサンプル期間の整数値を提供することができるプログラマブル遅延ユニットで取得され得る。 $\tau(t)$ の分数部分は、1つのサンプル期間の分数である遅延を提供することができる補間回路で取得され得る。

【0039】

任意の所定の遅延 τ に対して、ここで τ は、正值または負値であり得る、スケールされた変調信号 $f_{ms}(t)$ は、第2の変調信号 $f_{m2}(t) = f_{ms}(t - \tau)$ を取得するために τ で遅延され得る。 τ の整数部分は、 $f_{ms}(t - \tau)$ に最も近接しているスケールされた変調信号のサンプルの選択することによって取得され得る。 τ の分数部分は、 $f_{ms}(t - \tau)$ の両側に配置された2つ以上のサンプルを補間することによって取得され得る。 20

【0040】

1つの設計において、線形補間は、分数遅延を取得するために使用されてもよい。簡潔さのために、以下の説明は、 $-1 < \tau(t) < 1$ であり、3つの周波数変調サンプル $f(t-1)$ 、 $f(t)$ 、および $f(t+1)$ が利用可能であると仮定する。ここで、 $f(t)$ は、現在のサンプルであり、 $f(t-1)$ は、前の/古いサンプルであり、 $f(t+1)$ は、次の/今後のサンプルである。これらの3つのサンプルは、スケールされた変調信号を遅延 $f(t+1)$ として遅延信号の最新のサンプルを使用することで取得され得る。 30

【0041】

分数遅延を取得する線形補間は、以下のように実行され得る：

【数4】

$$f_{m2}(t) = \begin{cases} [1 - \tau(t)] \cdot f(t) + \tau(t) \cdot f(t-1), & 0 \leq \tau(t) \leq 1 \text{ に対して} \\ [1 + \tau(t)] \cdot f(t) - \tau(t) \cdot f(t+1), & -1 \leq \tau(t) < 0 \text{ に対して} \end{cases} \quad \text{式(4)}$$

【0042】

式(4)の設計は、2つの乗算を使用する、1つの乗算が $\tau(t)$ を持ちおよび別の乗算が $[1 - \tau(t)]$ である。乗算の数は、以下のように、式(4)の項の再整理することによって1つに低減し得る： 40

【数5】

$$f_{m2}(t) = \begin{cases} f(t) + \tau(t) \cdot [f(t-1) - f(t)], & 0 \leq \tau(t) \leq 1 \text{ に対して} \\ f(t) - \tau(t) \cdot [f(t+1) - f(t)], & -1 \leq \tau(t) < 0 \text{ に対して} \end{cases} \quad \text{式(5)}$$

【0043】

50

式(5)は、式(4)と等価である。しかしながら、 (t) とともに1つの乗算のみが $f_{m2}(t)$ を計算するために使用される。

【0044】

式(4)および式(5)は、分数遅延を取得するために線形補間を利用する。分数遅延は、高次補間、例えば、二次補間、スプライン補間、等で取得され得る。

【0045】

図6は、図3の適応可能な遅延ユニット226の設計のブロック図を示す。適応可能な遅延ユニット226内では、遅延計算ユニット610は、スケールされた変調信号 $f_{ms}(t)$ および位相誤差信号 $p_e(t)$ を受信し、例えば、式(2)または(3)に示されたように、各サンプル期間に対する遅延 (t) を計算する。プログラマブル遅延ユニット620は、ユニット610からスケールされた変調信号および遅延の整数部分を受信し、サンプル期間の整数によってスケールされた変調信号を遅延させる。補間回路630は、プログラマブル遅延ユニット620からの出力信号およびユニット610からの遅延の分数部分を受信する。補間回路630は、例えば、式(4)または(5)で示されたように、分数遅延を取得するために補間を実行し、第2の変調信号 $f_{m2}(t)$ を提供する。

【0046】

一般的に、装置(例えば集積回路、ワイヤレス通信デバイス、等)は、2ポイント変調を実行することができるDPLLを含み得る。DPLLは、位相デジタル変換器、ループ内で動作するループフィルタ、ローパス変調パスのための第1の処理ユニット、およびハイパス変調パスのための第2の処理ユニットを含み得る。第1の処理ユニットは、入力変調信号を受信し、位相デジタル変換器の後でループフィルタより前のループ内部の第1のポイントに対して第1の変調信号を供給し得る。第2の処理ユニットは、入力変調信号を受信し、ループフィルタの後のループ内部の第2のポイントに対して第2の変調信号を供給し得る。位相デジタル変換器は、ループのフィードバック信号と基準信号との間の位相差を決定し、位相差信号を提供し得る。ループフィルタは、位相差信号に基づいて取得された位相誤差信号をフィルタに掛け、フィルタに掛けられた位相誤差信号を提供する。DPLLは、他の回路ブロックを含み得る。

【0047】

1つの設計において、第1の処理ユニットは、周波數位相変換をするために入力変調信号を累算し、第1の変調信号を提供するアキュムレータを含み得る。

【0048】

1つの設計において、第2の処理ユニットは、可変利得で入力変調信号をスケールする適応可能なスケーリングユニットを含み得る。1つの設計において、適応可能なスケーリングユニットは、例えば、図5に示されるように、利得計算ユニットおよび乗算器を含み得る。利得計算ユニットは、ループフィルタに提供される入力変調信号および位相誤差信号に基づいて可変利得を決定し得る。乗算器は、入力変調信号に可変利得を乗算し得る。

【0049】

第2の処理ユニットは、可変遅延によって入力変調信号を遅延する適応可能な遅延ユニットをさらに含み得る。1つの設計において、適応可能な遅延ユニットは、遅延計算ユニット、補間回路、およびプログラマブル遅延ユニットを含み得る。遅延計算ユニットは、入力変調信号および位相誤差信号に基づいて可変遅延を決定し得る。補間回路は、入力変調信号のために可変遅延の分数部分を供給し得る。ここで、分数部分は、+1のサンプル期間と-1のサンプル期間との間である。プログラマブル遅延ユニットは、サンプル期間の整数を備える整数部分と共に、入力変調信号に可変遅延の整数部分を供給し得る。

【0050】

1つの設計では、プロセッサは、位相デジタル変換器およびループ内で動作するループフィルタを備えるDPLLのローパス変調パスおよびハイパス変調パスを介して2ポイント変調を実行し得る。プロセッサは、第1の変調信号を取得するためにローパス変調パスのための入力変調信号を処理し、位相デジタル変換器の後でループフィルタより前のループ内部の第1のポイントに対して第1の変調信号を適用し得る。プロセッサは、さらに第

10

20

30

40

50

2の変調信号を取得するためにハイパス変調パスのための入力変調信号を処理し、ループフィルタの後のループ内部の第2のポイントに対して第2の変調信号を適用し得る。プロセッサは、周波数を位相に変換するために入力変調信号を累算することによって、ローパス変調パスのための入力変調信号を処理し得る。プロセッサは、可変利得で入力変調信号をスケールすることによって、場合により可変遅延で入力変調信号を遅延させることによって、ハイパス変調パスのための入力変調信号を処理し得る。

【0051】

1つの設計において、DPLLは、図3および図3に示されるように、アキュムレータ、スケールユニット、位相デジタル変換器、第1の加算器および第2の加算器を含み得る。アキュムレータは、周波数を位相に変換するために、第1の変調信号提供するために入力変調信号を累算し得る。スケールユニットは、第2の変調信号を取得するために可変利得で入力変調信号をスケールし得る。位相デジタル変換器は、フィードバック信号と基準信号との間の位相差を決定し、位相差信号を提供し得る。第1の加算器は、位相差信号と第1の変調信号との和を取り、位相誤差信号を提供し得る。ループフィルタは、位相誤差信号をフィルタに掛け、フィルタに掛けられた位相誤差信号を提供し得る。第2の加算器は、フィルタに掛けられた位相誤差信号および第2の変調信号を合計し、発振器に制御信号を供給し得る。分周器は、発振器からの変調信号を周波数について分周し、フィードバック信号を提供し得る。DPLLは、図3に示されるように、可変遅延による入力変調信号を遅延する適応可能な遅延ユニットをさらに含み得る。

【0052】

図7は、2ポイント変調のためのDPLLをオペレートするプロセス700の設計を示す。入力変調信号は、周波数を位相に変換するために、第1の変調信号を取得するために累算され得る(ブロック712)。入力変調信号は、可変利得でスケールされ、第2の変調信号を取得するために可変遅延でさらに遅延され得る(ブロック714)。可変利得および可変遅延は、例えば、式(1)、(2)、(3)に示されるように、入力変調信号および位相誤差信号に基づいて各々決定され得る。フィードバック信号と基準信号との間の位相差は、位相差信号を取得するために決定され得る(ブロック716)。位相差信号および第1の変調信号は、位相誤差信号を取得するために合計され得る(ブロック718)。位相誤差信号は、フィルタに掛けられた位相誤差信号を取得するためにフィルタに掛けられ得る(ブロック720)。フィルタに掛けられた位相誤差信号および第2の変調信号は、発振器のための制御信号を取得するために和を取り得る(ブロック722)。発振器からの変調信号は、フィードバック信号を取得するために周波数について分周され得る(ブロック724)。

【0053】

本明細書に説明されたDPLLは、通信、コンピューティング、ネットワーキング、パーソナル電子機器、等のような様々なアプリケーションに使用され得る。例えば、DPLLは、ワイヤレス通信デバイス、携帯電話、携帯情報端末(PDA)、ハンドヘルドデバイス、ゲーミングデバイス、コンピューティングデバイス、ラップトップコンピュータ、家庭用電化製品デバイス、パーソナルコンピュータ、コードレス電話機、ワイヤレスローカルループ(WLL)ステーション、等で使用され得る。ワイヤレス通信デバイスのDPLLの例示的な使用は、以下で説明される。

【0054】

図8は、ワイヤレス通信システムのためのワイヤレス通信デバイス800の設計のブロック図を示す。ワイヤレスデバイス800は、携帯電話、端末、ハンドセット、ワイヤレスモデム、等であり得る。ワイヤレス通信システムは、符号分割多元接続(CDMA)システム、グローバルシステムフォーモバイルコミュニケーション(GSM(登録商標))システム、直交周波数分割多元接続(OFDMA)システム、等であり得る。

【0055】

ワイヤレスデバイス800は、受信パスおよび送信パスを介して双方向通信を提供することができる。受信パスにおいて、基地局(図示せず)によって送信された信号は、アン

10

20

30

40

50

テナ 810 によって受信され、受信機 812 に提供される。受信機 812 は、受信信号を調整しデジタル化し、さらに処理するためのモジュール 820 にサンプルを供給する。送信パスにおいて、送信機 816 は、モジュール 820 (プロセス) から送信されるべきデータを受信し、データ処理し、調整し、基地局にアンテナ 810 を介して送信する、変調信号を生成する。受信機 812 および送信機 816 は、CDMA、GSM、OFDMA、等をサポートし得る。

【0056】

モジュール 820 は、例えば、モデムプロセッサ 822、インターフェース、縮小命令セットコンピュータ/デジタル信号プロセッサ (RISC/DSP) 824、コントローラ/プロセッサ 826、メモリ 828、入出力 (I/O) 回路 830、および DPLL 832 のような、様々な処理、インターフェース、および記憶ユニットを含む。モデムプロセッサ 822 は、データ送受信などのための処理 (例えば、符号化、変調、復調、復号化) を実行し得る。RISC/DSP 824 は、ワイヤレスデバイス 800 のための一般的でありかつ特定された処理を実行し得る。コントローラ/プロセッサ 826 は、モジュール 820 内の様々なユニットのオペレーションを指示し得る。メモリ 828 は、モジュール 820 内の様々なユニットのためにデータおよび/または命令を格納し得る。I/O 回路 830 は、外部の入出力デバイス 840 と通信し得る。DPLL 832 は、モジュール 820 内の処理ユニットのためのクロックを生成し得る。

【0057】

DPLL 814 は、受信機 812 によって周波数ダウンコンバージョンおよび/または復調のために使用される受信局発振器 (LO) 信号を生成し得る。DPLL 818 は、周波数アップコンバージョンおよび/または変調のために送信機 816 によって使用された送信 LO 信号を生成し得る。DPLL 814 および/または 818 は、図 2 の DPLL 200、図 3 の DPLL 202 または 2 ポイント変調 (TPM) の他のある DPLL でインプリメントされ得る。基準発振器 842 は、DPLL 814、818 および/または 832 のための正確な基準信号を生成し得る。基準発振器 842 は、XO、VCXO、TCXO、等であり得る。

【0058】

本明細書に説明された DPLL は、IC、アナログ IC、無線周波数 IC (RFIC)、混合信号 IC、特定用途向け集積回路 (ASIC)、プリント回路基板 (PCB)、電子機器デバイス、等の上でインプリメントされ得る。DPLL は、さらに相補型金属酸化膜半導体 (CMOS)、N 型 MOS (NMOS)、P 型 MOS (PMOS)、バイポーラ接合トランジスタ (BJT)、バイポーラ CMOS (BiCMOS)、シリコンゲルマニウム (SiGe)、ガリウム砒素 (GaAs)、等のような様々な IC プロセス技術で製造され得る。

【0059】

本明細書に説明された DPLL をインプリメントする装置は、スタンドアロンデバイス、またはより大型のデバイスの一部であり得る。デバイスは (i) スタンドアロン IC、(ii) データおよび/または命令を格納するためのメモリ IC を含み得る 1 つまたは複数の IC のセット、(iii) RF 受信機 (RFR) または RF 送信機/受信機 (RTR) のような RFIC、(iv) 移動局モデム (MSM) のような ASIC、(v) 他のデバイスに埋め込まれ得るモジュール、(vi) 受信機、携帯電話、ワイヤレスデバイス、ハンドセット、またはモバイルユニット、(vii) 等であり得る。

1 つまたは複数の例示的な設計において、説明された機能は、ハードウェア、ソフトウェア、ファームウェアまたはその任意の組み合わせでインプリメントされ得る。ソフトウェアでインプリメントされる場合には、機能は、コンピュータ可読媒体上で、1 つまたは複数の命令あるいはコードとして、記憶されてもよく、あるいは、送信されることができる。コンピュータ可読媒体は、1 つの場所から別の場所へのコンピュータプログラムの転送 (transfer) を容易にするいずれの媒体も含んでいる、コンピュータ記憶媒体 (computer storage media) と通信媒体 (communicat

10

20

30

40

50

ion media)の両方を含む。記憶媒体は、コンピュータによってアクセスされることができる、いずれの利用可能な媒体であることができる。例として、また限定されないが、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMあるいは他の光学ディスクストレージ、磁気ディスクストレージあるいは他の磁気ストレージデバイス、あるいは、命令あるいはデータストラクチャの形態において望まれるプログラムコードを保存あるいは搬送するために使用されることができる、また、コンピュータによってアクセスされることができる、任意の他の媒体も備えることができる。また、いずれの接続(connection)もコンピュータ可読メディア(computer-readable medium)と適切に名付けられる。例えば、ソフトウェアがウェブサイト、サーバ、あるいは、同軸ケーブル、光ファイバケーブル、ツイストペア(twisted pair)、デジタル加入者ライン(digital subscriber line)(DSL)、あるいは赤外線、無線、およびマイクロ波のような無線技術を使用している他の遠隔ソース、から送信される場合には、そのときには、同軸ケーブル、光ファイバケーブル、ツイストペア、DSL、あるいは赤外線、無線、およびマイクロ波のような無線技術は、媒体(media)の定義に含まれている。ここに使用されているように、ディスク(disk)とディスク(disc)は、コンパクトディスク(compact disc)(CD)、レーザーディスク(登録商標)(laser disc)、光学ディスク(optical disc)、デジタル汎用ディスク(digital versatile disc)(DVD)、フロッピー(登録商標)ディスク(disk)およびブルーレイディスク(blue-ray disc)を含んでおり、「ディスク(disks)」は、大抵、データを磁気で再生しているが、「ディスク(discs)」は、レーザで光学的に再生する。上記のものの組み合わせも、また、コンピュータ可読媒体の範囲内に含まれるべきである。

【0060】

開示の先の説明は、任意の当業者が開示を行なうか使用することを可能にするために提供される。本開示に対する様々な修正は、当業者にとっては容易に明らかであろう、そして、ここにおいて定義された包括的な原理は、本開示の精神あるいは範囲から逸脱することなく、他の変形に適用されることができる。したがって、本開示は、ここにおいて記載される例および設計に限定されるようには意図されておらず、ここに開示された原理および新規な特徴に整合する最も広い範囲が与えられるべきである。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[C1]

デジタル位相同期ループ(DPLL)を備える装置であって、

前記DPLLは、

位相デジタル変換器とループ内で動作するループフィルタと、

ローパス変調パスのためであり、前記位相デジタル変換器の後で前記ループフィルタより前の前記ループの内部の第1のポイントに対して入力変調信号を受信し第1の変調信号を提供するように動作する第1の処理ユニットと、

ハイパス変調パスのためであり、前記ループフィルタの後の前記フィルタの内部の第2のポイントに対して前記入力変調信号を受信し第2の変調信号を提供するように動作する第2の処理ユニットと、

を備える、装置。

[C2]

前記第1の処理ユニットは、

周波数を位相に変換するために、前記第1の変調信号を提供するように前記入力変調信号を累算するように動作するアキュムレータを備える、

[C1]に記載の装置。

[C3]

前記第2の処理ユニットは、

可変利得で前記入力変調信号をスケールするように動作する適応可能なスケールングユ

ニットを備える、

[C 1] に記載の装置。

[C 4]

前記適応可能なスケーリングユニットは、

前記ループフィルタに提供される位相誤差信号および前記入力変調信号に基づいて前記可変利得を決定するように動作する利得計算ユニットと、

前記可変利得と前記入力変調信号を乗算するように動作する乗算器と、
を備える、 [C 3] に記載の装置。

[C 5]

前記第 2 の処理ユニットは、

可変遅延で前記入力変調信号を遅延するように動作する適応可能な遅延ユニットをさらに備える、

[C 3] に記載の装置。

[C 6]

前記適応可能な遅延ユニットは、

前記ループフィルタに提供される位相誤差信号および前記入力変調信号に基づいて前記可変遅延を決定するように動作する遅延計算ユニットと、

前記入力変調信号のための前記可変遅延の分数部分を提供するように動作する補間器と、

を備え、前記分数部分は、マイナス 1 サンプル期間とプラス 1 サンプル期間との間である、

[C 5] に記載の装置。

[C 7]

前記適応可能な遅延ユニットは、

前記入力変調信号のための前記可変遅延の整数部分を提供するように動作するプログラムブル遅延ユニットをさらに備え、前記整数部分は、サンプル期間の整数を備える、

[C 6] に記載の装置。

[C 8]

前記位相デジタル変換器は、前記ループ中のフィードバック信号と基準信号との間の位相差を決定するように動作し、前記ループフィルタは、前記位相差信号に基づいて取得された位相誤差信号をフィルタに掛け、フィルタに掛けられた位相誤差信号を提供するように動作する、

[C 1] に記載の装置。

[C 9]

前記 D P L L は、

前記位相差信号と前記第 1 の変調信号との和を取り、前記位相誤差信号を提供するように動作する第 1 の加算器と、

前記フィルタに掛けられた位相誤差信号と前記第 2 の変調信号との和を取り、発振器のための制御信号を提供するように動作する第 2 の加算器と、

前記発振器からの変調信号を周波数について分周し、前記フィードバック信号を提供するように動作する分周器と、

をさらに備える [C 8] に記載の装置。

[C 1 0]

前記位相デジタル変換器は、

前記基準信号および前記フィードバック信号を受信し、より早い信号として前記フィードバック信号および前記基準信号の前記より早い信号を提供し、より遅い信号として前記フィードバック信号および前記基準信号の前記より遅い信号を提供するように動作する信号マルチプレクサと、

前記より早い信号と前記より遅い信号との間の位相差を決定し、前記位相差信号を提供するように動作する時間デジタル変換器と、

10

20

30

40

50

を備える [C 8] に記載の装置。

[C 1 1]

前記装置は、集積回路である、[C 1] に記載の装置。

[C 1 2]

前記装置は、ワイヤレスデバイスである、[C 1] に記載の装置。

[C 1 3]

プロセッサを備える装置であって、

前記プロセッサは、位相デジタル変換器およびループ内で動作するループフィルタを備える位相同期ループ (D P L L) のローパス変調パスおよびハイパス変調パスを介して 2 ポイント変調を実行し、第 1 の変調信号を取得するために前記ローパス変調パスのための入力変調信号を処理し、前記位相デジタル変換機の後で前記ループフィルタより前の前記ループの内部の第 1 のポイントに対して前記第 1 の変調信号を適用し、第 2 の変調信号を取得するために前記ハイパス変調パスのための前記入力変調信号を処理し、前記ループフィルタより後の前記ループの内部の第 2 のポイントに対して前記第 2 の変調信号を適用するように動作する、
装置。

10

[C 1 4]

前記プロセッサは、周波数を位相に変換するために、前記入力変調信号を累算することによって前記ローパス変調パスのための前記入力変調信号を処理し、可変利得で前記入力変調信号をスケールリングすることによって前記ハイパス変調パスのための前記入力変調信号を処理するように動作する、

20

[C 1 3] に記載の装置。

[C 1 5]

デジタル位相同期ループ (D P L L) を備える装置であって、前記 D P L L は、

第 1 の変調信号を取得するために周波數位相変換を行なうように入力変調信号を累算するように動作するアキュムレータと、

第 2 の変調信号を取得するために可変利得で前記入力変調信号をスケールするように動作するスケールリングユニットと、

フィードバック信号と基準信号との間の位相差を決定し、位相差信号を提供するように動作する位相デジタル変換器と、

30

前記位相差信号と前記変調信号との和を取り、位相誤差信号を提供するように動作する第 1 の加算器と、

前記位相誤差信号をフィルタに掛けフィルタに掛けられた位相誤差信号を提供するように動作するループフィルタと、

前記フィルタに掛けられた位相誤差信号と前記第 2 の変調信号との和を取り、発振器のための制御信号を提供する第 2 の加算器と、

を備える、装置。

[C 1 6]

前記 D P L L は、

前記発振器からの変調信号を周波数について分周し、前記フィードバック信号を提供するよう動作する分周器をさらに備える、

40

[C 1 5] に記載の装置。

[C 1 7]

前記 D P L L は、

可変遅延によって前記入力変調信号を遅延するように動作する適応可能な遅延ユニットをさらに備える、

[C 1 5] に記載の装置。

[C 1 8]

デジタル位相同期ループ (D P L L) を動作する方法であって、

周波数を位相に変換するために、第 1 の変調信号を取得するために入力変調信号を累算

50

することと、

第 2 の変調信号を取得するために可変利得で前記入力変調信号をスケーリングすることと、

位相差信号を取得するためにフィードバック信号と基準信号との間の位相差を決定することと、

位相誤差信号を取得するために前記位相差信号と前記第 1 の変調信号との和を取ることと、

フィルタに掛けられた位相誤差信号を取得するために前記位相誤差信号をフィルタに掛けることと、

発振器のための制御信号を取得するために前記フィルタに掛けられた位相誤差信号と前記第 2 の変調信号との和を取ることと、

を備える方法。

[C 1 9]

前記フィードバック信号を取得するために前記発振器からの変調信号を周波数について分周することをさらに備える、

[C 1 8] に記載の方法。

[C 2 0]

前記第 2 の変調信号を取得するために可変遅延で前記入力変調信号を遅延させることをさらに備える、

[C 1 8] に記載の方法。

[C 2 1]

前記入力変調信号および前記位相誤差信号に基づいて前記可変遅延を決定することをさらに備える、

[C 2 0] に記載の方法。

[C 2 2]

前記入力変調信号および前記位相誤差信号に基づいて前記可変利得を決定することをさらに備える、

[C 1 8] に記載の方法。

[C 2 3]

周波数を位相に変換するために、第 1 の変調信号を取得するために入力変調信号を累算するための手段と、

第 2 の変調信号を取得するために可変利得で前記入力変調信号をスケーリングするための手段と、

位相差信号を取得するためにフィードバック信号と基準信号との間の位相差を決定するための手段と、

位相誤差信号を取得するために前記位相差信号と前記第 1 の変調信号との和を取するための手段と、

フィルタに掛けられた位相誤差信号を取得するために前記位相誤差信号をフィルタに掛けるための手段と、

発振器のための制御信号を取得するために前記フィルタに掛けられた位相誤差信号と前記第 2 の変調信号との和を取するための手段と、

を備える装置。

[C 2 4]

前記第 2 の変調信号を取得するために可変遅延で前記入力変調信号を遅延させるための手段をさらに備える、

[C 2 3] に記載の装置。

[C 2 5]

前記入力変調信号および前記位相誤差信号に基づいて前記可変遅延を決定するための手段をさらに備える、

[C 2 4] に記載の装置。

10

20

30

40

50

[C 2 6]

前記入力変調信号および前記位相誤差信号に基づいて前記可変利得を決定するための手段をさらに備える、

[C 2 3]に記載の装置。

[C 2 7]

コンピュータ可読媒体を備えるコンピュータプログラム製品であって、

前記コンピュータ可読媒体は、

少なくとも1つのコンピュータに、周波数を位相に変換するために、第1の変調信号を取得するために入力変調信号を累算させるためのコードと、

少なくとも1つのコンピュータに、第2の変調信号を取得するために可変利得で前記入力変調信号をスケーリングさせるためのコードと、

少なくとも1つのコンピュータに、位相差信号を取得するためにフィードバック信号と基準信号との間の位相差を決定させるためのコードと、

少なくとも1つのコンピュータに、位相誤差信号を取得するために前記位相誤差信号と前記第1の変調信号との和を取らせるためのコードと、

少なくとも1つのコンピュータに、フィルタに掛けられた位相誤差信号を取得するために前記位相誤差信号をフィルタに掛けさせるためのコードと、

少なくとも1つのコンピュータに、発振器のための制御信号を取得するために前記フィルタに掛けられた位相誤差信号と前記第2の変調信号との和を取らせるためのコードと、を備える、コンピュータプログラム製品。

[C 2 8]

前記コンピュータ可読媒体は、

前記少なくとも1つのコンピュータに、前記第2の変調信号を取得するために可変遅延で前記入力変調信号を遅延させるためのコードをさらに備える、

[C 2 7]に記載のコンピュータ可読媒体。

【 図 1 】

図 1

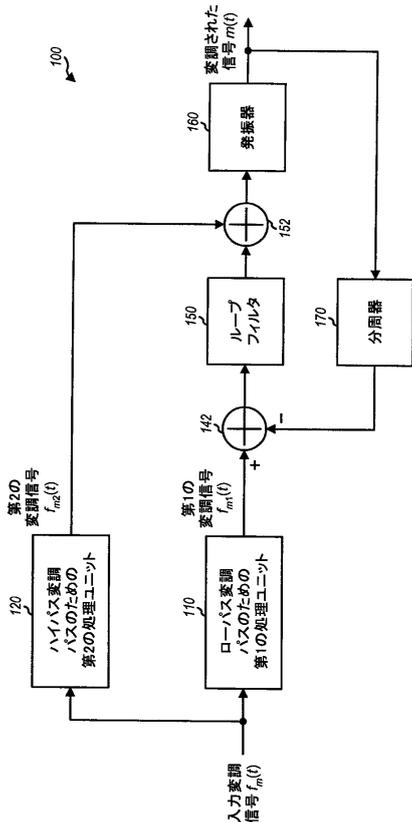


FIG. 1

【 図 2 】

図 2

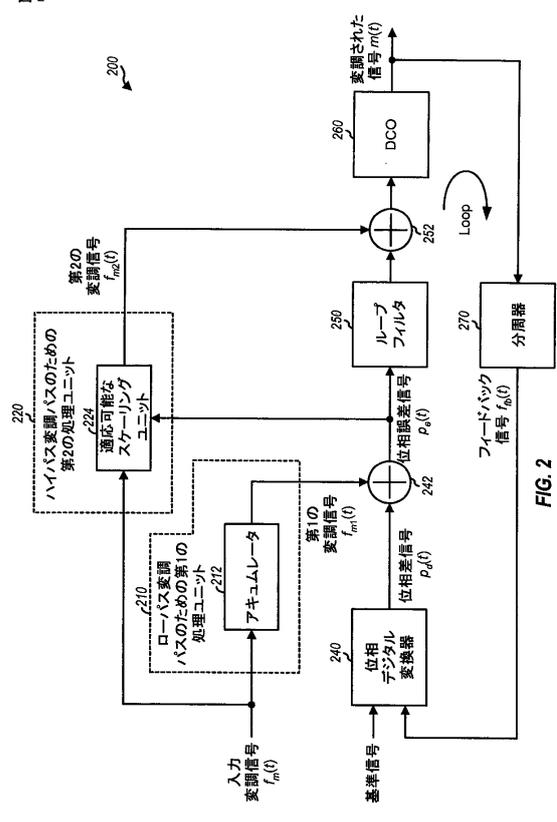


FIG. 2

10

20

【 図 7 】

図 7

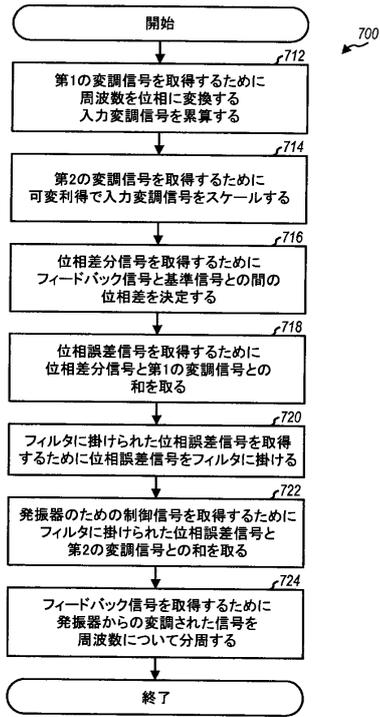


FIG. 7

【 図 8 】

図 8

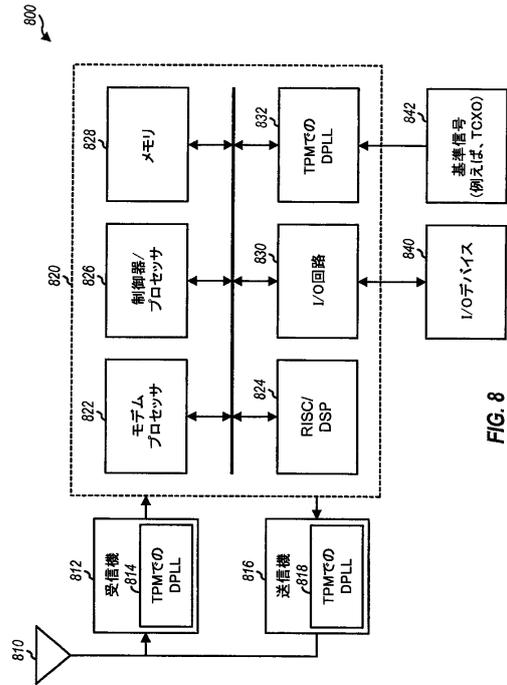


FIG. 8

フロントページの続き

- (74)代理人 100109830
弁理士 福原 淑弘
- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 ジェン、ジフェン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 バランタイン、ギャリー・ジョン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 フィリポビック、ダニエル・エフ .
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

審査官 畑中 博幸

- (56)参考文献 米国特許出願公開第2009/0097609 (US, A1)
米国特許出願公開第2009/0102564 (US, A1)
特開2005-072874 (JP, A)
特開2005-287010 (JP, A)
特開平08-222955 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03L 7/08
H03L 7/06
H03L 7/093