

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3715551号
(P3715551)

(45) 発行日 平成17年11月9日(2005.11.9)

(24) 登録日 平成17年9月2日(2005.9.2)

(51) Int. Cl.⁷

F I

HO 1 L 27/105	HO 1 L 27/10	4 4 4 B
HO 1 L 21/8242	HO 1 L 27/10	4 6 1
HO 1 L 27/10	HO 1 L 27/10	6 2 1 Z
HO 1 L 27/108		

請求項の数 4 (全 39 頁)

(21) 出願番号	特願2001-188538 (P2001-188538)	(73) 特許権者	000003078
(22) 出願日	平成13年6月21日(2001.6.21)		株式会社東芝
(62) 分割の表示	特願平9-182481の分割		東京都港区芝浦一丁目1番1号
原出願日	平成9年7月8日(1997.7.8)	(74) 代理人	100058479
(65) 公開番号	特開2001-358316 (P2001-358316A)		弁理士 鈴江 武彦
(43) 公開日	平成13年12月26日(2001.12.26)	(74) 代理人	100084618
審査請求日	平成13年6月21日(2001.6.21)		弁理士 村松 貞男
(31) 優先権主張番号	特願平8-179296	(74) 代理人	100068814
(32) 優先日	平成8年7月9日(1996.7.9)		弁理士 坪井 淳
(33) 優先権主張国	日本国(JP)	(74) 代理人	100092196
(31) 優先権主張番号	特願平9-20330		弁理士 橋本 良郎
(32) 優先日	平成9年2月3日(1997.2.3)	(74) 代理人	100091351
(33) 優先権主張国	日本国(JP)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

一対の電極間に少なくとも2種以上の金属元素を含有する複合酸化物膜からなる誘電体膜を用いたキャパシタを形成し、前記キャパシタ上にさらに絶縁性酸化膜と配線層を積層してなる半導体装置を製造する際、

前記キャパシタの形成工程は、

第1の電極を形成する第1電極形成工程と、

前記第1の電極上に前記誘電体膜を形成する誘電体膜形成工程と、

前記誘電体膜上に第2の電極を形成する第2電極形成工程と、

前記第1電極形成工程と誘電体膜形成工程との間と前記第2電極形成工程の後のいずれか

で $0.5 \times 133.322 \text{ Pa}$ 以上 $500 \times 133.322 \text{ Pa}$ 以下の減圧下で昇温速度 $10 / \text{秒}$ 以上の急熱処理を行なう工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項2】

請求項1記載の半導体装置の製造方法において、

前記減圧下の急熱処理を、 $0.5 \times 133.322 \text{ Pa}$ 以上 $500 \times 133.322 \text{ Pa}$ 以下の酸素分圧下あるいはオゾン分圧下またはオゾン分圧比1%以上の雰囲気中で行うことを特徴とする半導体装置の製造方法。

【請求項3】

請求項1または2記載の半導体装置の製造方法において、前記誘電体膜が強誘電体膜で

10

20

あって、前記キャパシタは、F R A Mのメモリセルの電荷蓄積用キャパシタであることを特徴とする半導体装置の製造方法。

【請求項4】

請求項1または2記載の半導体装置の製造方法において、前記誘電体膜が高誘電率誘電体膜であって、前記キャパシタは、D R A Mのメモリセルの電荷蓄積用キャパシタであることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報記憶用キャパシタの絶縁膜に複合酸化物膜を用いたメモリセルのアレイを有する半導体装置の製造方法に係り、特にキャパシタ絶縁膜に強誘電体を用いた強誘電体メモリセルのアレイを有する強誘電体メモリ(F R A M)におけるセルトランジスタ・セルキャパシタ間接続配線部、ビット線コンタクト部およびメモリセルの形成方法とその構造、ならびにキャパシタ絶縁膜に高誘電率誘電体を用いたダイナミック型メモリセルのアレイを有するダイナミック型ランダムアクセスメモリ(D R A M)におけるメモリセルの形成方法に関するもので、F R A MあるいはD R A Mを含む半導体集積回路に適用されるものである。

10

【0002】

【従来の技術】

近年、情報記憶用キャパシタの電極間絶縁膜としてペロプスカイト構造あるいは層状ペロプスカイト構造の物質からなる強誘電体薄膜を用いた不揮発性強誘電体メモリセル(F R A Mセル)およびそのアレイを有するF R A Mが注目を集めている。

20

【0003】

強誘電体膜は、電界が印加された時に一旦発生した電気分極が上記電界が印加されなくなっても残留し、上記電界とは反対方向の向きにある程度以上の強さの電界が印加された時に分極の向きが反転する特性を有している。

【0004】

この誘電体の分極の向きが反転する分極特性に着目し、メモリセルの情報記憶用のキャパシタの絶縁膜に強誘電体を用いてF R A Mセルを実現する技術が開発されている。

【0005】

このF R A Mセルは、D R A Mセルのキャパシタを強誘電体キャパシタに置き換えた構成になっており、スイッチ用のM O Sトランジスタを介して強誘電体キャパシタから分極反転あるいは非反転の際の電荷を取り出す方式(データ破壊読み出し)を用いており、動作電源をオフ状態にしてもメモリセルに書かれている記憶データは失われない特徴がある。

30

【0006】

F R A Mは、大容量メモリの代表であるD R A Mと比較すると、不揮発性であるためにデータ保持にリフレッシュ動作が不要であって待機時の消費電力が不要であるという特徴を持つ。また、他の不揮発性メモリであるフラッシュメモリと比較すると、データ書換え回数が多く、かつデータ書き換え速度が著しく速いという特徴を持つ。また、メモリーカード等に使用される電池バックアップが必要なS R A Mと比較しても、消費電力が小さく、セル面積を大幅に小さくできるという特徴を持つ。

40

【0007】

上記のような特徴を持つF R A Mは、既存のD R A M、フラッシュメモリ、S R A Mとの置き換え、ロジック混載デバイスへの適用等、その期待は大変大きい。また、F R A Mは、バッテリーレスで高速動作が可能であるので、非接触カード(R F - I D : Radio Frequency-Identification Data)への展開が始まりつつある。なお、F R A Mのメモリセルの構造は、D R A Mと同じように情報としての電荷容量を蓄積する蓄積容量において常誘電体膜でなく強誘電体膜を用いる構造と、M O S F E Tのゲート絶縁膜においてシリコン酸化膜を強誘電体膜に置き換える構造との2種類に大別される。後者はS i界面に直接形成できる適当な強誘電体膜が存在しないために実現性に乏しく、現在までは提案が行なわ

50

れているのみであることから、通常はF R A Mというと前者の構造を指す。

【 0 0 0 8 】

また、F R A Mセルには、図 2 2 に示すように、1つのトランジスタと1つの強誘電体キャパシタにより構成される1トランジスタ・1キャパシタ(1 T / 1 Cと略す)型のもものと、図 2 4 に示すように、2つのトランジスタと2つの強誘電体キャパシタにより構成される2トランジスタ・2キャパシタ(2 T / 2 Cと略す)型のものがある。

【 0 0 0 9 】

1 T / 1 C構造は、D R A Mと同等の高集積化が可能という長所を持つが、各メモリセルの強誘電体特性のばらつきおよび劣化のばらつきを抑えなければならず、歩留りおよび素子信頼性を上げることが難しいという短所を持つ。

10

【 0 0 1 0 】

2 T / 2 C構造は、1 T / 1 C構造の2倍の面積を必要とする欠点があるが、特性マージンを大きくとれるので、歩留りおよび素子信頼性を向上させることが容易である。

【 0 0 1 1 】

いずれの構造においても、下地絶縁膜上に電極/強誘電体/電極のスタック構造を形成し、その上層の酸化膜に開けたコンタクトホールを介してA lまたはC u配線を施し、パッシベーション膜で保護する。

【 0 0 1 2 】

ところで、前記したようにF R A Mセルは高速・低消費電力動作が可能であり、高集積化の実現が期待されており、メモリセル面積の縮小や強誘電体の劣化の少ない製造プロセスの検討が必要となっている。また、既存のF R A Mデバイスを他のデバイスと混載する場合や高集積化に不可欠となる多層配線技術は未だ確立していない状況である。

20

【 0 0 1 3 】

F R A Mデバイスを搭載した半導体集積回路の多層配線化が難しい原因は、強誘電体材料が還元雰囲気(特に水素雰囲気)に大変弱いことにある。既存のL S I工程では、水素が混入するプロセスが殆んどであり、F R A Mの製造上大きな問題となる。

【 0 0 1 4 】

水素が混入する工程の一例として、多層配線構造におけるビアホールを埋める工程が挙げられる。特に、アスペクト比が大きなビアホールを埋める方法としては、C V D法によるW埋め込みが主に用いられるが、このWを埋め込む工程では水素基が多く発生するので、強誘電体に大きなダメージを与える。

30

【 0 0 1 5 】

以下、上記の問題について具体的に詳細に説明する。

【 0 0 1 6 】

従来、強誘電体メモリセルの構造として、(1)ビット線の下層に強誘電体キャパシタを配置したビット線後作り構造、(2)強誘電体キャパシタの下層にビット線を配置したビット線先作り構造がある。

【 0 0 1 7 】

前記ビット線後作り構造の強誘電体メモリセルを製造する場合には、パストランジスタ(スイッチ用のM O Sトランジスタ)の上層に強誘電体キャパシタを配置し、その下部電極とパストランジスタとをポリシリコンプラグで接続した後、強誘電体キャパシタ上にビット線を形成する。

40

【 0 0 1 8 】

前記強誘電体キャパシタを形成する際、ポリシリコンプラグ上に通常はP t (プラチナ)を用いて強誘電体キャパシタの下部電極を形成した後に強誘電体薄膜を成膜するが、上記強誘電体薄膜を成膜して結晶化を行う際、高温の酸素アニールが必要となる。

【 0 0 1 9 】

ここで、強誘電体材料としてP Z T(チタン酸ジルコン酸鉛)を使用する場合、酸化が不十分な場合にP Z T中のP bが拡散することに起因する欠陥の発生によってキャパシタ特性の劣化が起きる。これを避けるために十分な酸化を行うために必要な酸素アニール温度

50

は通常は600 ~ 700 である。

【0020】

また、強誘電体材料としてS B T (ストロンチウム・ビスマス・タンタレイト)等のビスマス層状化合物を使用する場合には、必要な酸素アニール温度は通常は~ 800 の高温である。

【0021】

しかし、上記したような高温の酸素アニール時に、前記P tを用いた下部電極がポリシリコンプラグと反応してシリサイド化する、あるいは、ポリシリコンプラグが酸化するといった問題が生じる。

【0022】

一方、前記ビット線先作り構造の強誘電体メモリセルを製造する場合には、パストランジスタの上層にビット線を形成し、ビット線の上層に強誘電体キャパシタを形成する。

【0023】

この際、強誘電体キャパシタの下部電極(例えばP t)とパストランジスタとをポリシリコンプラグで接続する場合には前記したビット線後作り構造と同様の問題が生じる。

【0024】

これに対して、強誘電体キャパシタの上部電極とパストランジスタを埋め込み配線からなる局所電極配線で直接に接続する上部電極接続構造が提案されている。この構造は、強誘電体キャパシタのパターンレイアウトの自由度が比較的高いという特長があり、強誘電体キャパシタをパストランジスタ領域上および素子分離領域上の両方に配置することにより細密構造を実現することが可能である。

【0025】

上記ビット線先作り・上部電極接続構造を実現する際、強誘電体キャパシタの下部電極(プレート電極)から上部電極までを形成した後、キャパシタ保護膜を堆積する。この後、上部電極とパストランジスタとを直接に接続するための局所電極配線を形成するために、キャパシタ保護膜に上部電極とのコンタクト部およびパストランジスタの活性層とのコンタクト部を開口し、配線膜を堆積した後にパターンニングする。

【0026】

上記ビット線先作り・上部電極接続構造を実現する場合には、前記したように強誘電体キャパシタの下部電極(例えばP t)とパストランジスタとをポリシリコンプラグで接続する場合に下部電極がポリシリコンプラグと反応してシリサイド化するといった問題は生じない。

【0027】

しかし、微細化に伴うアスペクト比やステップカバレッジの点で、前記したように上部電極とパストランジスタとを直接に接続するための局所電極配線を形成することは困難になる。

【0028】

また、強誘電体材料としてP Z TやB S Tを用いた場合、強誘電体薄膜成膜後における電極配線形成の際に行う諸々のC V D (化学気相成長)工程での還元性雰囲気の問題となり、強誘電体材料が還元反応によって特性劣化を生じるという問題がある。

【0029】

つまり、上部電極とパストランジスタとを接続するための局所電極配線を形成する際に、D R A Mで用いられているようなメタルC V D装置を用いた強い還元性雰囲気(水素系のガス)中でのW (タングステン)成膜によるWプラグの埋め込みを行おうとすると、強誘電体キャパシタの特性(残留分極量等の電気的特性)の劣化を引き起こすので、使用できない。

【0030】

これに対して、上部電極とパストランジスタとを接続するための局所電極配線を形成する際に、M O (Metal Organic) C V Dを用いてアルミ配線膜の成膜を行うとしても、還元性雰囲気が皆無とはいえない(ソース物質を含め水素基成分を完全には除去できない)の

10

20

30

40

50

で、やはり強誘電体キャパシタの特性劣化を引き起こす。

【0031】

さらに、前記強誘電体材料としてPZTやBSTを用いた場合、強誘電体キャパシタの電極材料としてPt、Ir、Ir酸化物(IrO_2)、Ru、Ru酸化物(RuO_2)、LSCO、SROなどの貴金属あるいは導電性酸化物が用いられる。

【0032】

しかし、これらの材料を、RIE(反応性イオンエッチング)、イオンミリング、ECR等によって $0.5\mu\text{m}$ 程度のサブミクロンレベルで微細加工することはかなり難しく、特にPtは非常に難しく、強誘電体キャパシタの微細化が容易ではない。然るに、高集積の強誘電体メモリの設計に際して、強誘電体メモリセルの微細化は不可欠であり、メモリセルの微細化のためには強誘電体キャパシタの上部電極の微細化が重要課題である。

10

【0033】

一方、メモリの集積度は年々向上しているが、寸法は小さくなくても電荷を蓄積する誘電体キャパシタの電気容量は約 30fF 以上に保たなければならない。そのためには、キャパシタの有効面積を大きくするか、誘電体膜の厚さを薄くするか、誘電体材料の誘電率を大きくするかしなければならない。これまでのDRAM技術では、主に前二者の改良により、キャパシタの立体化と薄膜化が検討されてきた。しかし、従来からの SiO_2 系の誘電体膜では、その立体化と薄膜化が限界に達しつつあり、比誘電率の大きな誘電体の薄膜を堆積させる技術が必要になってきた。

【0034】

20

ところで、前記したようなFRAMに使われようとしている電極/強誘電体/電極のスタック構造あるいはDRAMに使われようとしている電極/高誘電率誘電体/電極のスタック構造のキャパシタを製造する際、電極材料としては、前記したようにPt、Ir、Ru、 IrO_2 、 RuO_2 、LSCO、SROなどの貴金属あるいは導電性酸化物が用いられる。

【0035】

FRAMセルキャパシタの強誘電体としては、前記したようにPZT($\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$)、SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)、BIT($\text{Bi}_4\text{Ti}_3\text{O}_{12}$)等のペロブスカイト構造を含む酸化物あるいはそれらの一部を置換元素に置換した酸化物が用いられる。DRAMセルキャパシタの高誘電率誘電体としてはBST($(\text{Ba},\text{Sr})\text{TiO}_3$)等が用いられる。

30

【0036】

これらの強誘電体あるいは高誘電率誘電体の成膜方法としては、スパッタ、レーザアブレーション、CVD(Chemical Vapor Deposition)、MOD(Metallo-Organic Decomposition)またはゾルゲル(Sol-gel)法などのスピコート、さらには、霧状のMOD原料をキャリアガスによってウエハ上へ導き堆積させるLSMCD(Liquid Source Mist Chemical Deposition)法などが知られている。

【0037】

スパッタ法は、膜形成技術として量産性に優れ、また、誘電体を挟む2つの電極(金属あるいは導電性酸化物)が同じスパッタ技術で形成されることからスループットの点で有利な技術である。

40

【0038】

しかし、スパッタやレーザアブレーションは、 N_2 、Ar、 Ar/O_2 等の雰囲気ガス中で成膜を行なう技術であるので、ガス成分が膜中に取り込まれて形成されることは避けられず、複合酸化物膜(少なくとも2種以上の金属元素を含有する酸化物膜)中に残存ガスのもたらす空隙が生じ、高密度の酸化物膜が形成できないという問題がある。

【0039】

実際に、デポジション直後の膜からはAr等のスパッタガスが検出される。これは、ターゲット近傍にあるガス分子が、プラズマの高エネルギーによって導かれて膜中に入射するものであって、拡散のような機構ではないので、低圧スパッタほど高いエネルギーが保存

50

されて膜中に打ち込まれやすい。堆積直後の膜はアモルファスや低密度の結晶膜であるので、この残存ガスは分散していて目立たないが、膜に結晶化の熱処理が施されると、残存ガスは結晶の粒界や界面に取り残されてはっきりとした空隙になる。

【0040】

また、この熱処理が短時間であると、粒界や界面のみならず、粒内でも大きな空隙が生じる。CVDあるいはLSMCDによる成膜においても、原料をチャンバーへ導入するためのキャリアガスを用いるため、膜中にキャリアガスの取り込みが起こり、スパッタの場合と同様、結果的に複合酸化物膜中に残存ガスのもたらす空隙が生じる。

【0041】

このような空隙は、成膜に引き続いてアニール処理により膜の結晶化や高密度化を行なう際にその大きさが決まるが、アニールが昇温速度の速い急熱処理である場合に特に顕著である。即ち、複合酸化物膜の結晶化アニールでは、拡散や蒸発を最低限に抑えるために急熱処理が必須であるが、上記の問題点のために高密度の膜が形成できないという問題がある。

10

【0042】

然るに、膜密度が低い強誘電体膜では、分極量が低下して動作マージンがとれないばかりか、低電圧側で駆動できず、また、薄膜化する場合に短絡し易くなる。さらに、後工程での雰囲気特性変化が大きくなる問題点も生じる。同様の理由で、電極膜にも空隙が生じて低密度化すると、膜抵抗が高くなり、動作速度が遅くなるという問題点も生じる。

【0043】

20

【発明が解決しようとする課題】

上記したように従来の強誘電体メモリは、強誘電体キャパシタの特性劣化を防止し、かつ、プロセスをインテグレーションすることが困難であった。

【0044】

本発明は上記の問題点を解決すべくなされたもので、強誘電体メモリセルを製造する際に、強誘電体キャパシタの特性劣化を防止し、かつ、プロセスインテグレーションを可能とする半導体装置の製造方法を提供することを目的とする。

【0045】

また、本発明の別の目的は、情報記憶用キャパシタの絶縁膜に強誘電体を用いたFRAMセルあるいは高誘電率誘電体を用いたDRAMセルを製造する際に、緻密で信頼性が高い強誘電体膜や高誘電率誘電体膜を形成し得る半導体装置の製造方法を提供する。

30

【0046】

【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、一对の電極間に少なくとも2種以上の金属元素を含有する複合酸化物膜からなる誘電体膜を用いたキャパシタを形成し、前記キャパシタ上にさらに絶縁性酸化膜と配線層を積層してなる半導体装置を製造する際、前記キャパシタの形成工程は、第1の電極を形成する第1電極形成工程と、前記第1の電極上に前記誘電体膜を形成する誘電体膜形成工程と、前記誘電体膜上に第2の電極を形成する第2電極形成工程と、前記第1電極形成工程と誘電体膜形成工程との間と前記第2電極形成工程の後のいずれかで $0.5 \times 10^{33} \sim 3.2 \times 10^{33}$ Pa以上 $5.0 \times 10^{33} \sim 3.2 \times 10^{33}$ Pa以下の減圧下で昇温速度 $10^\circ\text{C}/\text{秒}$ 以上の急熱処理を行なう工程とを具備することを特徴とする。

40

【0047】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を示す。

【0048】

まず、ここで、本発明を適用しようとする半導体装置の一例に係るFRAMについて簡単に説明しておく。

【0049】

図22は、1トランジスタ・1キャパシタ型の強誘電体メモリセルの等価回路を示している。図22において、Cは強誘電体キャパシタ、Qは電荷転送用のMOSトランジスタ、

50

WLは上記MOSトランジスタのゲートに接続されているワード線、BLは上記MOSトランジスタの一端に接続されているビット線、PLは上記キャパシタの一端(プレート)に接続されているプレート線、VPLはプレート線電圧である。

【0050】

図23は、例えばビット線折り返し構成の強誘電体メモリセルアレイを有する強誘電体メモリの一部の等価回路を示している。

【0051】

図23において、MCはそれぞれ電極間絶縁膜に強誘電体を用いた情報記憶用の強誘電体キャパシタCと電荷転送用のMOSトランジスタ(パストランジスタ)Qとが直列に接続されてなる単位セルであり、この単位セルMCは行列状に配列されてメモリセルアレイ90を構成している。

10

【0052】

WLi($i = 1, 2, 3 \dots$)は、セルアレイ90における同一行の単位セルのトランジスタQのゲートに共通に接続された複数本のワード線である。

【0053】

PLi($i = 1, 2, 3 \dots$)は、セルアレイ90における同一行の単位セルのキャパシタCのプレートに共通に接続された複数本のプレート線である。

【0054】

BLi($i = 1, 2, 3, 4 \dots$)は、セルアレイ90における同一列の単位セルのトランジスタの一端に共通に接続されたビット線である。

20

【0055】

ワード線選択回路81は、アドレス信号に基づいて前記複数本のワード線WLiのうちの一部を選択してワード線電圧を供給するものである。

【0056】

キャパシタプレート線選択回路82は、前記アドレス信号に基づいて前記複数本のプレート線PLiのうちの一部を選択し、このプレート線PLiの電圧を制御するものである。

【0057】

一方、図22のメモリセルを2個用いた2トランジスタ・2キャパシタ型の強誘電体メモリセルは、図24あるいは図25に示すように、第1のトランジスタQ1および第2のトランジスタQ2と、前記第1のトランジスタQ1および第2のトランジスタQ2にそれぞれ対応して直列に接続された第1のキャパシタC1および第2のキャパシタC2とからなる。

30

【0058】

そして、前記第1のトランジスタQ1および第2のトランジスタQ2の各一端(ドレイン)に対応して第1のビット線BL1および第2のビット線/BL1が接続されており、各ゲートに共通にワード線WLが接続されており、前記第1のキャパシタC1および第2のキャパシタC2の各プレートに共通にプレート線PLが接続されている。

【0059】

前記ワード線WLおよびプレート線PLは平行に設けられており、ワード線用のロウデコーダ(図示せず)により選択されたワード線WLにワード線信号が供給され、プレート線のロウデコーダ(図示せず)により選択されたプレート線PLにプレート線電圧VPLが供給される。

40

【0060】

また、上記2本のビット線BL1、/BL1には、ビット線電位センス増幅用のセンスアンプ(図示せず)、書き込み回路(図示せず)およびプリチャージ回路(図示せず)が接続されている。

【0061】

次に、前記2トランジスタ・2キャパシタ構成の強誘電体メモリセルのデータ書き込み動作の原理およびデータ読み出し動作の原理について、図24乃至図26を参照しながら説明する。

50

【 0 0 6 2 】

図 2 4 (a) 乃至 (c) は書き込み動作時における強誘電体キャパシタの印加電界、電気分極の状態を示しており、図 2 5 (a) 乃至 (c) は読み出し動作時における強誘電体キャパシタの印加電界、電気分極の状態を示している。

【 0 0 6 3 】

また、図 2 6 はデータの書き込み動作時および読み出し動作時におけるプレート線の印加電位を示している。上記強誘電体メモリセルに対するデータの書き込み、読み出しに際して、選択されたメモリセルのプレート線 P L の電位を例えば 0 V、5 V、0 V と変化させることにより、誘電分極の向きを制御する。

【 0 0 6 4 】

(A) データの書き込み動作に際しては、初期状態では、プレート線 P L を接地電位 V_{ss} (0 V) に設定し、2本のビット線 B L 1、/ B L 1 をそれぞれ 0 V にプリチャージしておく。

【 0 0 6 5 】

まず、図 2 4 (a) に示すように2本のビット線 B L 1、/ B L 1 のうち的一方(例えば第2のビット線 / B L 1) を例えば 5 V に設定し、ワード線 W L に 5 V を印加して2個のトランジスタ Q 1、Q 2 をオン状態にすると、第2のキャパシタ C 2 の両端間に電位差が生じて例えば図中下向きの分極が発生するが、第1のキャパシタ C 1 の分極は発生しない。

【 0 0 6 6 】

次に、図 2 4 (b) に示すように、プレート線 P L を 5 V に設定にすると、第1のキャパシタ C 1 の両端間に電位差が生じ、図中上向きの分極が発生するが、第2のキャパシタ C 2 の分極は反転しない。これにより、2個のキャパシタ C 1、C 2 に図示したように互いに逆向きの分極が発生した状態になり、この状態はデータ“ 1 ”または“ 0 ”の書き込み状態に対応する。

【 0 0 6 7 】

次に、図 2 4 (c) に示すように、プレート線 P L を 0 V に設定し、ワード線 W L を 0 V にして2個のトランジスタ Q 1、Q 2 をオフ状態にする。

【 0 0 6 8 】

(B) データの読み出し動作に際しては、初期状態では、プレート線 P L を 0 V に設定し、2本のビット線 B L 1、/ B L 1 をそれぞれ 0 V にプリチャージしておく。ここで、2個のキャパシタ C 1、C 2 には例えば図 2 5 (a) に示すように互いに逆向きの分極が発生した状態のデータが書き込まれている場合を想定する。

【 0 0 6 9 】

まず、図 2 5 (b) に示すように、プレート線 P L を 5 V に設定し、ワード線 W L に例えば 5 V を印加して2個のトランジスタ Q 1、Q 2 をオン状態にすると、第2のキャパシタ C 2 の両端間に電位差が生じてその分極の向きが反転するが、第1のキャパシタ C 1 の分極の向きは反転しない。この2個のキャパシタ C 1、C 2 からの読み出し電位はセンスアンプによりセンス増幅され、このセンスアンプの出力により2本のビット線 B L 1、/ B L 1 は対応して 0 V、5 V に設定され、上記センスアンプの出力に基づいて読み出しデータの“ 1 ”、“ 0 ”を判別する。

【 0 0 7 0 】

続いて、図 2 5 (c) に示すように、プレート線 P L を 0 V に設定すると、第2のキャパシタ C 2 の両端間に電位差が生じてその分極の向きが反転し、第1のキャパシタ C 1 の分極の向きは、反転せず初期状態に戻る。

【 0 0 7 1 】

次に、本発明を前記したような F R A M に適用した実施例を詳細に説明する。図 1 乃至図 3 は、本発明の第 1 の実施の形態に係る強誘電体メモリセルを採用した大容量の強誘電体メモリについてセルアレイの製造工程順におけるセルアレイの一部の平面パターンの一例を概略的に示している。

10

20

30

40

50

【 0 0 7 2 】

図 4 乃至図 7 は、前記セルアレイの製造工程順における断面構造の一部を概略的に示しており、具体的には、図 3 中の A - A 線に沿う S D G 領域およびセルキャパシタを含む断面構造を示している。

【 0 0 7 3 】

まず、セルアレイの構造について説明する。図 7 に示す構造においては、前述した従来例のビット線先作り・上部電極接続構造と比べて、パストラジスタと強誘電体キャパシタの上部電極 1 9 との接続構造および上部電極 1 9 の構造が異なる。

【 0 0 7 4 】

なお、ここでは、電荷転送用の 1 個の M O S トランジスタ（パストラジスタ）と情報記憶用の 1 個の強誘電体キャパシタとが直列接続された構成を単位セルとし、単位セルが行列状に配列されてメモリセルアレイを構成してなる 1 トランジスタ・1 キャパシタ型の強誘電体メモリセルを備えた F R A M を例にとり説明する。また、説明の簡単化のため、各ワード線を W L、各ビット線を B L、各プレート線を P L で表示する。

【 0 0 7 5 】

図 7 において、1 は第 1 導電型（例えば p 型）の半導体基板（例えばシリコン基板）であり、その表層部には、図 1 に示すように複数個の素子領域（活性化領域）S D G がそれぞれワード線 W L 形成方向に直交する方向（ビット線 B L 形成方向に平行な方向）にほぼ直線状に形成されるとともに平面的にみて行列状の配置で形成されており、各素子領域 S D G 間には素子間分離領域用の酸化膜 2 が形成されている。

【 0 0 7 6 】

ここで、各列の素子領域 S D G は、1 列毎に素子領域 S D G の 1 つ分の長さ（1 ピッチ）ずつ位置が偏移しており、各素子領域 S D G は全体として市松状の配置（正格子に対してジグザグ状の配置）で形成されている。

【 0 0 7 7 】

上記各素子領域 S D G は、中央部から一端側の領域に第 1 の M O S トランジスタを構成する第 1 のドレイン・チャネル・ソース領域が直線状に形成されており、上記中央部から他端側の領域に第 2 の M O S トランジスタを構成する第 2 のドレイン・チャネル・ソース領域が直線状に形成されており、上記中央部は上記第 1、第 2 の M O S トランジスタに共通のドレイン領域 D となっている。

【 0 0 7 8 】

上記 M O S トランジスタのチャネル領域上にゲート酸化膜 3 を介してゲート電極部 G が形成され、同一行の複数個の M O S トランジスタのゲート電極部 G は連続的に連なってワード線 W L として形成され、ワード線 W L 群は互いに平行に形成されている。

【 0 0 7 9 】

この場合、各ワード線 W L（ゲート電極部 G）は、例えば P ドープ・ポリシリコン 4 および W S i（タングステンシリサイド）5 の 2 層構造になっており、表面絶縁膜 6 および側壁絶縁膜 7 により保護されている。

【 0 0 8 0 】

さらに、上記表面絶縁膜 6、側壁絶縁膜 7 上に層間絶縁膜 9 および表面平坦化用の層間絶縁膜 1 0 が形成されており、この層間絶縁膜 1 0 上にワード線 W L 群の形成方向とそれぞれ直交する方向にビット線 B L 群が形成されている。

【 0 0 8 1 】

この場合、層間絶縁膜 1 0 には、素子領域 S D G の各中央部の第 2 導電型（本例では n 型）の不純物拡散領域（ドレイン領域）D 上に対応してコンタクトホールが開口されており、前記層間絶縁膜 1 0 上で上記コンタクトホールから少しずれた位置にバリアメタル膜 1 1 および導電膜 1 2 からなるビット線 B L が形成されており、各ビット線 B L は上記コンタクトホール内でそれぞれ同一列の複数個の素子領域 S D G の各ドレイン領域 D にコンタクトしている。

【 0 0 8 2 】

10

20

30

40

50

なお、図4～図7では、ビット線BLは上記コンタクトホール内のみ実線で示され、図示される断面の後方に位置している層間絶縁膜10上については点線にて示されている。

【0083】

さらに、前記ビット線BL群上には表面平坦化用の層間絶縁膜13およびキャップ用絶縁膜16が形成されており、キャップ用絶縁膜16上には単位セル毎にスタック構造の強誘電体キャパシタ(下部電極17、強誘電体絶縁膜18、上部電極19)が形成され、さらに、キャパシタ保護用の絶縁膜20およびパッシベーション膜23が形成されている。

【0084】

この場合、同一行の複数個の強誘電体キャパシタの各下部電極17は、対応するMOSトランジスタを含むSDG領域の中央部あるいは隣接する素子間分離酸化膜2の上方を覆うように、かつ、前記ワード線WL群の形成方向と平行な方向に(つまり、ビット線BLに直交する方向に)連続的に形成され、キャパシタプレート線PLとなっている。

10

【0085】

また、単位セル毎の強誘電体キャパシタの上部電極19は、対応する下部電極17領域上に強誘電体絶縁膜18を介して例えば方形状に形成されている。

【0086】

そして、強誘電体キャパシタの上部電極19は、対応するMOSトランジスタの一端部の第2導電型(本例ではn型)の不純物拡散領域(ソース領域)Sに局所接続用の電極配線22を介して接続されている。

【0087】

20

この場合、前記表面平坦化用の層間絶縁膜13、表面平坦化用の層間絶縁膜10および層間絶縁膜9等には、素子領域SDGの両端部のソース領域S上に対応してコンタクトホールが開口されており、このコンタクトホール内に導電性のプラグ(キャパシタコンタクトプラグ)15が埋め込まれている。そして、前記キャップ用絶縁膜16には、前記キャパシタコンタクトプラグ15上に対応してコンタクトホールが開口されており、このコンタクトホール内部および前記キャパシタ保護膜用の絶縁膜20上および前記上部電極19上に局所接続用の電極配線22として例えばアルミ系配線が形成されている。

【0088】

なお、本例においては、キャパシタコンタクトプラグ15および電極配線22についても、前記ビット線BLと同様にそれぞれその下地側にバリアメタル膜14、21を有する構造となっている。

30

【0089】

このとき、本例では、前記キャパシタコンタクトプラグ15および前記電極配線22はそれぞれの材料が異なる。具体的には、前記キャパシタコンタクトプラグ15の材料は、高融点金属が望ましく、前記電極配線22の材料はアルミニウム系配線材料あるいは銅系配線材料あるいは導電性ポリシリコン系配線材料が望ましい。

【0090】

そして、前記電極配線22の下端面は、前記キャパシタコンタクトプラグ15の上端面よりも面積が大きく、前記キャパシタコンタクトプラグ15の上端面およびその周辺の層間絶縁膜(本例では層間絶縁膜13)にコンタクトしている。これにより、電極配線22とキャパシタコンタクトプラグ15とのコンタクト抵抗の低下と、前記キャパシタコンタクトプラグ15上に対応してコンタクトホールを開口する時のマスク位置合わせのマーシンの確保を図ることが可能になる。次に、前記セルアレイの製造方法について、図1乃至図3に示した平面パターンおよび図4乃至図7に示した断面図を参照しながら工程順に説明する。

40

【0091】

まず、図1および図4に示すように、通常のCMOS型DRAMセルの形成工程と同様な工程により、シリコン基板1上にセルのMOSトランジスタのアレイを形成する。

【0092】

ここで、2は基板表層部に選択的に形成された素子分離領域をなす酸化膜、D、Sは基板

50

表層部の素子形成領域に選択的に形成された基板とは逆導電型の不純物拡散層からなるドレイン・ソース領域、3は基板表面に形成されたMOSトランジスタ用のゲート酸化膜、Gはゲート酸化膜3上に形成されたMOSトランジスタ用のゲート電極部(ワード線WLの一部)である。

【0093】

次に、ゲート電極部G上を含む基板上に層間絶縁膜10を形成し、層間絶縁膜10のドレイン領域D上に対応する部分にコンタクトホールを形成する。さらに、上記コンタクトホールの内部および層間絶縁膜10上にバリアメタル膜11および導電膜12を順次形成し、層間絶縁膜10上の導電膜12およびバリアメタル膜11をパターニングしてビット線BLを形成する。

10

【0094】

次に、ビット線上を含む基板上に平坦化用の層間絶縁膜(例えばBPSG膜)13を800nm程度堆積した後、化学機械的研磨(Chemical Mechanical Polishing; CMP)により200nm程度研磨して平坦化する。

【0095】

次に、図5に示すように、リソグラフィ工程とエッチング工程により、層間絶縁膜13および層間絶縁膜10の前記ソース領域S上に対応する部分に例えば $0.8 \times 0.8 \mu\text{m}$ の開口面積のキャパシタプラグ用のコンタクトホールを選択的に形成する。この場合、層間絶縁膜13および層間絶縁膜10のトータル絶縁膜厚は1500nm、開口部のアスペクト比は1.9である。

20

【0096】

さらに、前記コンタクトホールの内面にバリアメタル膜(例えばTiN膜)14を20nm堆積させた後、例えばメタルCVD装置によりタングステンを前記トータル絶縁膜厚以上の1700nm程度堆積して前記コンタクトホールの内部に全面的に埋め込む。

【0097】

この後、平坦化用の層間絶縁膜13上のタングステン膜およびバリアメタル膜をエッチバックにより除去することにより、図1中に示すようにキャパシタコンタクトプラグ15が得られる。

【0098】

なお、前記キャパシタコンタクトプラグ15を埋め込む際、コンタクトホール内壁にバリアメタル膜14を形成しているため、コンタクトプラグ15からソース領域S用の不純物拡散層への拡散を防止することが可能である。

30

【0099】

さらに、図5に示すように、CMPにより層間絶縁膜13の表面を十分に平坦化した後、キャップ用絶縁膜16を150nm堆積する。

【0100】

次に、図2および図6に示すように、前記キャップ用絶縁膜16上に、キャパシタ下部電極17(キャパシタプレート線PL)用の導電膜、キャパシタ絶縁膜用の強誘電体膜18を順次形成し、さらに、キャパシタ上部電極19を形成し、強誘電体膜18および下部電極17用の導電膜のパターニングを行って強誘電体キャパシタを形成した後、キャパシタ保護用絶縁膜20を形成する。

40

【0101】

この際、前記強誘電体膜18としてPZT($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$)、PLZT($(\text{Pb},\text{La})(\text{Zr},\text{Ti})\text{O}_3$)の他、SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)等を用いることができる。また、キャパシタ下部電極17やキャパシタ上部電極19としてPt等(PtあるいはIrあるいは IrO_x 、 IrO_2 、 RuO_2 、あるいはそれらを組み合わせたもの)を用いることができる。

【0102】

次に、前記キャパシタ保護用絶縁膜20およびキャップ用絶縁膜16のキャパシタコンタクトプラグ15上に対応する部分を開口するとともに、キャパシタ保護用絶縁膜20のキ

50

ャパシタ上部電極 19 上に対応する部分を開口する。この場合、キャパシタコンタクトプラグ 15 の上端面積より大きい開口部 (図 2 中、16 a) と、キャパシタ上部電極 19 の面積より小さい開口部 (図 2 中、19 a) を形成する。

【0103】

そして、図 3 および図 7 に示すように、キャパシタコンタクトプラグ 15 とキャパシタ上部電極 19 とを接続するための電極配線材料として、例えばバリアメタル膜用の TiN 膜 21 および Si・Cu (シリコン・銅) 成分を含む Al (アルミ) 配線のような導電膜を、キャパシタ保護用絶縁膜 20 を覆うように例えば高周波スパッタ法、メタル CVD 法あるいは MOCVD 法により順に堆積し、それをパターニングして電極配線 22 を形成し、その上にパッシベーション膜 23 を堆積する。

10

【0104】

なお、前記強誘電体膜 18 の形成に際して、強誘電体材料の堆積後、強誘電体材料を結晶化し、強誘電体特性を高めるために、通常は 750 程度の高温酸素雰囲気中で 10 秒間程度、高速熱処理する。

【0105】

また、強誘電体材料の堆積後の工程でキャパシタパターニングを行う時に生じる強誘電体特性の低下を回復させるために、600 の高温酸素雰囲気中で 30 分程度のアニールを行う。

【0106】

なお、これらの高温酸素雰囲気での処理に際して、前記キャップ用絶縁膜 16 は、強誘電体膜 18 を形成する際の強誘電体物質の熱的処理工程が終了するまでは電極配線形成用のコンタクトホールが開口されていないので、前記キャパシタコンタクトプラグ材の酸化を防止する働きを有する。

20

【0107】

ただし、キャップ用絶縁膜 16 でキャパシタコンタクトプラグ 15 を覆っていても、高温酸素雰囲気でのアニールなどによりキャパシタコンタクトプラグ材の表面の軽度の部分的酸化は避けられない。

【0108】

そこで、好ましくは、前記キャパシタコンタクトプラグ 15 上に電極配線材料を堆積する際、その前にキャパシタコンタクトプラグ 15 の表面酸化膜をエッチングする工程を付加することにより、キャパシタコンタクトプラグ 15 と電極配線材料との安定な接続が可能になる。この際のエッチングは、通常メタルスパッターの電極を入れ替えて逆スパッターにすることで可能である。

30

【0109】

また、一般に MOSFET 活性層とコンタクトプラグとのコンタクト抵抗を下げるために行う水素、窒素の混合ガスを用いた 450 のシンター工程は、従来工程例では強誘電体キャパシタの特性を劣化させる理由から使用することは不可能であった。これに対して、上記実施例の製造方法によれば、強誘電体キャパシタの形成よりも前にキャパシタコンタクトプラグ 15 を作り込むことにより、強誘電体キャパシタの形成前に通常の MOS 型 LSI と同一のシンター工程を採用することができ、具体的には、水素もしくは窒素またはこれらの混合ガスを用いた 400 ~ 500 程度のシンタリングを行うことが可能となる。これにより、MOSFET のゲート閾値 V_{th} 、基板電位等諸々のデバイスパラメーターを共通に制御できる利点が生ずる。

40

【0110】

また、上記実施例の製造方法において、キャパシタコンタクトプラグ 15 の材料として、電極配線と同じ材料は用いず、耐酸化性、耐熱性、低コンタクト抵抗性を有し、高アスペクト比のコンタクトホールへの埋め込みが可能な材料の使用が望ましく、例えばタングステン、モリブデン、チタン、パラジウム等の高融点金属の使用が望ましい。

【0111】

これは、前記キャパシタコンタクトプラグ 15 としてポリシリコン材やアルミ系材などの

50

酸化されやすい材料を使用した場合には、キャパシタコンタクトプラグ15を埋め込み形成した後で強誘電体キャパシタを作り込む際に、酸素雰囲気での高温熱処理がキャパシタコンタクトプラグ15にも施され、キャパシタコンタクトプラグ15が酸化されてその寄生抵抗が増加するという問題が生じるからである。

【0112】

なお、本例ではAlSiCu電極配線材料とタングステンコンタクトプラグ材とのインターレーヤーとしてTiNを用いたが、Ti/TiNの積層膜を用いてもよい。また、電極配線材料としては、AlSiCu配線に限らず、アルミ系、銅系の配線材料や導電性ポリシリコン系配線材料を用いることが可能である。

【0113】

また、上記実施例の製造方法においては、キャパシタ用のコンタクトプラグと電極配線材料との接触抵抗を少なくするために、それらのコンタクト面で電極配線がキャパシタ用のコンタクトプラグの上端面の面積より大きい配線面積を持つ接続構造を採用している。

【0114】

即ち、本例では、キャパシタ用のコンタクトプラグ上の電極配線(AlSiCu/TiN)は、コンタクトプラグ(W)の上端面と周辺絶縁膜(本例では層間絶縁膜13)の両方に接触する構造を採用している。

【0115】

なお、電荷転送用のパストランジスタとしては、ゲート絶縁膜が酸化物からなるMOSトランジスタに限定されず、ゲート絶縁膜が窒化物や、窒酸化物、あるいは酸化物と窒化物との積層構造等からなるMISトランジスタを形成することもできる。

【0116】

次に、前記したようなPZT材料またはSBT材料を用いた強誘電体キャパシタの上部電極材料としてPtまたはその他の電極材料(Ir、Ir酸化物、Ru酸化物等)を使用し、強誘電体キャパシタの上部電極を0.1ミクロンレベルまで微細に形成する方法について、図8(a)乃至(f)を参照しながら説明する。なお、この工程は、強誘電体キャパシタ用電極以外の形成に際しても適用可能である。

【0117】

まず、図8(a)に示すように、前記キャップ用絶縁膜16上に強誘電体キャパシタの下部電極膜17a、強誘電体薄膜18aを順次堆積する。この場合、下部電極膜17aとしてPtを175nm、強誘電体薄膜18aとしてPZT膜を300nm形成する。

【0118】

次に、図8(b)に示すように、強誘電体薄膜18a上に300nmのTEOS(テトラエトキシシラン)酸化膜20aを堆積する。

【0119】

次に、図8(c)に示すように、PEP(写真蝕刻工程)を用いてTEOS酸化膜20aに所望の上部電極面積に対応する開口部を選択的に形成する。

【0120】

次に、図8(d)に示すように、上部電極形成用のPt膜19aをTEOS酸化膜20aの膜厚以上に堆積する。

【0121】

次に、図8(e)に示すように、エッチバックあるいはCMPによりTEOS酸化膜20a上のPt膜19aを除去する。そして、通常のフォトリソグラフィ技術を使用し、帯状のレジストパターンを形成し、このレジストパターンをマスクとする異方性エッチングにより、前記TEOS酸化膜20a/強誘電体薄膜18a/下部電極膜17aを順次パターンニングする。

【0122】

これにより、所望の帯状の強誘電体薄膜18および下部電極17を得る。この際、同一マスクパターンを用いてTEOS酸化膜20a、強誘電体薄膜18aおよび下部電極膜17aを順次エッチング加工することにより、セルフアラインによりTEOS酸化膜20aと

10

20

30

40

50

強誘電体薄膜 18 と下部電極膜 17 とはほぼ同じ平面形状に形成される。

【0123】

次に、図 8 (f) に示すように、上記強誘電体薄膜 18、下部電極 17 のパターンエッジにおける異方性エッチングによる加工ダメージを緩和するとともに、強誘電体薄膜 18 の電氣的絶縁耐圧の低下などを抑制するために、TEOS 酸化膜 20 a、上部電極 19、強誘電体薄膜 18、下部電極 17 の表面を覆うようにキャパシタ保護用絶縁膜 20 を形成する。上記キャパシタ保護用絶縁膜 20 としては、例えばプラズマ CVD 法による TEOS の分解により得られる SiO₂ 膜、あるいは、熱酸化法による SiO₂ 膜を形成する。

【0124】

そして、キャパシタ保護用絶縁膜 20 の上部電極 19 上に対応する部分に上部電極 19 の面積より小さい開口部を設けた後、前記したような電極配線 22 および最終保護用のパッシベーション膜 23 を形成する。

10

【0125】

上述したように上記実施例の製造方法においては、強誘電体メモリセルを形成する際、パストランジスタの一端側領域上にコンタクトプラグ層を埋め込んだ後に強誘電体キャパシタを形成し、キャパシタ上部電極とコンタクトプラグの上端部とを接続するための電極配線を例えばスパッタ法により形成することが可能になる。

【0126】

これにより、強誘電体メモリセルの形成後におけるメタル CVD 装置や MOCVD 装置を用いた還元性雰囲気中での配線膜堆積工程を避けることができ、キャパシタの残留分極量等の電氣的特性の劣化を防止することができる。

20

【0127】

また、キャパシタ上部電極 19 を絶縁膜 20 a の開口部に埋め込む構造としたので、キャパシタ上部電極 19 の面積を縮小し、単位セルの面積の縮小化が可能になり、FRAM の高集積化が可能になる。

【0128】

なお、上記第 1 の実施の形態では、キャパシタコンタクトプラグを 1 回の工程で形成したが、キャパシタコンタクトプラグを 2 段階に分けて形成してもよく、このような変形例の製造方法の断面図を図 9 および図 10 に示す。

【0129】

即ち、図 9 および図 10 に示すように、ビット線 BL (11、12) の形成と同時に第 1 のキャパシタコンタクトプラグ 11 a、12 a を形成しておき、その上に形成される絶縁層 13 に前記第 1 のキャパシタコンタクトプラグ 11 a、12 a の上端面に接続するように第 2 のキャパシタコンタクトプラグ 14、15 を形成する。

30

【0130】

このような構造を採用することにより、コンタクトプラグ層を埋め込む際における各コンタクトホールのアスペクト比を低下させることができるので、コンタクトホール内への埋め込みを容易に行うことが可能になる。

【0131】

このように形成された半導体装置は、半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有する MISTランジスタと、前記 MISTランジスタを含む半導体基板上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜内に埋め込み形成されたビット線コンタクトプラグを介して前記ドレイン領域・ソース領域のうちの一方の領域に接続され、前記第 1 の絶縁膜上に形成されたビット線と、前記第 1 の絶縁膜内に埋め込み形成され、前記ドレイン領域・ソース領域のうちの他方の領域に下端部がコンタクトした第 1 のキャパシタコンタクトプラグと、前記ビット線を含む半導体基板上に形成された第 2 の絶縁膜と、前記第 2 の絶縁膜内に埋め込み形成され、前記第 1 のキャパシタコンタクトプラグの上端に下端部がコンタクトした第 2 のキャパシタコンタクトプラグと、前記第 2 の絶縁膜上に形成され、下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタと、前記第 2 のキャパシタコンタクトプラグの上端と

40

50

前記強誘電体キャパシタとの間を接続する電極配線とを具備することを特徴とする。

【0132】

また、上記第1の実施の形態において、前記ビット線BL(11、12)のコンタクトプラグ部およびキャパシタコンタクトプラグ14、15(第1のキャパシタコンタクトプラグ11a、12a、第2のキャパシタコンタクトプラグ14、15からなる場合も含む)を、図9および図10に示すように、それぞれ上部の開口幅が底面の開口幅よりも広い逆テーパ状の側面を有するように形成してもよい。

【0133】

これにより、セルサイズの縮小化に伴ってワード線間隔が狭くなっても、ワード線とコンタクトプラグ下部との間隔を所望通り確保するとともにコンタクトホールの開口面積(電極配線とのコンタクト面積)を所望通り確保することが容易になり、プロセスマージンが増大するという利点が得られる。

10

【0134】

次に、図11および図12は、本発明の第2の実施の形態に係るFRAMセルのレイを有する大容量のFRAMにおけるFRAMセルおよび他の素子の製造工程順における断面構造の一部を概略的に示している。

【0135】

図13は、第2の実施の形態に係るFRAMセルのレイの一部の平面パターンの一例を概略的に示している。

【0136】

図11および図12に示す製造工程は、二層配線構造における第2層配線(ビット線あるいは他の配線)の接続を行うためのビアホールを埋めるために、Al、AlCu、AlCuSi、Cuの少なくとも一つの材料(本例ではアルミニウム)がリフローされている点特徴的である。なお、ここで、図4乃至図7に示した製造工程と同一部分には同一符号を付している。

20

【0137】

図11および図12において、半導体基板1上にはメモリセルのスイッチ用MOSトランジスタ31およびメモリセル以外の混載デバイス用の他のMOSトランジスタ32が形成されている。

【0138】

前記各トランジスタ上を覆い、表面が平坦化された(つまり、下地段差を平坦化した)第1の絶縁層10内には、前記スイッチ用トランジスタ31のドレイン領域D、ソース領域Sに接続されたビット線コンタクトプラグ33およびキャパシタコンタクトプラグ34、混載デバイス用の他のMOSトランジスタ32のゲートに接続されたコンタクトプラグ35が埋め込み形成されている。

30

【0139】

前記第1の絶縁層10の表面上に順に形成されている下部電極17、強誘電体膜18および上部電極19を含む基板を覆う第2の絶縁層20には、ビット線コンタクトプラグ33、キャパシタコンタクトプラグ34、混載デバイス用のコンタクトプラグ35および上部電極19の上方に対応して選択的にホールが形成されている。そして、上記ホール部を介して前記ビット線コンタクトプラグ33に接続されたビット線埋め込みプラグ接続配線(ビット線接続用コンタクトパターン)36、キャパシタコンタクトプラグ34および上部電極19に接続された上部電極取り出し配線(キャパシタ電極配線)22、混載デバイス用のコンタクトプラグ35に接続された第1層配線37が形成されている。

40

【0140】

なお、前記上部電極取り出し配線22およびビット線埋め込みプラグ接続配線36は、Al、AlCuSi、AlCu、Wメタル、TiNメタル、Tiメタルの少なくとも一つの材料を有するものであり、前記第1層配線37と同一配線層で形成されている。また、上部電極取り出し配線22、ビット線埋め込みプラグ接続配線36および第1層配線37の上面側には、選択的にWメタル、TiNメタル、Tiメタルのいずれかからなるメタル層

50

11'が形成されており、これらは前記強誘電体膜18にダメージを与えないスパッタ法あるいはCVD法によって形成され得る。

【0141】

前記各配線を含む基板上面を覆い、表面が平坦化された第3の絶縁層30には、前記ビット線埋め込みプラグ接続配線36および第1層配線37の上方に対応して選択的にビアホールが形成されている。そして、上記ビアホール内を埋めるようにAl、AlCu、AlCuSi、Cuの少なくとも一つの材料(本例ではアルミニウム)がリフローされてなり、前記ビアホール部を介して前記ビット線埋め込みプラグ接続配線36に接続されたビット線BLおよび前記ビアホール部を介して前記第1層配線37に接続された第2層配線38が形成されている。さらに、パッシベーション膜39が形成され、パッド部にホールが開口されている。

10

【0142】

上記したようなペロブスカイトないしは層状ペロブスカイト構造の物質からなる強誘電体膜を用いた情報記憶用のキャパシタとスイッチ用トランジスタとを有するメモリセルおよび少なくとも二層以上の多層配線構造を有する強誘電体メモリの製造に際しては、ビット線形成工程で前記多層配線構造におけるビアホールを埋めるためにAl、AlCu、AlCuSi、Cuの少なくとも一つの材料(本例ではアルミニウム)をリフローする工程を用いる。

【0143】

この際、Alリフローに際して、下地配線がAl系の場合には、スパッタ堆積時の温度によりAl系配線の溶融、ボイドの発生が生ずるおそれがある。このため、ビアメタルと直接接触する下地としては、Wメタル、TiNメタル、Tiメタル層のいずれかをスパッタあるいはCVD法により堆積した後、多層配線のビア部となる領域の直下に選択的に上記メタル層11'を形成し、溶融ボイド防止膜として用いる。

20

【0144】

次に、図11乃至図13に示す断面図および平面パターンを参照しながら工程順に詳細に説明する。

【0145】

まず、図11に示すように、通常のCMOS型DRAMセルの形成工程と同様な工程により、シリコン基板1上にメモリセルトランジスタ31および他のデバイス用のトランジスタ32を形成する。

30

【0146】

ここで、2は基板表層部に選択的に形成された素子分離領域、D、Sは基板表層部の素子形成領域に選択的に形成された基板とは逆導電型の不純物拡散層からなるドレイン・ソース領域、3は基板表面に形成されたMOSトランジスタ用のゲート酸化膜、Gはゲート酸化膜3上に形成されたMOSトランジスタ用のゲート電極部(ワード線WLの一部)である。

【0147】

なお、素子分離領域2は、LOCOS膜(選択酸化膜)、STI(Shallow Trench Isolation)など、任意の構造を採用してよい。

40

【0148】

次に、ゲート電極部G上を含む基板上に平坦化用の第1の層間絶縁膜(例えばBPSG膜)10を堆積した後、CMPにより表面を平坦化する。

【0149】

次に、第1の層間絶縁膜10に選択的にコンタクトホールを形成する。具体的には、ドレイン領域D上に対応する部分にビット線コンタクトホール、ソース領域S上に対応する部分にキャパシタプラグ用のコンタクトホールおよびその他の配線用のコンタクトホールを形成する。

【0150】

さらに、スパッタ法を用いてバリアメタル膜(Ti、TiN)11を前記コンタクトホー

50

ルの内部および第1の層間絶縁膜10上に蒸着した後、CVD法を用いてW膜を堆積し、前記コンタクトホール内部にコンタクトプラグ33、34および35を形成する。

【0151】

次に、エッチバックあるいはCMPを行い、第1の層間絶縁膜10の表面を露出させる。なおここで、第1の実施例と同様に、コンタクトプラグを逆テーパ状に形成すれば、プロセスマージンを増大させることができる。

【0152】

次に、図12に示すように、前記各コンタクトプラグを含む第1の層間絶縁膜10上に、キャパシタ下部電極17(キャパシタプレート線PL)用の導電膜として、Pt/Ti/TiNをスパッタ蒸着する。さらに、キャパシタ絶縁膜用の強誘電体膜18としてPZT膜を形成する。さらに、キャパシタ上部電極19としてPtを形成する。そして、RIEを用いて、前記キャパシタ上部電極19、強誘電体膜18および下部電極17の順にパターンニング加工を行って強誘電体キャパシタを形成する。この際、強誘電体膜18にダメージが入った場合は、500~600の酸素雰囲気での熱処理により回復させることができる。

10

【0153】

次に、プラズマCVDにより第2の層間絶縁膜20を形成し、化学ドライエッチング(CDE)およびRIEを用いて前記各コンタクトプラグ33、34、35および上部電極19との接続用のコンタクトホールを形成する。

【0154】

そして、スパッタ法を用いてAl、Wを順に堆積し、キャパシタコンタクトプラグ34とキャパシタ上部電極19との接続を行うためのキャパシタ電極配線22を形成すると同時に、ビット線接続用コンタクトパターン36およびメモリセル以外の混載デバイス用の第1層配線37を形成する。

20

【0155】

さらに、第3の層間絶縁膜30を形成し、その表面をCMPにより平坦化した後、前記ビット線接続用コンタクトパターン36との接続を行うためのビアホールおよびメモリセル以外の混載デバイスの第1層配線37との接続を行うためのビアホールを形成し、Ar雰囲気基板温度400~470とした高周波マグネトロンスパッタ法(Alを高温で溶解し泳動的にビアホールを埋め込むAlリフロー法)により前記ビアホール内を埋め込むように第2配線層を堆積した後、第2配線層をパターンニングしてビット線BLおよび混載デバイス用の第2層配線38を形成する。

30

【0156】

これにより、ビット線BLは、ビアホール部・ビット線接続用コンタクトパターン36およびビット線コンタクトプラグ33を介してメモリセルのスイッチ用MOSトランジスタ31のドレイン領域Dに接続されることになり、混載デバイス用の第2層配線38は第1層配線37を介してメモリセル以外の混載デバイス用MOSトランジスタ32に接続される。

【0157】

なお、第2層配線38は、Alリフロ-で堆積された膜をそのまま用いてパターンニングしてもよいが、ビア部以外のAl系金属を金属CMPにて研磨、除去、平坦化し、再び第2層配線38となる金属を堆積し、パターンニングしてもよい。

40

【0158】

この後、二層配線構造の半導体集積回路の場合は、トップパッシベーション絶縁膜39を堆積し、パッド部を開口する。三層、四層配線以上の配線構造の半導体集積回路の場合は、前記したような層間絶縁膜30を形成した後にAlリフロー法による配線層を堆積し、パターンニングを行う工程を必要回数繰り返し、この後にトップパッシベーション絶縁膜39を堆積し、パッド部を開口する。

【0159】

なお、本実施の形態においては、前記第1層配線37を形成した際の第1配線層の一部を

50

パッド部として用いてもよい。

【0160】

さらに、図12には、第3の層間絶縁膜30におけるビット線コンタクトプラグ33の上方に対応して選択的にホールを開口し、ビット線をビット線接続用コンタクトパターン36とコンタクトさせた場合を示したが、ビット線接続用コンタクトパターン36を第1の絶縁層10上で適宜引き回すことにより、これとは異なる位置でビット線をコンタクトさせることも可能である。従って、プロセスマージンを増大させることができ、特にセルアレイの設計の自由度を向上させる上で有利である。全く同様に、メモリセル以外の混載デバイスの第1層配線37についても、第1の絶縁層10上で引き回すことが可能である。

【0161】

また、図7に示したような強誘電体キャパシタより下方にビット線BLを配置した構造（FCOB；Ferro Capacitor On Bit-line）を有するセルアレイは、メモリセル部の設計の自由度が向上するが、ビット線上に形成される層間絶縁膜13の分だけ絶縁膜厚が増大することになり、メモリ以外の混載デバイスにとっては不利な構造を強いられることになる。

【0162】

これに対して、図11および図12に示したように強誘電体キャパシタの上層側にビット線BLを配置した構造とし、ビット線BLを第2配線層で形成した場合には、メモリセル部の設計の自由度が大幅に増大し、これによりセル面積の縮小化が可能になる。

【0163】

ここで、図13に示した平面パターンを参照して説明する。

【0164】

図13に示した構造は、前述した図1乃至図3の構造と比べて、ビット線BLがワード線WLの上方でワード線WLに直交する方向に一定幅で形成されており、ビット線BLの配置、幅、コンタクト部などが異なり、その他は同じであるので図1乃至図3中と同一符号を付してその詳細な説明を省略する。

【0165】

即ち、図13において、41はビット線BLがその下層部のビット線接続用コンタクトパターン（図12中の36）に接続されているコンタクト部、42は単位セル毎に形成されたスタック構造のキャパシタの上部電極（図12中の19）およびキャパシタコンタクトプラグ（図12中の34）に対して、ワード線WLとビット線BLとの間の中間層に形成された局所接続用の電極配線（図12中の22）が接続されているコンタクト部である。PLはキャパシタの下部電極（図12中の17）が連続するように形成されたキャパシタプレート線である。

【0166】

つまり、図11および図12に示したような強誘電体キャパシタの上層側にビット線を配置した構造を採用すれば、図13に示すようにセルアレイを形成することが可能になり、前記FCOB構造に比べてビット線BLの幅を広くとることができ、ビット線抵抗を低くできるので、メモリ動作上、極めて有利となる。

【0167】

従って、FRAMメモリと他のLSIを混載する場合には、ビット線BLを強誘電体キャパシタより下方または第1層に配線するFCOB構造よりも第2配線層以降に形成する方が有利である。

【0168】

さらに、本発明との比較のため、本発明の第2の実施の形態におけるAlリフローによるピア埋め込みの代わりに、Ti（スパッタ）/TiN（スパッタ）/W（CVD）によるピア埋め込みを用いた場合（比較例）について、プロセスの違いによる強誘電体キャパシタの強誘電体膜の分極量に及ぼす影響を調べた。

【0169】

結果として、第2の実施の形態により得られた強誘電体キャパシタの強誘電体膜の分極量

10

20

30

40

50

が $30 \mu\text{C}/\text{cm}^2$ であるのに対して、比較例では、分極量が $\sim 3 \mu\text{C}/\text{cm}^2$ と激しく劣化した。

【0170】

F R A Mデバイスにおいては、強誘電体の分極量はセンスマージンに直接有効であり、その値が大きい方が信頼性の向上につながるため、第2の実施の形態の優位性は明らかである。

【0171】

さらに、図14は、本発明の第3の実施の形態に係るF R A Mセルのレイアウトを有する大容量のF R A Mにおける断面構造の一部（S D G領域およびセルキャパシタを含む）を概略的に示している。

【0172】

図14に示すF R A Mセルの構造は、図12を参照して前述したF R A Mセルの構造と比べて、基本的にはほぼ同様であるが、第1の層間絶縁膜10上に第1のS i O₂ 膜51を介して強誘電体キャパシタが形成されている点、強誘電体キャパシタ上に第2のS i O₂ 膜52が形成されている点異なる。

【0173】

図14に示したF R A Mセルの製造工程は、図11および図12を参照して前述した製造工程と比べて、(1)エッチバックにより第1の層間絶縁膜10の表面を露出させた後に、スパッタ法により全面に第1のS i O₂ 膜51を堆積させる工程、(2)前記したように強誘電体キャパシタを形成した後に、スパッタ法により全面に第2のS i O₂ 膜52を100nm程度堆積させる工程が追加されている点、(3)第2のS i O₂ 膜52上に第2の層間絶縁膜13を堆積し、それに選択的にホールを開口する際に、下層の第2のS i O₂ 膜52または第2のS i O₂ 膜52/第1のS i O₂ 膜51にもホールを開口する点異なる。

【0174】

上記したようにスパッタ法により形成されたS i O₂ 膜51、52は、水素基を含まず、また、水素基を通し難い。即ち、この後の工程で、仮に水素基が強誘電体キャパシタ付近まで到達したとしても直接には強誘電体キャパシタには到達しないので、強誘電体特性（分極量）の劣化を最小限に抑制することができる。

【0175】

図15は、本発明の第4の実施形態に関わる半導体装置の断面図である。本実施形態は、F R A Mセルレイアウトとロジック回路等が混載された半導体装置に好適な製造方法を提供する。

【0176】

本実施形態の製造方法は、2層配線構造における第1層配線から半導体基板あるいはトランジスタのゲート電極へのコンタクトプラグが2度に分けて形成されている点に特徴を有する。すなわち本実施形態のコンタクトプラグは、まずF R A Mセルの強誘電体キャパシタが形成される前に下層部分が形成され、次に強誘電体キャパシタが形成された後に、残りの上層部分が形成される。

【0177】

このようなコンタクトプラグの形成方法を採用することにより、コンタクトホールの開口径に対する深さの比（アスペクト比）を小さくすることができ、コンタクトホールの加工と埋め込みが容易になる。この利点は、加工上非常に厳しいルールを用いてパターン配置を行っているロジック製品との混載を行う場合に有利となる。

【0178】

本実施例の前半のプロセスは、第2の実施形態で説明した図11と同じである。すなわち、半導体基板1上にはメモリセルのスイッチ用M O Sトランジスタ31およびメモリセル以外の、混載デバイス用の他のM O Sトランジスタ32が形成されている。

【0179】

これらのトランジスタを覆い、平坦化された第1の層間絶縁膜10内には、スイッチ用ト

10

20

30

40

50

ランジスタ 3 1 のドレイン・ソース領域に接続された第 1 のビット線コンタクトプラグ 3 3 および第 1 のキャパシタコンタクトプラグ 3 4、混載デバイス用の他のトランジスタ 3 2 のソースあるいはドレイン領域あるいはゲート電極に接続される第 1 のコンタクトプラグ 3 5 が埋め込み形成されている。

【 0 1 8 0 】

また、第 1 の層間絶縁膜 1 0 の表面には、図 1 5 に示すように、薄いシリコン窒化膜層 1 2 1 と薄いシリコン酸化膜層 1 2 2 が形成され、さらにその上に下部電極 1 7、強誘電体膜 1 8 および上部電極 1 9 が順に形成されて強誘電体キャパシタを形成している。このキャパシタは表面が平坦化された第 2 の層間絶縁膜 1 3 で覆われており、さらに第 2 の層間絶縁膜 1 3 の内部には、第 2 のビット線コンタクトプラグ 1 3 3、第 2 のキャパシタコンタクトプラグ 1 3 4 および混載デバイス用の他のトランジスタ 3 2 に接続された第 2 のコンタクトプラグ 1 3 5 が埋め込み形成されている。

10

【 0 1 8 1 】

また、第 2 の層間絶縁膜 1 3 の表面には、上部電極取り出し配線、ビット線埋め込みプラグ接続配線、および混載デバイス用の第 1 層配線 2 2、3 6、3 7 の第 1 配線層が形成されている。

【 0 1 8 2 】

この第 1 配線層を覆うように第 2 の層間絶縁膜 1 3 上に形成され、表面が平坦化された第 3 の層間絶縁膜 3 0 には、ビット線埋め込みプラグ接続配線 3 6 および第 1 層配線 3 7 の直上にヴィアホールが形成されている。このヴィアホールは、Al, AlCu, AlSiCu, Cu の内の少なくとも 1 つの材料により埋め込まれている。さらに、第 3 の層間絶縁膜 3 0 の表面には、第 2 配線層 3 8、BL が形成され、その上にはパッシベーション膜 3 9 が形成されている。

20

【 0 1 8 3 】

次に本実施形態の製造方法を、工程順に説明する。前述のようにプロセスの前半は第 2 の実施形態 (図 1 1) と同じである。まず、通常の CMOS 型 DRAM と同様に、シリコン基板 1 上にメモリセルトランジスタ 3 1 および他のデバイス用のトランジスタ 3 2 が形成される。すなわち、トランジスタのゲートおよび拡散層領域が形成され、第 1 の層間絶縁膜 1 0 およびコンタクトホールが形成される。

【 0 1 8 4 】

続いて、このコンタクトホールにコンタクトプラグが埋め込まれる。前述のように、本実施形態では第 1 配線層から基板面へのコンタクトプラグが 2 度に分けて形成されるが、図 1 1 に示す段階までで、第 1 段階 (下層部分) のコンタクトプラグが完成する。

30

【 0 1 8 5 】

次に、図 1 5 に示すように、LPCVD 法により第 1 の層間絶縁膜 1 0 の上に薄いシリコン窒化膜層 1 2 1 が形成される。このシリコン窒化膜層 1 2 1 は、後に強誘電体キャパシタの形成工程で行われる酸素雰囲気中でのアニールによるコンタクトプラグ材料 (例えば W) の酸化を防ぐとともに、アニールによるトランジスタの特性変動を防ぐ役割がある。続いて、シリコン窒化膜層 1 2 1 上に、LPCVD 法、プラズマ CVD 法、あるいは常圧 CVD 法により薄いシリコン酸化膜層 1 2 2 が形成される。

40

【 0 1 8 6 】

次に、シリコン酸化膜層 1 2 2 上にキャパシタ下部電極 1 7 用の導電膜として TiN、Ti、Pt が順にスパッタされる。その上に、キャパシタ絶縁膜用の強誘電体膜 1 8 として、PZT 膜が形成される。さらにその上に、キャパシタ上部電極 1 9 として Pt がスパッタされる。

【 0 1 8 7 】

続いて、RIE により上部電極 1 9、キャパシタ絶縁膜 1 8、下部電極 1 7 の順でパターニングされ、強誘電体キャパシタが形成される。このとき、強誘電体膜 1 8 にダメージが入り本来の特性と変わってしまった場合には、500 程度の酸素雰囲気中でのアニールで回復させることが可能である。

50

【0188】

次にプラズマCVDにより第2の層間絶縁膜13が形成され、CMP等によりその表面が平坦化される。続いてコンタクトプラグ33、34、35と後に形成される第1配線層との接続を行うためのコンタクトホールが形成される。このとき、キャパシタ下部電極17と第1配線層との接続を行うためのコンタクトホール(不図示)も同時に形成される。

【0189】

次に、スパッタ法によりバリア層としてTiN膜111を全面に形成した後、前記コンタクトホールを埋め込むように、スパッタ法によりAlを堆積し、400程度の温度でリフローする。続いて、CMPあるいはエッチバック法により、コンタクトホール内部以外のTiN膜、Alが除去される。ここまでで、コンタクトプラグの下層部分と上層部分の両方が形成され、本実施形態の特徴的な構造が出来上がる。

10

【0190】

次に、キャパシタ上部電極19上に、RIEによりコンタクトホールが形成される。このコンタクトホールも前述のコンタクトホールと同時に形成し、Al等により埋め込むことも可能であるが、本実施形態では同時形成を行わず、先のコンタクトホール形成後に別に形成している。この理由は、上部電極19へのコンタクトホールのアスペクト比は、他のコンタクトホールのそれに比べて小さいので、埋め込む必要性が少ないこと、アスペクト比の大きく異なるコンタクトホールでは、埋め込みの条件が大きく異なるため同時埋め込みが困難であると予想されること、さらに埋め込み時のダメージが強誘電体キャパシタに及ぶのを極力さげたいこと、等である。

20

【0191】

次に、Ti, TiN, AlCu, TiNを順にスパッタ法により全面に堆積させ、第1配線層を形成する。これをRIEにより加工することにより、キャパシタコンタクトプラグ134と上部電極19とを接続するキャパシタ配線22と、ビット線埋め込みプラグ接続配線36、混載デバイス用の第1層接続配線37が形成される。ここで、第1配線層の最上層のTiNは、リソグラフィのためのレジストパターン形成時に、Alからの光の反射を防止する反射防止膜として働く。

【0192】

続いて第3の層間絶縁膜30を形成し、その表面をCMPにより平坦化した後、前述の第1配線層と後述の第2配線層を接続するためのビアホールを開口する。さらに、第2の層間絶縁膜13に形成したコンタクトホールの場合と同様なAlリフロー技術等を用いて、このビアホールをAlで埋め込んだ後、Ti, TiN, Alを順にスパッタし、第2配線層を形成する。この第2配線層がRIEにより加工されて、第2層配線38、ビット線BL等が形成される。

30

【0193】

この後2層配線構造のデバイスの場合には、トップパッシベーション膜39が堆積され、選択的にパッド部が開口される。より多層の配線構造のデバイスの場合には、前述の方法の繰り返しで配線層と絶縁層を形成し、最後にトップパッシベーション膜39を堆積し、選択的にパッド部を開口すればよい。

【0194】

図16は、本発明の第5の実施形態に係わる半導体装置の断面図である。本実施形態は、FRAMセルアレイとロジック回路等が混載された半導体装置に好適な他の構造およびその製造方法を提供する。基本的には第3の実施形態と類似しており、図14と同一箇所には同一番号を付し、重複する説明は省略する。

40

【0195】

本実施例の前半のプロセスは、第2の実施形態で説明した図11とほぼ同じである。すなわち、半導体基板1上にはメモリセルのスイッチ用トランジスタ31とメモリセル以外の混載デバイス用他のトランジスタ32、およびSTI(shallow trench isolation)による素子分離酸化膜2が形成される。

【0196】

50

これらのトランジスタを覆うように、シリコン酸化膜層10を堆積し、CMP法を用いて表面を平坦化する。その上に、 $Si_x N_y$ 膜121をLPCVD法で、例えば150nm堆積する(図16)。この $Si_x N_y$ 膜121は、強誘電体キャパシタ形成の際の酸素アニールによるトランジスタへのダメージ(閾値変動)を軽減する。

【0197】

次に、上記トランジスタのソース領域S、ドレイン領域DへのコンタクトホールをRIEにより形成する。バリア層11として、Ti, TiNを順にスパッタにより堆積し、続いてCVD法によりコンタクトプラグ33、34、35としてWを埋め込む。さらに、絶縁膜10上のTi, TiN, Wを、例えばCMP法を用いて除去する。

【0198】

次に、全面にシリコン酸化膜層(SiO_2)122を100nm堆積する。その上に強誘電体キャパシタを構成するPt層17、PZT層18、Pt層19を順次スパッタにより堆積する。これらの層は酸素中で熱処理され、PZT層が結晶化され、ペロブスカイト構造となる。その後これらの層は、キャパシタの形状にRIEにより加工される。

【0199】

次に、全面にシリコン酸化膜13をプラズマCVD法により堆積し、コンタクトプラグ33、34、35の上部およびキャパシタの上部電極19の上部に開口部を形成する。その後全面にバリア層111となるTi, TiN、配線層22、36、37となるAl、メタル層11'となるWを順次スパッタにより堆積し、RIEにより加工してキャパシタとコンタクトプラグ34との配線およびその他コンタクトプラグの取り出し電極等を含む第1配線層を形成する。

【0200】

次に、全面にシリコン酸化膜層30をプラズマCVD法で堆積する。コンタクトプラグ33、35の直上のシリコン酸化膜層30に開口部を形成し、第1配線層のうち36に対応する部分を露出する。続いてバリア層112となるTi, TiN、配線38となるAlを順次スパッタにより堆積する。この後、約400の熱処理によりAlをリフローし、シリコン酸化膜30に形成されたアスペクト比の高い開口部を埋め込む。このときCVD法によりWを埋め込まないのは、強誘電体キャパシタへの水素によるダメージを無くすためである。Alリフローを用いれば水素が発生せず、強誘電体キャパシタへのダメージを避けることができる。

【0201】

続いて、上記のTi, TiN, Al層をRIEにより加工し、第2配線層を形成する。その後、シリコン酸化膜39をCVD法により堆積し、図16に示す半導体構造が完成する。

【0202】

図17は、本発明の第6の実施形態に係わる半導体装置の断面図である。本実施形態は、FRAMセルアレイとロジック回路等が混載された半導体装置に好適なさらに他の構造およびその製造方法を提供する。基本的には第4の実施形態と類似しており、図15と同一箇所には同一番号を付し、重複する説明は省略する。

【0203】

シリコン酸化膜122を形成する工程までは、第5の実施形態と同様に行われる。続いて全面に強誘電体キャパシタを構成するPt層17、PZT層18、Pt層19を順次スパッタにより堆積する。これらの層は酸素中で熱処理され、PZT層が結晶化され、ペロブスカイト構造となる。その後これらの層は、キャパシタの形状にRIEにより加工される。

【0204】

次に、全面にシリコン酸化膜13をプラズマCVD法により堆積し、コンタクトプラグ33、34、35の上部に開口部を形成する。その後全面にバリア層111となるTi, TiN、配線層22、36、37となるAlを順次スパッタで堆積し、約400の熱処理でAlをリフローし、上記の開口部を埋め込む。その後バリアとなるWメタル層11'を

10

20

30

40

50

CVD法を用いて堆積する。これらのTi, TiN, Al、W層をRIEにより加工し、コンタクトプラグ33、34、35等とのビアコンタクトを含む第1配線層を形成する。本実施形態の特徴は、シリコン酸化膜層13に形成された開口部（ビアホール）が、リフローされたAlで埋め込まれるところにある。なおここでは、第2の実施の形態と同様に、TiNメタルやTiメタルをメタル層11'に用いることもできる。

【0205】

次に、全面にシリコン酸化膜層30をプラズマCVD法で堆積する。トランジスタのドレイン領域Dの直上のシリコン酸化膜層30に開口部を形成し、対応する第1配線層36、37上のWメタル層11'を露出する。続いて第5の実施形態と同様に、バリア層111となるTi, TiN、配線38となるAlを順次スパッタにより堆積する。この後、約400の熱処理によりAlをリフローし、シリコン酸化膜30に形成されたアスペクト比の高い開口部（ビアホール）を埋め込む。なお、第1配線層の上部に形成されたWメタル層11'は、第2配線層のAlをリフローする際に、第1配線層のAlの溶解を防ぐ働きをする。

10

【0206】

続いて、上記のTi, TiN, Al層をRIEにより加工し、第2配線層を形成する。その後、シリコン酸化膜39をCVD法により堆積し、図17に示す半導体構造が完成する。

【0207】

図18は、本発明の第7の実施形態に係わる半導体装置の断面図である。本実施形態は、FRAMセルアレイとロジック回路等が混載された半導体装置に好適なさらに他の構造およびその製造方法を提供する。本実施形態の構造は、基本的には第3の実施形態と類似しており、図14と同一箇所には同一番号を付し、重複する説明は省略する。

20

【0208】

本実施例の前半のプロセスは、第2の実施形態で説明した図11とほぼ同じである。すなわち、半導体基板1上にはメモリセルのスイッチ用トランジスタ31とメモリセル以外の混載デバイス用他のトランジスタ32、およびSTIによる素子分離酸化膜2が形成されている。

【0209】

これらのトランジスタを覆うように、シリコン酸化膜層10を堆積し、CMP法を用いて表面を平坦化する。その上に、 Si_xN_y 膜121をLPCVD法で、例えば150nm堆積する（図18）。この Si_xN_y 膜121は、強誘電体キャパシタ形成の際の酸素アニールによるトランジスタへのダメージ（閾値変動）を軽減する。

30

【0210】

次に、全面にシリコン酸化膜層（ SiO_2 ）122を100nm堆積する。その上に強誘電体キャパシタを構成するPt層17、PZT層18、Pt層19を順次スパッタにより堆積する。これらの層は酸素中で熱処理され、PZT層が結晶化され、ペロプスカイト構造となる。その後これらの層は、キャパシタの形状にRIEにより加工される。

【0211】

次に、全面にシリコン酸化膜13をプラズマCVD法により堆積し、上記トランジスタのソース領域S、ドレイン領域DへのコンタクトホールをRIEにより形成する。バリア層11としてのTi, TiN、配線22、36、37としてのAlを順にスパッタにより堆積し、約400の加熱処理によりAlをリフローし、上記のコンタクトホールを埋め込む。続いてCVD法によりバリア層としてのWメタル層11'を堆積する。これらのTi, TiN, Al、W層をRIEにより加工し、トランジスタのソース領域S、ドレイン領域Dとのコンタクトを含む第1配線層を形成する。本実施形態の特徴は、絶縁層10、121、122、13を通じて形成された開口部（コンタクトホール）が、リフローされたAlで埋め込まれるところにある。

40

【0212】

次に、全面にシリコン酸化膜層30をプラズマCVD法で堆積し、CMPで平坦化する。

50

トランジスタのドレイン領域Dの直上のシリコン酸化膜層30に開口部を形成し、対応する第1配線層36、37上のWメタル層11'を露出する。続いて第5の実施形態と同様に、バリア層112となるTi, TiN、配線38となるAlを順次スパッタにより堆積する。この後、約400の熱処理によりAlをリフローし、シリコン酸化膜30に形成されたアスペクト比の高い開口部を埋め込む。なお、第1配線層の上部に形成されたWメタル層11'は、第2配線層のAlをリフローする際に、第1配線層のAlの溶解を防ぐ働きをするもので、W以外にも第6の実施の形態と同様にTiNやTiを用いることができる。

【0213】

続いて、上記のTi, TiN, Al層をRIEにより加工し、第2配線層を形成する。その後、シリコン酸化膜39をCVD法により堆積し、図18に示す半導体構造が完成する。

10

【0214】

次に、本発明の半導体装置の製造方法の第8の実施の形態として、例えば図19に示すようなFRAMセルの電荷蓄積用キャパシタの強誘電体膜および電極膜あるいは例えば図21に示すようなDRAMセルの電荷蓄積用キャパシタの高誘電率誘電体膜および電極膜の高密度化、高信頼性化を実現するための工程について複数の実施例を説明する。

【0215】

即ち、一对の電極間に少なくとも2種以上の金属元素を含有する複合酸化物膜からなる誘電体膜を用いたキャパシタを形成し、前記キャパシタ上にさらに絶縁性酸化膜と配線層を積層してなる半導体装置を製造する際、

20

(a) 前記キャパシタの形成工程は、第1の電極を形成する工程と、誘電体膜を形成する工程と、0.5 Torr (= 0.5 × 133.322 Pa) 以上500 Torr以下の減圧下でRTA処理(Rapid Thermal Anneal; 急熱処理)を行なう工程と、この後、第2の電極を形成する工程とを具備する。

【0216】

(b) 前記キャパシタの形成工程は、第1の電極を形成する工程と、誘電体膜を形成する工程と、第2の電極を形成する工程と、この後、0.5 Torr以上500 Torr以下の減圧下でRTA処理を行なう工程とを具備する。

【0217】

(c) 前記キャパシタの形成工程は、第1の電極を形成する工程と、0.5 Torr以上500 Torr以下の減圧下でRTA処理を行なう工程と、誘電体膜を形成する工程と、この後に、第2の電極を形成する工程とを具備する。

30

【0218】

(d) 前記(a)乃至(c)のいずれかの工程において、第1の電極上に、少なくとも2種以上の金属元素を含有する複合酸化物膜を、スパッタ法、CVD (Chemical Vapor Deposition; 化学気相成長)法、あるいはLSMCD (Liquid Source Misted Chemical Deposition)法により形成する。

【0219】

(e) 前記(a)乃至(c)のいずれかの工程において、減圧下のRTA処理を、0.5 Torr以上500 Torr以下の酸素分圧下で行う。

40

【0220】

(f) 前記(a)乃至(c)のいずれかの工程において、減圧下のRTA処理を、0.5 Torr以上500 Torr以下のオゾン分圧下で行う。

【0221】

(g) 前記(a)乃至(c)のいずれかの工程において、オゾン分圧比1%以上の雰囲気中でRTA処理を行なう。

【0222】

ここで、前記RTA処理とは、昇温速度10 /秒以上の熱処理をいう。この熱処理速度は膜の結晶性を著しく高める。特に、PZT等の鉛系誘電体膜では、低誘電率のパイロク

50

ロア相生成を避けることができ、結晶化に有利な方法である。但し、R T Aによる熱処理は、その昇温速度が早いので、取り込みガスの揮発が不十分なまま結晶化が進んでしまうという難点をもつ。

【0223】

上記第8の実施の形態に係る誘電体膜の形成方法では、R T A処理を0.5 Torr以上500 Torr以下の減圧下で行なうので、短時間の結晶化過程でも、デポジション膜中に取り込まれた残留ガスを排除しながら結晶化を進めることができ、結晶性の良い誘電体膜をしかも高密度に形成することができる。誘電体膜の結晶化時には、同時に電極膜の結晶化も進むが、電極膜中の取り込みガスもこの熱処理によって排除することができ、電極膜の抵抗値を下げるることができる。

10

【0224】

R T A処理は結晶化を進めるが、その際、酸素の供給が不足すると誘電体膜が半導体化するおそれがある。特に、P Z T等のP b系誘電体膜やチタン酸バリウム膜等は容易に半導体化し、膜抵抗が著しく低下する。

【0225】

このような場合の熱処理としては、減圧下のアニールを0.5 Torr以上500 Torr以下の酸素分圧下で行うことが望ましい。また、 IrO_2 や RuO_2 、ITO、 SnO_2 等の導電性酸化物膜は、酸素の供給が不十分であると、その後のプロセスでの膜抵抗変化が激しく、特性が不安定になってしまうので、上記したような範囲の酸素分圧化でのアニールが有効である。

20

【0226】

さらに、減圧下のアニールを0.5 Torr以上500 Torr以下のオゾン分圧下で行うと、膜のリーク電流を低減することができ、これは特にD R A M等リフレッシュ動作の必要なメモリにおけるキャパシタ形成には重要であり、消費電力を節約することができる。

【0227】

これらの減圧下でのR T A処理は、特に、第1の電極上に少なくとも2種以上の金属元素を含有する複合酸化物膜からなる誘電体膜を形成する工程に、スパッタ法、C V D法、あるいはL S M C D法を採用した場合に特に有効である。これらの成膜方法で成膜した場合には取り込みガスの影響が避けられないからである。

【0228】

一方、本発明の第8の実施の形態に係る誘電体膜の形成方法にゾル・ゲル法やM O D法を適用することも可能であるが、これらの成膜方法およびL S M C D法では、有機基の揮発量が多いため、最初から減圧下で熱処理すると、膜の表面が粗になってしまうおそれがある。従って、これらの場合には、予め、大気圧下で350 以上の温度の熱処理を施してから後に前記したような減圧下でのR T A処理を実施することが望ましい。

30

【0229】

次に、オゾンアニールの方法と効果について説明する。オゾン発生器を用いて生成したオゾン・酸素混合ガスを100~400 に加熱した熱処理部に導入する。例えば、ウエハ背面を300 に加熱しながらオゾン・酸素混合ガスを導入し、この熱処理部に100 m W / c m² の低圧水銀光を30~200分照射する。水銀光は波長が320 nm以下が

40

【0230】

この場合、オゾン分圧比1%以上の混合ガス雰囲気中で熱処理を行なうと、成膜時に内在する酸素空孔が減少し、リーク電流の低減化を図ることができる。さらに、この後に600 以上の酸素中の熱処理を加えると、ウエハ面内のばらつきも低減することができ、さらに有効である。

【0231】

(実施例1)

図19は、本発明の第8の実施の形態に係る製造方法により形成されたキャパシタを有したF R A Mセルの断面構造を示している。

50

【0232】

図19のFRAMセルの製造に際しては、半導体基板1にLOCOSにより素子間分離絶縁膜2を形成し、その後ソースS・ドレインD領域用の拡散層、ゲート絶縁膜3、ゲート電極部Gを形成することにより、MOSトランジスタ70を形成する。この後、CVD法を用いて、SiO₂から成る層間絶縁膜71を堆積する。

【0233】

次に、メモリセルの情報記憶用キャパシタ72を形成する。まず、前記層間絶縁膜71の上に、2.5mTorrのAr中で連続DCスパッタによりTi/Ptから成る下部電極膜を成膜する。

【0234】

次いで、厚さ180nmあるいは210nmあるいは240nmのPZT膜を、2.5mTorrのAr中のRF(高周波)スパッタにより形成する。この後、最初のRTA処理を昇温速度100/秒、10Torrの酸素中で800で10秒間行ない、その後、PZT膜上に上部電極膜としてのPt膜をDCスパッタで形成した後、拡散炉を用いて600で二度目のアニールをゆっくり行なう。

【0235】

次に、積層された下部電極膜、PZT膜および上部電極膜をRIEによりエッチングし、所望の形状にパターニングすることにより、下部電極17、誘電体膜18および上部電極19で構成されるキャパシタ72を形成する。ここで、エッチングダメージを除去するために、拡散炉を用いて600で三度目のアニールをゆっくり行なった。

【0236】

次に、前記キャパシタ72を被覆するように絶縁膜73をCVD法により堆積させ、RIEにより、MOSトランジスタ70のソースS・ドレインD用拡散層の一方およびキャパシタ72の上部電極19および下部電極17を露出させるコンタクトホールをエッチング形成した後、拡散炉を用いて600で四度目のアニールをゆっくり行なった。

【0237】

次に、MOSトランジスタ70のソースS・ドレインD用拡散層の一方と上部電極19とを接続するための内部配線74aと、下部電極17からの引き出し電極となる内部配線74bを形成し、素子全体にパッシベーション膜75を堆積する。その後、RIEにより、パッシベーション膜75にコンタクトホールを形成し、バリア層76を介してアルミニウム配線77を形成する。MOSトランジスタ70のゲート電極部Gはワード線として、内部配線74b、バリア層76、アルミニウム配線77はプレート線として使用される。

【0238】

ここで、前記した4回のアニールのうち、1回目は誘電体膜結晶化のための熱処理であり、2回目は強誘電体膜18と上部電極19との界面状態を下部電極17と強誘電体膜18のそれと同様にするための熱処理であり、3回目と4回目はプロセスダメージ回復のためのものである。

【0239】

以上の実施例を実施例1とし、厚さ180、210、240nmの3種類のPZT膜に対応する実施例をそれぞれ実施例1-1、1-2、1-3とする。

【0240】

次の各工程を変えた実施例を実施例2~6とし、誘電体膜厚を変えたものを薄いものからそれぞれ実施例n-1、n-2、n-3とする。また、比較例も同様に形成した。

【0241】

(実施例2)

実施例1の情報記憶用キャパシタ72の形成を次のように行なって実施例2の半導体装置を形成した。まず、前記層間絶縁膜71の上に、2.5mTorrのAr中で連続DCスパッタによりTi/Ptから成る下部電極膜を成膜する。次いで、PZT膜を基板温度500、Ar/O₂雰囲気中のRFスパッタで形成する。PZT膜上にPt膜をDCスパッタで形成した後、最初のRTAアニールを昇温速度100/秒、10Torrの酸素中

10

20

30

40

50

で800 で10秒間行なった。

【0242】

(実施例3)

実施例1の情報記憶用キャパシタ72の形成を次のように行なって実施例3の半導体装置を形成した。まず、前記層間絶縁膜71の上に、2.5mTorrのAr中で連続DCスパッタによりTi/Ptから成る下部電極膜を成膜する。最初のRTAアニールを昇温速度100 /秒、10Torrの酸素中で800 で10秒間行ない、次いで、PZT膜を基板温度500 、2.5mTorrのAr中のRFスパッタで形成する。その後、PZT膜上にPt膜をDCスパッタで形成した後、二度目のアニールを今度は拡散炉を用いて600 でゆっくり行なう。

10

【0243】

(実施例4)

実施例1の情報記憶用キャパシタ72の形成を次のように行なって実施例4の半導体装置を形成した。まず、前記層間絶縁膜71の上に、Irレジネートを回転塗布し、760Torrの大気中で800 で熱処理し、IrO₂ の下部電極膜を形成する。次いで、SBT膜を有機金属化合物混合原料を霧状にして回転基板上に堆積するLSMCD法を用いて成膜する。続いて、予め760Torrの大気中で450 の熱処理を施した後、RTAアニールを昇温速度50 /秒、500Torrの酸素中で800 で10秒間行なった。その後、再び、SBT膜上にIrレジネートを回転塗布し、760Torrの大気中で800 で熱処理し、IrO₂ の上部電極膜を形成する。

20

【0244】

(実施例5)

実施例4の情報記憶用キャパシタ72の形成を次のように行なって実施例5の半導体装置を形成した。まず初めに、前記層間絶縁膜71の上に、Irレジネートを回転塗布し、760Torrの大気中で800 で熱処理し、IrO₂ の下部電極膜を形成する。次いで、SBT膜を有機金属化合物混合原料を霧状にして回転基板上に堆積するLSMCD法を用いて成膜する。続いて、予め760Torrの大気中で450 の熱処理を施した後、RTAアニールを昇温速度80 /秒、5Torrのオゾン10%・酸素90%の混合雰囲気中で800 で10秒間行なった。その後、再び、SBT膜上にIrレジネートを回転塗布し、760Torrの大気中で800 で熱処理し、IrO₂ の上部電極膜を形成する。

30

【0245】

(実施例6)

実施例1の情報記憶用キャパシタ72の形成を次のように行なって実施例6の半導体装置を形成した。まず、前記層間絶縁膜71の上に、2.5mTorrのAr中で連続DCスパッタによりTi/Ptから成る下部電極膜を成膜する。次いで、PZT膜を2.5mTorrのAr中のRFスパッタで形成する。最初のRTAアニールを昇温速度100 /秒、10Torrの酸素中で800 で10秒間行ない、その後、PZT膜上にPt膜をDCスパッタで形成した後、二度目のアニールを今度は拡散炉を用いてオゾン10%・酸素90%の混合雰囲気下、550 でゆっくり行なう。

【0246】

40

(比較例1)

実施例1の情報記憶用キャパシタの形成を次のように行なって比較例1の半導体装置を形成した。まず、前記層間絶縁膜の上に、2.5mTorrのAr中で連続DCスパッタによりTi/Ptから成る下部電極膜を成膜する。次いで、PZT膜を2.5mTorrのAr中のRFスパッタで形成する。最初のRTAアニールを昇温速度100 /秒、760Torrの酸素中で800 で10秒間行ない、その後、PZT膜上にPt膜をDCスパッタで形成した後、二度目のアニールを今度は拡散炉を用いて600 でゆっくり行なう。

【0247】

(比較例2)

実施例4の情報記憶用キャパシタの形成を次のように行なって比較例2の半導体装置を形

50

成した。まず、前記層間絶縁膜の上に、I r レジネートを回転塗布し、760 Torrの大気中で800 で熱処理し、I r O₂ の下部電極膜を形成する。次いで、厚さ180 nmのP Z T膜を、有機金属化合物混合原料を霧状にして回転基板上に堆積するL S M C D法を用いて成膜する。続いて、予め760 Torrの大気中で450 の熱処理を施した後、R T Aアニールを昇温速度50 /秒、760 Torrの酸素中で800 で10秒間行なった。その後、再び、P Z T膜上にI r レジネートを回転塗布し、760 Torrの大気中で800 で熱処理し、I r O₂ の上部電極膜を形成する。

【0248】

(実施例および比較例の評価)

図20は、前記各実施例1~6および比較例1、2におけるキャパシタの容量を測定し、膜厚(誘電体厚み)tとキャパシタンスCの逆数(1/C)の関係をグラフ化して示している。

10

【0249】

キャパシタンスC、誘電体の誘電率、誘電体厚みtの間には、以下の関係が成り立つ。

【0250】

$$C = \epsilon_0 \times \epsilon_r \times S / t$$

但し、 ϵ_0 は真空の誘電率、Sは電極面積である。これを書き換えると、

$$1 / C = k \times (1 / \epsilon_r) \times t$$

但し、 $k = 1 / (\epsilon_0 \times S)$ の定数である。実際のグラフでは、

$$1 / C = k \times (1 / \epsilon_r) \times t + n$$

の直線になっており、 $n = 1 / C'$ とすると、 C' 分のキャパシタが直列に接続されている回路が予想される。

20

【0251】

本発明の第8の実施の形態に係る実施例では、前記 C' に相当するキャパシタ成分が小さく、このことから、電極との界面に余分な低誘電率層が存在せず、薄膜化に対応できる誘電体膜が形成されていることが分かる。

【0252】

一方、比較例では、 C' に相当するキャパシタ成分が大きく、これでは十分なキャパシタンスが得られず、薄膜化にも対応できない。素子を低電圧で駆動するためには、誘電体を充分飽和させた領域で用いること、即ち、薄膜化して充分大きな電界をかけることが必要であるが、界面低誘電率層の C' が存在すると、薄膜化に対応することができない。

30

【0253】

実施例1~6と比較例1、2の誘電体部分の断面を透過電子顕微鏡で調べたところ、比較例の誘電体と電極界面に膜厚1/10から1/5に相当する大きな空隙が数多くみられたが、実施例では僅かであり、この空隙が膜の一部を低密度化し、低誘電率層の原因になっていることが分かった。

【0254】

その他、各素子の動作速度特性、疲労特性等を調べた。最も動作速度を早くできたのは実施例3であり、特に書き込み時間に関して140 nsまで短縮しても不良ビットが生じなかった。他の実施例では150 ns以上としないと信頼性試験で不良ビットが生じた。また、実施例4と5では書き換え回数が 10^{12} 回以上を達成することができたが、他の実施例では 10^{10} 回から不良ビットが現れた。 10^7 回疲労試験後に長時間放置してインプリント特性を調べた際に不良ビットを生じなかったのは、実施例5と6であった。

40

【0255】

(その他の実施例)

図21に示すトレンチ型のD R A Mセルの形成工程において、半導体基板80に素子分離領域81、メモリセルのトランスマグネート用のM O SトランジスタのソースS・ドレインD領域、メモリセルのトレンチ構造のキャパシタ82を形成する。上記キャパシタ82の形成に際して、下部電極83のR uをD Cスパッタで形成後、B S T膜84を有機金属化合物を原料ソースとし、A rのキャリアガスを用いるC V D法により、基板温度450

50

にて100nmの堆積膜として得た。この後、N₂分圧が450Torr中、600でRTAアニールを行ない、さらに上部電極85のRuをDCスパッタで形成し、3次元の積層構造を得た。さらにその後、SiO₂絶縁膜86の形成とワード線WL、ビット線BLの形成を行ない、DRAM構造を形成した。この場合、誘電率250の緻密なBST誘電体膜を得た。

【0256】

次に、前記したようなFRAMをRF-IDシステムに応用した例を示す。

【0257】

RF-IDシステムとは、電波を用いた非接触型タグ・システム(識別器)のことで、一般的には非接触データ・キャリア・システム等とも呼ばれており、RF-IDシステムの全体

10

【0258】

RF-IDシステムは、パソコン、コントローラ、アンテナ等で構成されるホスト側と、トランスポンダと呼ばれるデータ・キャリアで構成される。トランスポンダは、FRAMとASICが1チップ化されたモノリシックRF-IDチップおよび電力受信、データ受信/送信を兼ねるアンテナを内蔵するシンプルな構成である。

【0259】

ホスト側からは必要に応じてコマンドおよびデータを搬送波に乗せて送信するが、トランスポンダ側ではその搬送波により必要な電力を発生させ、データの書き込みおよび読み出しと送信に利用してホスト側に情報を返す。

20

【0260】

非接触型タグは、電池が不要であり、FRAMの記憶内容を電波を使って非接触で読み取り、その内容を書き換えることにより、人の入退出などの管理に活用することが可能である。例えば服のポケットに定期券用の非接触型タグを入れたまま改札したり、非接触型タグを自動車につけて走り、高速道路の料金所でいちいち精算するために止まらなくて済むようにするとか、人との介在なしに駐車場の出入りを監視・管理するなどの用途を狙っている。また、家畜や回遊魚の行動を管理するために使用することが可能である。

【0261】

図28は、トランスポンダの内部回路の詳細を示す。

【0262】

即ち、外部から入力される電磁波を検知するLC回路と、LC回路が検出した電磁波から信号を生成する回路58と、LC回路が検出した電磁波から電源電圧を発生させる回路59と、電源電圧の立ち上がりを検出してパワーオン信号を出力するパワーオン回路60と、強誘電体物質を電極間に有する強誘電体キャパシタと電荷転送用のMOSトランジスタとからなるメモリセルを複数個行列状に配置し、例えば同一行に属するメモリセルのMOSトランジスタを同一のワード線でそれぞれ共通接続し、同一行に属するメモリセルの強誘電体キャパシタの一方の電極を同一のキャパシタプレート線でそれぞれ共通接続し、同一列に属するメモリセルのMOSトランジスタの一方の端子を同一のビット線でそれぞれ共通接続して構成したFRAMセルアレイ61等から構成される。

30

【0263】

なお、本発明は上記したようなFRAMに限らず、FPGA(Field Programmable Gate Array)やスタティック型RAMを搭載した論理LSIなどにおいて、ロジックのプログラム記憶部に少量ではあるが使用される強誘電体メモリセルの形成方法に適用することも可能である。

40

【0264】

また、本発明は上記したような半導体基板上に強誘電体メモリセルを形成する場合に限らず、SOIなどのように絶縁基板上の半導体層上に強誘電体メモリセルを形成する場合にも適用することが可能である。

【0265】

さらに、電荷転送用のスイッチングトランジスタとしては、ゲート絶縁膜が酸化物からな

50

るM O Sトランジスタに限定されず、ゲート絶縁膜が窒化物や窒酸化物、あるいは酸化物と窒化物との積層構造などからなるM I Sトランジスタを形成することもできる。

【0266】

【発明の効果】

上述したように本発明の半導体装置の製造方法によれば、強誘電体メモリセルを形成する際、パストランジスタの一端側領域上にコンタクトプラグ層を埋め込んだ後に強誘電体キャパシタを形成し、キャパシタ上部電極とコンタクトプラグの上端部とを電極配線で接続するので、強誘電体キャパシタ形成後における還元性雰囲気中での処理の影響を回避し、かつ、強誘電体キャパシタを容易に形成することができる。

【0267】

また、本発明の半導体装置の製造方法によれば、キャパシタ上部電極（Pt等）の微細加工ひいては強誘電体メモリセルのパターンの微細化を実現できる。

【0268】

従って、本発明の半導体装置の製造方法により製造された半導体装置によれば、キャパシタ上部電極とコンタクトプラグの上端部とを接続するための電極配線の信頼性が高く、強誘電体キャパシタの微細化が可能な構造を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る強誘電体メモリセルを採用した大容量のF R A Mについてセルアレイの製造工程におけるセルアレイの一部の平面パターンの一例を概略的に示す図。

【図2】図1の工程につづく工程における平面パターンの一部を示す図。

【図3】図2の工程につづく工程における平面パターンの一部を示す図。

【図4】図1乃至図3に示したセルの製造工程の一例における断面の一部を示す図。

【図5】図5の工程につづく工程における断面の一部を示す図。

【図6】図5の工程につづく工程における断面の一部を示す図。

【図7】図6の工程につづく工程における断面の一部を示す図。

【図8】図7の工程中の一部を取り出して断面の一部を詳細に示す断面図。

【図9】図4乃至図8に示したセルの変形例の製造方法について断面の一部を示す図。

【図10】図4乃至図8に示したセルの変形例の製造方法について断面の一部を示す図。

【図11】本発明の第2の実施の形態に係るF R A Mセルを採用した大容量のF R A Mについてセルアレイの製造工程の一例における断面の一部を示す図。

【図12】図11の工程につづく工程における断面の一部を示す図。

【図13】図11および図12に示したF R A Mセルを含むF R A Mの平面パターンの一部を示す図。

【図14】本発明の半導体装置の製造方法の第3の実施の形態に係るF R A Mセルの構造を示す断面図。

【図15】本発明の半導体装置の製造方法の第4の実施の形態に係るF R A Mセルの構造を示す断面図。

【図16】本発明の半導体装置の製造方法の第5の実施の形態に係るF R A Mセルの構造を示す断面図。

【図17】本発明の半導体装置の製造方法の第6の実施の形態に係るF R A Mセルの構造を示す断面図。

【図18】本発明の半導体装置の製造方法の第7の実施の形態に係るF R A Mセルの構造を示す断面図。

【図19】本発明の半導体装置の製造方法の第8の実施の形態に係るF R A Mセルの構造を示す断面図。

【図20】第8の実施の形態に係る実施例および比較例のキャパシタ特性を表すグラフ。

【図21】本発明の半導体装置の製造方法の第8の実施の形態に係るD R A Mセルの構造を示す断面図。

【図22】1トランジスタ・1キャパシタ構成の強誘電体メモリセルの等価回路を示す回

10

20

30

40

50

路図。

【図 2 3】図 2 2 の強誘電体メモリセルのレイアウトおよびその周辺回路の一部の等価回路を示す回路図。

【図 2 4】図 2 2 のメモリセルを 2 個用いた 2 トランジスタ・2 キャパシタ型の強誘電体メモリセルの書き込み動作の原理を説明するために強誘電体キャパシタの印加電界および電気分極の状態を示す図。

【図 2 5】図 2 2 のメモリセルを 2 個用いた 2 トランジスタ・2 キャパシタ型の強誘電体メモリセルの読み出し動作の原理を説明するために強誘電体キャパシタの印加電界および電気分極の状態を示す図。

【図 2 6】図 2 4 に示した書き込み動作および図 2 5 に示した読み出し動作に際してプレート線 P L に印加される電圧波形の一例を示す波形図。 10

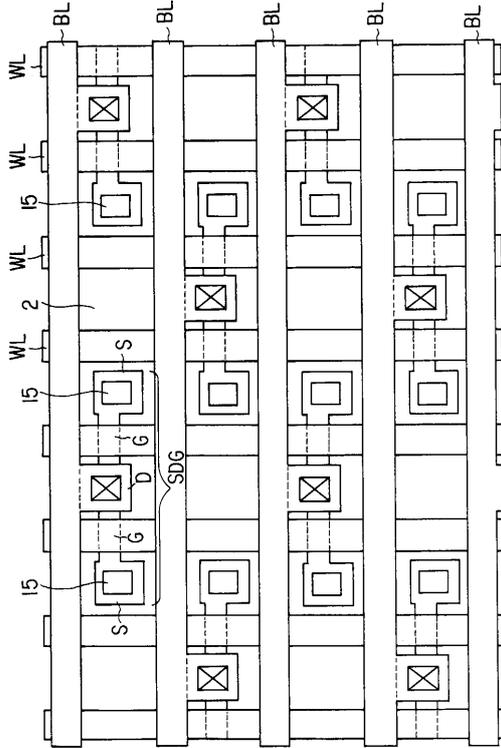
【図 2 7】R F - I D システムの全体のシステム構成を示す図。

【図 2 8】トランスポンダの内部回路の詳細を示す図。

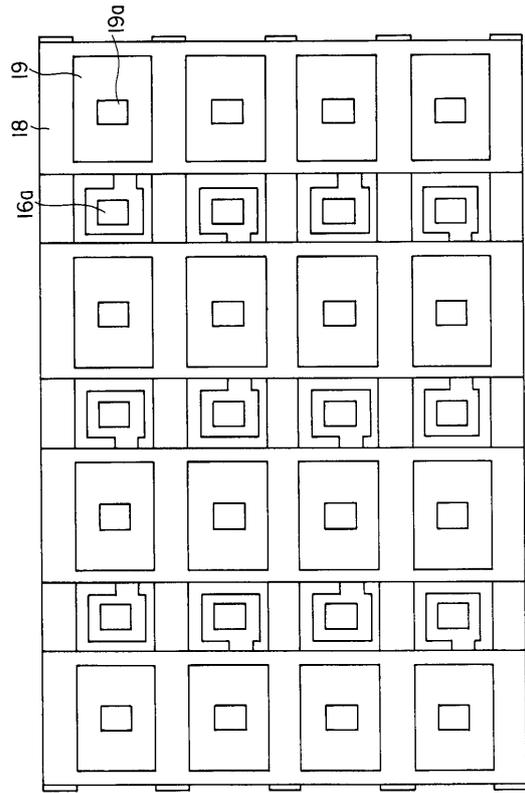
【符号の説明】

- 1 ... 半導体基板、
- 2 ... 素子間分離酸化膜、
- 3 ... ゲート酸化膜、
- 4 ... P ドープ・ポリシリコン、
- 5 ... W S i、
- 6、7 ... ゲート電極保護用の絶縁膜、 20
- 9、10 ... 絶縁膜、
- 11 ... バリアメタル膜、
- 13 ... 平坦化用の絶縁膜、
- 14 ... バリアメタル膜、
- 15 ... キャパシタコンタクトプラグ、
- 16 ... キャップ用の絶縁膜、
- 17 ... 下部電極、
- 18 ... 強誘電体薄膜、
- 19 ... 上部電極、
- 16 a、19 a ... 電極配線接続用の開口部、 30
- 20 a ... 上部電極埋め込み用の絶縁膜、
- 20 ... キャパシタ保護用の絶縁膜、
- 21 ... バリアメタル膜、
- 22 ... 電極配線、
- 23 ... パッシベーション膜、
- S D G ... 活性領域、
- D ... 不純物拡散層（ドレイン領域）、
- G ... ゲート電極部、
- S ... 不純物拡散層（ソース領域）、
- B L ... ビット線、 40
- W L ... ワード線、
- P L ... プレート線

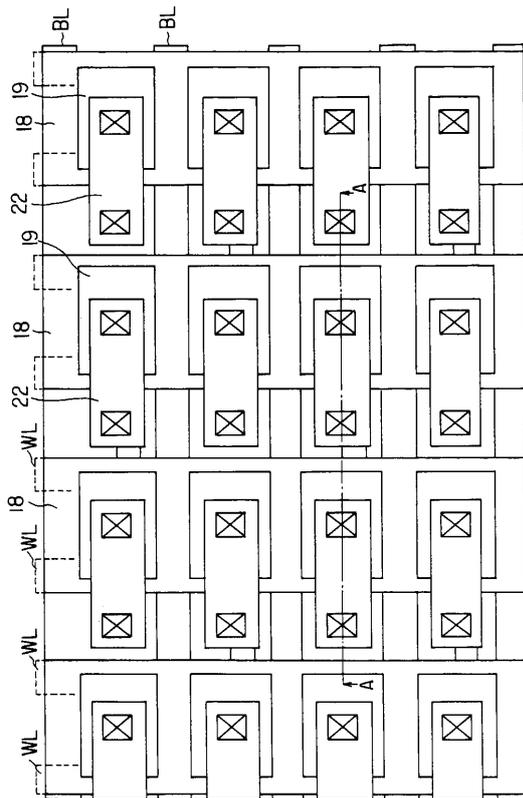
【 図 1 】



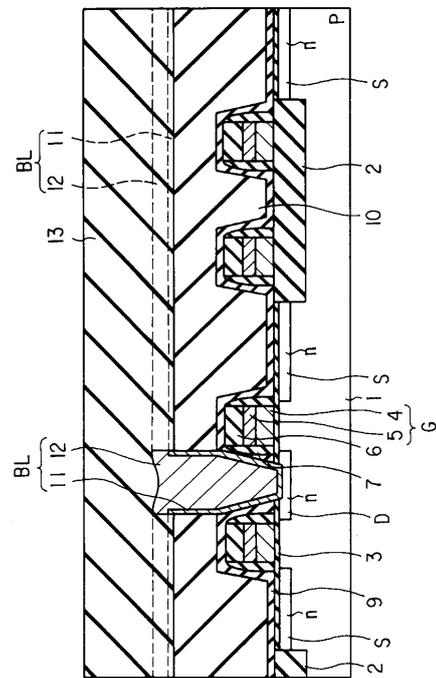
【 図 2 】



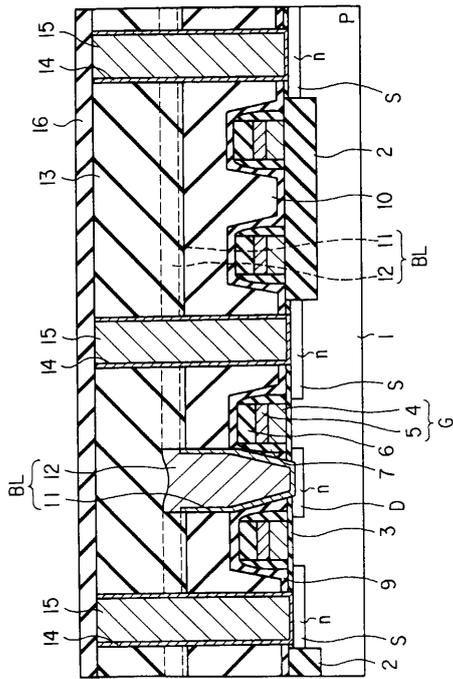
【 図 3 】



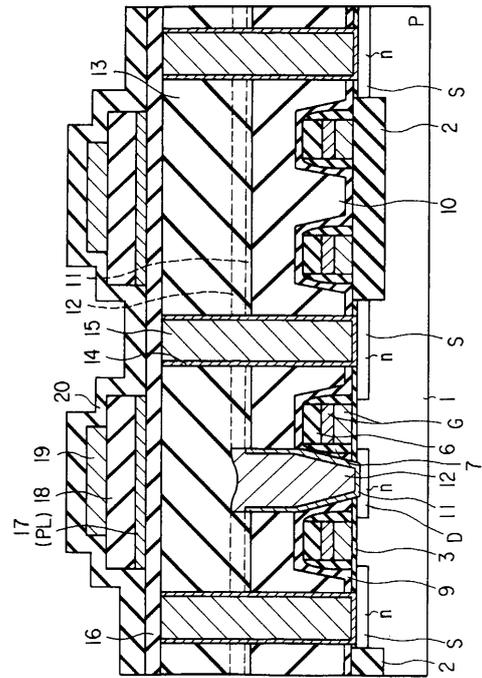
【 図 4 】



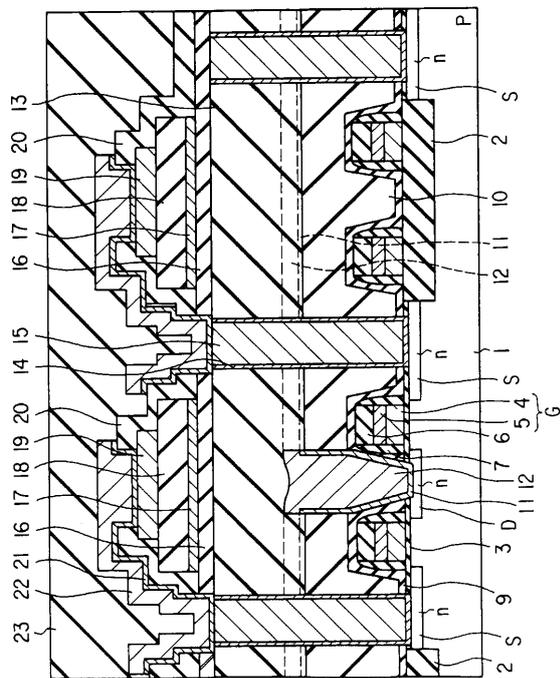
【 図 5 】



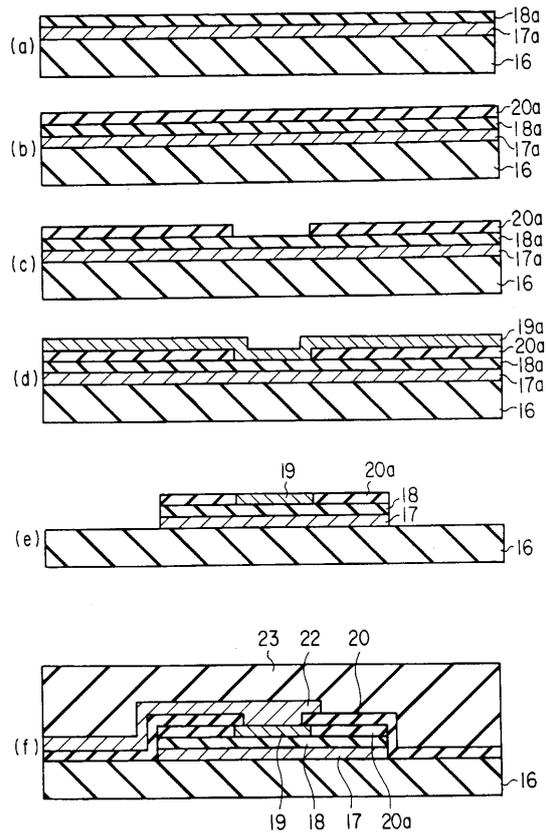
【 図 6 】



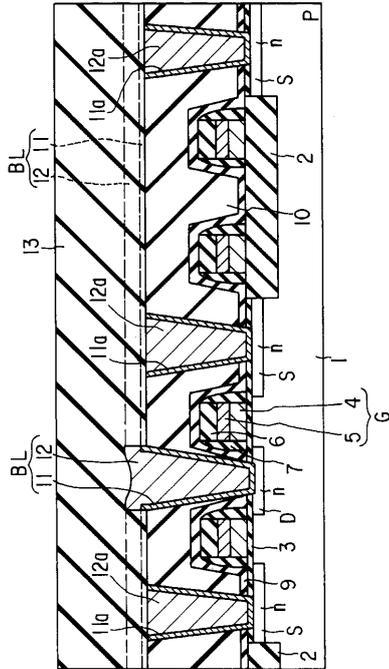
【 図 7 】



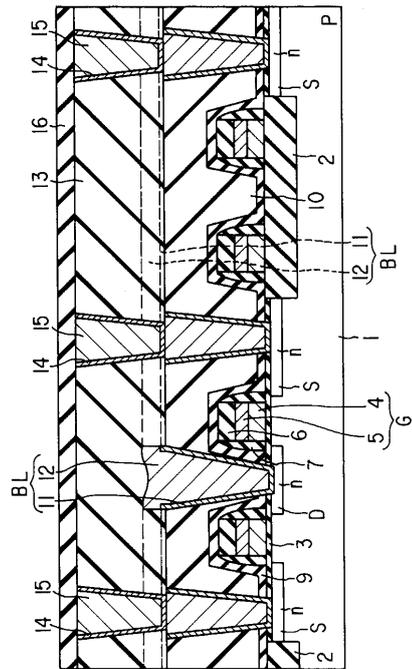
【 図 8 】



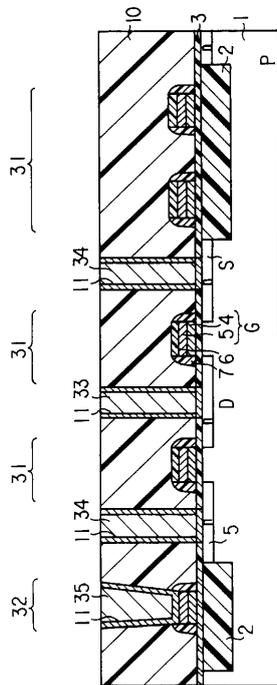
【 図 9 】



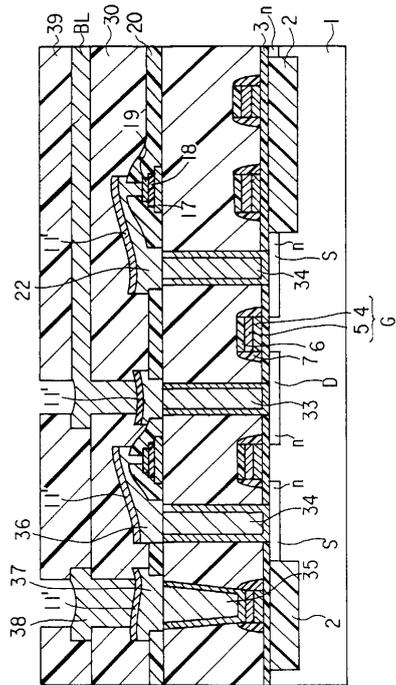
【 図 10 】



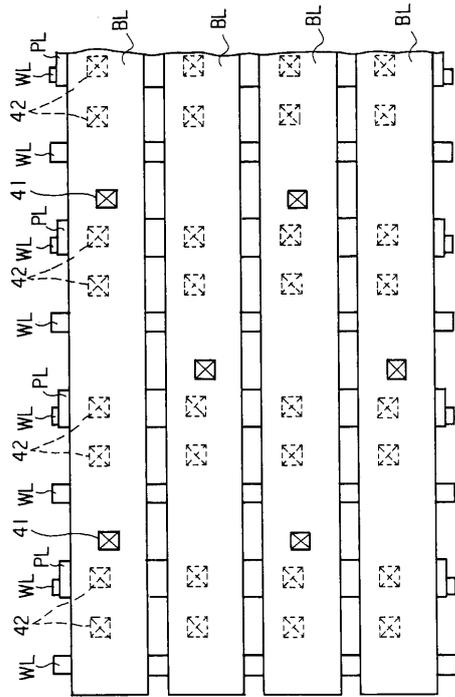
【 図 11 】



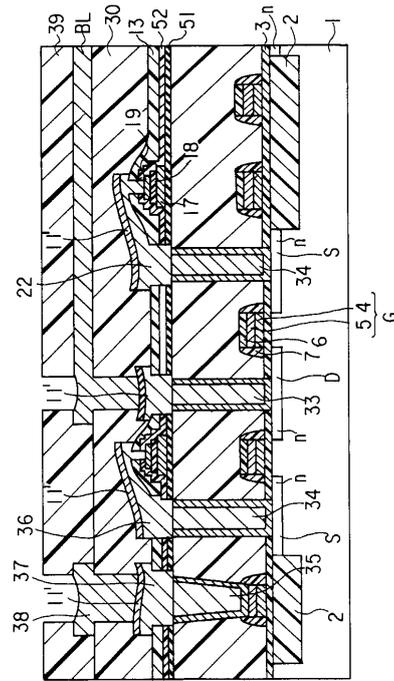
【 図 12 】



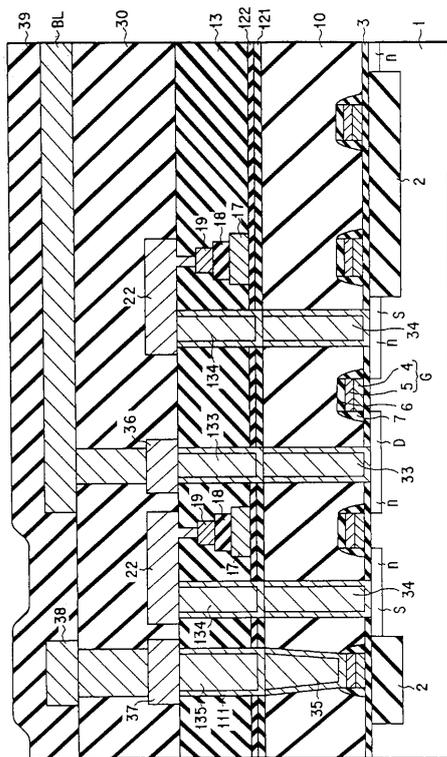
【 図 1 3 】



【 図 1 4 】

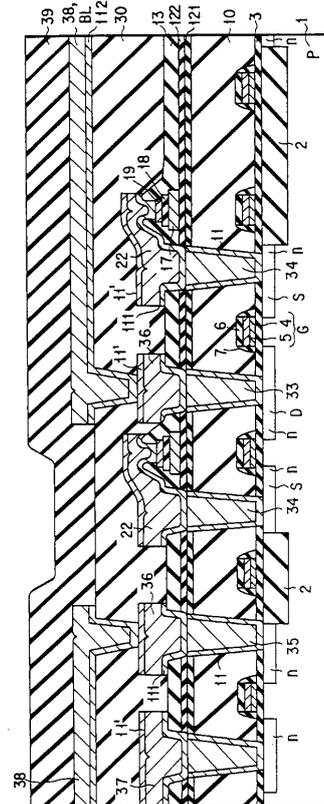


【 図 1 5 】

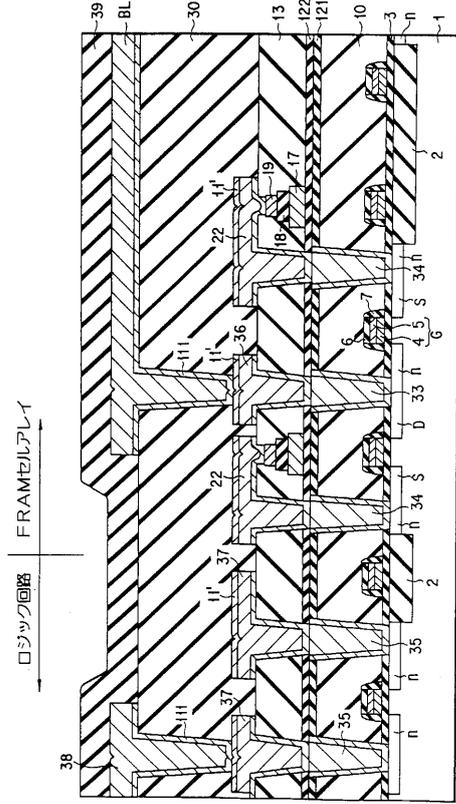


【 図 1 6 】

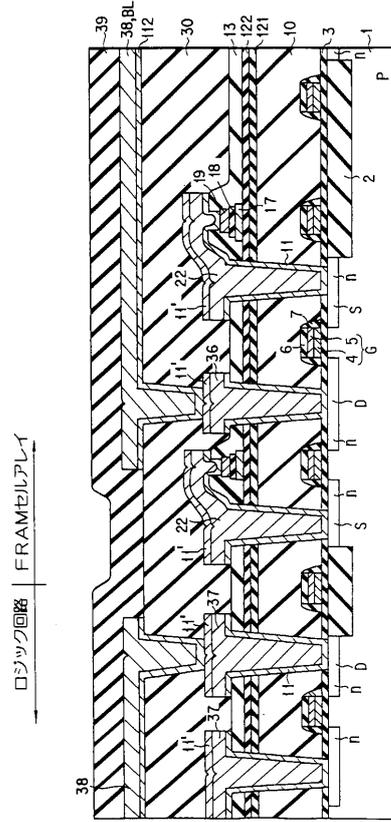
ロジック回路 FRAMTELプレート



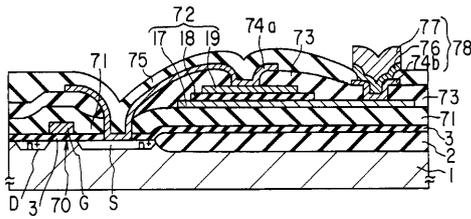
【図17】



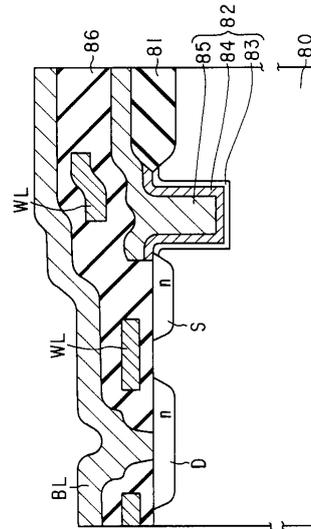
【図18】



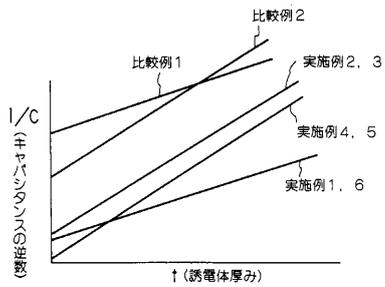
【図19】



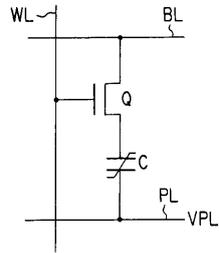
【図21】



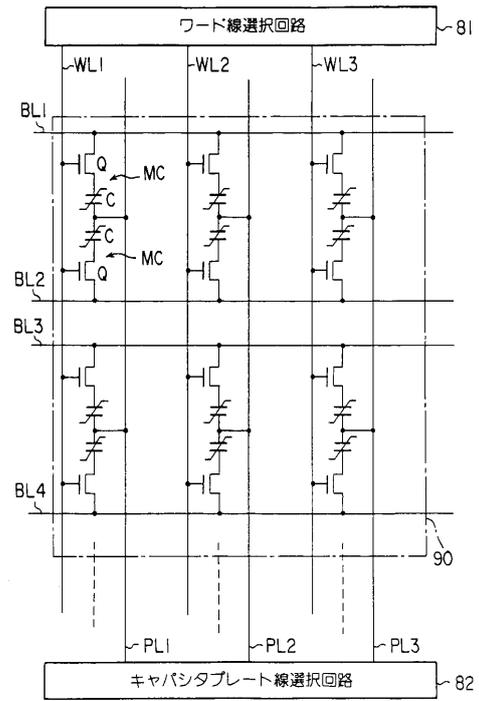
【図20】



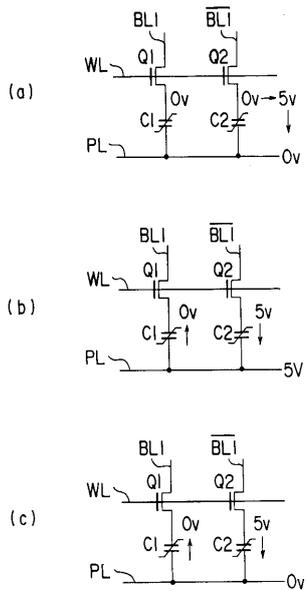
【 図 2 2 】



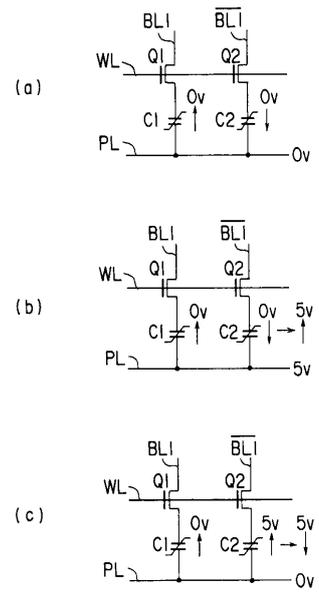
【 図 2 3 】



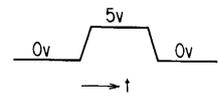
【 図 2 4 】



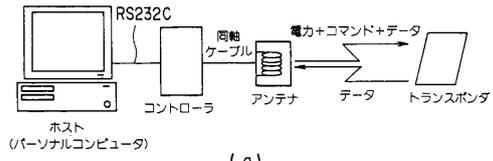
【 図 2 5 】



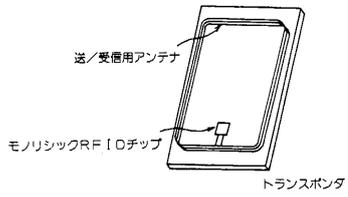
【 図 2 6 】



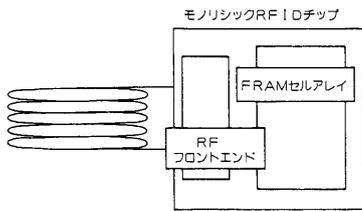
【 図 2 7 】



(a)

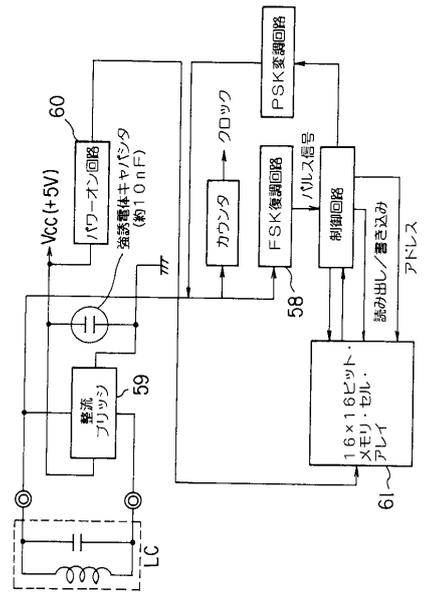


(b)



(c)

【 図 2 8 】



フロントページの続き

- (74)代理人 100070437
弁理士 河井 将次
- (72)発明者 望月 博
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 金谷 宏行
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 國島 巖
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 首藤 晋
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 奥和田 久美
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 日高 修
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

審査官 井原 純

(56)参考文献 特開平07-038003(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/105

H01L 21/8242

H01L 27/10 461

H01L 27/108