

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl. <sup>6</sup> G11C 5/14	(45) 공고일자 1999년02월01일	(11) 등록번호 특0167684
(21) 출원번호 특1995-030743	(24) 등록일자 1998년09월29일	(65) 공개번호 특1997-017595
(22) 출원일자 1995년09월19일	(43) 공개일자 1997년04월30일	

(73) 특허권자	삼성전자주식회사 김광호
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 고영위 서울특별시 송파구 신천동 미성아파트 9-209 이형곤
(74) 대리인	경기도 수원시 팔달구 인계동 319-6 신반포아파트 101-414 이건주

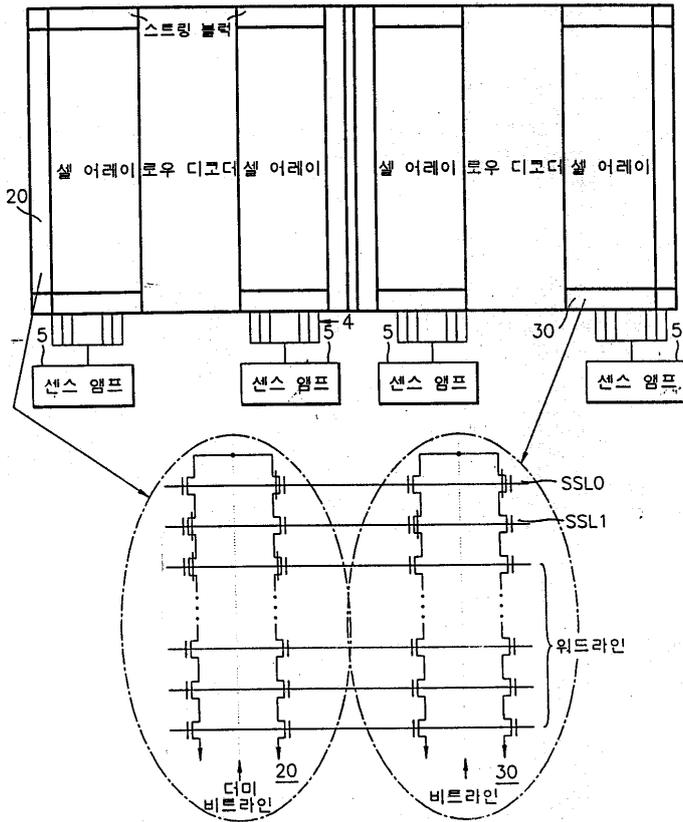
**심사관 : 송원선**

**(54) 반도체 메모리 소자내의 기준전압 발생회로의 배치 방법**

**요약**

1. 청구 범위에 기재된 발명이 속한 기술분야; 반도체 메모리 장치의 배치방법
2. 발명이 해결하려고 하는 기술적 과제; 교류 응답 타임이 고속화 되어지는 메모리의 배치방법을 제공한다.
3. 발명의 해결방법의 요지; 복수의 비트라인과 복수의 워드라인을 가지며, 단위 메모리 셀이 모여 하나의 메모리 스트링이 만들어지며, 다수의 단위 메모리 셀로 이루어진 하나의 메모리 스트링이 비트 라인과 워드라인이 만나는 곳에 형성되며, 외부 어드레스 신호에 의해 메모리 스트링이 선택되는 구조를 가지는 메모리의 배치 방법은 선택된 로우 디코더에 의하여 동작하는 스트링 선택라인의 신호가 노말 어레이의 스트링과, 기준전압 발생회로부의 더미 스트링을 동시에 선택하는 구조로 배치함을 특징으로 한다.
4. 발명의 중요한 용도; 비 휘발성 반도체 메모리의 기준셀 배치에 적합하게 사용된다.

대표도



명세서

[발명의 명칭]

반도체 메모리 소자내의 기준전압 발생회로의 배치 방법

[도면의 간단한 설명]

제1도는 종래기술의 메모리 셀 어레이를 보여주는 도면.

제2도는 본 발명에 따른 로우 디코더 및 메모리 셀 어레이간의 관계를 설명하기 위한 회로도.

제3도는 본 발명에 따른 메모리 셀 어레이중의 더미 셀 어레이의 배치를 보여주는 도면.

[발명의 상세한 설명]

본 발명은 불 휘발성 반도체 소자의 메모리 셀 어레이(Mimory Cell Array)내의 기준 전압을 발생하는 더미셀(Dummy Cell)배치방법에 관한 것이다.

일반적으로, EEPROM등과 같은 반도체 소자에서 사용하고 있는 대표적인 더미셀 구조는 NAND 차입의 형태인데, 그 구조는 노말 셀과 같은 구조로 되어있다. 그 이유는 더미 셀을 노말 셀과 같은 구조로 함으로써 제조공정상에서 더미셀에 노말 셀과 같은 디자인 룰을 적용할 수 있기 때문이며, 더미셀이 노말셀과 같은 프루트서 변호율을 가질 수 있다는 이유 때문이다.

반도체 메모리 소자중에는 트랜지스터를 병렬 접속한 NOR 타입과 트랜지스터를 직렬 NAND 타입이라는 2가지 형태가 있다. 일반적으로 NOR 타입은 셀 전류가 크다는 장점으로 인해 고속 동작에 적합하지만 셀 사이즈가 크기 때문에 대용량화에는 한계가 있는 반면, NAND 타입에 비해 셀 전류가 작아서 동작 속도가 느리다는 결점이 있다. 따라서, 이들 2가지 타입 중에서 NAND로 이루어지는 메모리 셀 구조가 메모리 셀 어레이의 면적을 줄일수 있는 이점에 있음을 알 수 있다. 여기서는 NAND 타입의 셀에 대해 예를 들어 설명한다.

일반적인 NAND타입의 메모리 셀은 폴리과 액티브의 셀프얼라인으로 이루어진 단위 셀이 하나의 트랜지스터로 구성되며, 다수개의 셀 트랜지스터와 2개의 스트링 선택 트랜지스터가 하나의 단위 메모리 스트링을 구성하고, 그 단위 메모리 스트링의 한쪽 끝은 비트라인에 연결되며, 또 다른 한쪽 끝은 그라운드에 연결되어 있다. 다만, 이때의 그라운드는 메탈로 연결하지 못하고, 액티브로 연결 되는데 그 이유는 그라운드에 연결된 액티브와 메탈이 서로 연결되기 위해서는 컨택트 홀에 의해서 이루어져야 하는데 그렇게 되려면 레이아웃 에리어가 커지게 되는 문제가 있다. 단위 메모리 스트링 2개가 하나의 비트 라인 콘택트 홀에 접속되고, 이것이 반복되어 비트라인에 접속되는데, 그 단위 비트라인들이 다수개가 모여 메모리 셀 어레이를 구성하게 된다. 그러나 엄밀히 말하면, 메모리 셀 어레이는 다수개의 단위 비트 라인들이 어는

일정한 수만큼 모인 셀 블럭들이 다시 배열되어 있는 집합체인데, 여기서 셀 블럭이 필요한 이유는 위에서 설명한 바와같이 메모리 스트링의 그라운드가 액티브에 연결되어 있으므로, 메모리 스트링이 계속해서 반복적으로 배열되면, 그라운드 저항이 커지게 되므로 어느 일정한 수만큼 반복된 후 전도가 양호한 물질(Metal)과 접촉되어야 한다. 이때 그라운드 메탈은 비트라인과 마찬가지로 칼럼방향으로 이루어지며 공정의 디자인룰에 따라 비트라인과 그라운드 라인(Metal 과 Metal)사이에 공간이 필요하며, 또한 컨택트 홀이 있어야 한다. 이런 이유로 셀블럭이 필요하게 된다.

한편 최근 반도체 메모리 소자의 빠른 발전은 집적회로의 고 밀도화 및 고 집적화를 가져왔으나 집적도를 높이기 위해 수행된 지속적인 디자인 룰의 축소는 과거에는 무시할 수 있었던 여러가지 공정상의 문제들을 더이상 무시할 수 없게 만들었고, 특히 공정상에서 가능한 최소 선폴을 사용하는 셀내에서 많은 문제들이 야기되었다. 이중 하나는 새부리(Bird's Back)에 의한 트랜지스터의 에펙티브 폭의 감소이다. MOSN 트랜지스터에서는 공정상의 확산 혹은 칩 동작중에 전계에 의해 쇼트되는 것을 막기위해 산화막(Field Oxide)라고 하는 절연용의 두꺼운 산화막을 실리콘 기판위에 성장시키는데, 이때 필드 옥사이드는 옥사이드와 실리콘의 친화력에 의해 기판의 위로 성장함과 동시에 기판의 내부로도 침투 성장하여 전체적으로 수평 사이드가 뾰족한 타원형의 모양을 이루게 된다. 이끝의 뾰족한 부분을 새부리라 하며, 이부분이 트랜지스터의 방향에서 채널로 침투하게 되면 그 부분은 트랜지스터의 게이트에 의한 제어를 제대로 받지 못해, 결국 폭이 감소하는 효과를 보게 된다.

메모리 셀 어레이내에서는 칩 사이즈와 관련하여 특히 액티브 폭과 이웃하는 액티브와의 스페이스가 점점 좁아지게 됨에 따라, 포토/에치 공정에서 로딩 에펙트에 의한 영향이 점차로 심각하게 대두되었다. 이로 인하여 에펙트란, 공정상에서 작은 패턴을 통과한 빛이 회절과 산란 현상으로 인해 이웃하는 패턴의 모양을 변형시키는 것으로, 패턴이 밀집된 영역에 비해 밀집되지 않은 영역에서 포토/에치시 더 많은 식각이 일어나는 효과이며, 패턴이 작을수록 로딩 에펙트의 영향이 커지고, 이는 공정 마진을 줄여서, 공정상의 작은 오차만으로도 칩이 오동작을 일으키게 한다.

부연하면, 액티브 공정시 Bird's Back에 의한 트랜지스터의 에펙티브 폭이 감소하는 문제가 발생하는데, 이 문제의 해결은 메모리 셀 어레이내의 거의 모든 액티브 패턴이 일정한 선폴을 유지하여 배열되어 있기 때문에 마스크 제작시 새부리에 의한 트랜지스터의 에펙티브 폭을 미리 감안하여 액티브 패턴을 실제 크기보다 크게 하거나 오버 사이즈등의 방법을 사용하면 버즈 빅에 의한 트랜지스터의 폭이 감소 문제는 충분히 제어할 수 있게 된다. 그러나 메모리 셀 어레이는 셀 블럭과 셀블럭 사이에 그라운드 전압을 공급하기 위한 공간이 필요하게 되는데, 이 부분의 산화막은 블럭 내부에서 일정하게 배열된 메모리 셀 스트링(Active)과 메모리 셀 스트링(Active)사이에 위치하는 산화막 보다 더 넓은 폭을 갖게됨에 따라, 상대적으로 버즈 빅이 커지게 되고 이에 따라 최초로 설계된 액티브 폭보다 줄어들게 됨에 따라, 셀 전류가 감소하게 되고 다른 일정한 패턴을 유지하는 셀 트랜지스터에 비해 불량 발생 가능성이 커지게 된다. 이런 문제를 해결하기 위하여 폭이 넓은 산화막에 인접하는 액티브 폭을 다른 일정한 액티브 폭보다 넓도록 하거나, 더미 액티브 패턴을 추가하는 방법등이 있다.

지금까지 설명한 것은 반도체 소자의 고집적화 및 고밀도화에 의한 메모리 셀 어레이에서 버즈 빅에 의한 로딩 에펙트 효과와 해결에 대한 것이었다.

제1도는 상기한 방법에 의해 제조된 종래의 메모리 셀 어레이와 로우 디코더 구성을 보여주는 예로서, 낸드 타입 셀 메모리에서 메모리 셀 트랜지스터 블럭 3에 센스 앰프 5를 각기 연결하여 리드 동작시 하나의 메모리 셀 트랜지스터 블럭에서 하나의 데이터를 리드하게 한 구조로 되어 있다. 여기서는 로우 디코더 1에 의해 드라이브되어 메모리 셀 트랜지스터의 게이트에 연결된 워드라인에 의해 각각의 셀들이 선택되게 되며, 블럭마다에는 더미 비트 라인이 센스 앰프에 연결된 구조를 보여준다. 여기서 더미 비트라인은 비트라인 처럼 로딩으로 쓰이기 위하여 만들어져 있으며, 더미 셀은 비트라인 스트링 전류의 반이 되도록 하여 채널 길이를 조절하고 있다.

그러나, 제1도의 구조는 기준전압 발생회로인 더미 셀 10이 셀 어레이 3내에 있지 않고, 칩의 레이아웃상에서 볼때 셀 어레이 에지의 상부 또는 하부쪽에 위치하고 있기 때문에 상술한 로딩 에펙트가 커질 염려가 있으며 셀이 선택될때 비트라인의 저항과 더미 비트라인의 저항이 달라 교류(AC) 응답 타임 관점에서 문제가 있어왔다.

따라서, 본 발명의 목적은 메모리 소자에서 고속에 적합하면서 AC 응답 타임이 좋아지는 메모리 셀 어레이의 배치 방법을 제공함을 목적으로 한다.

제2도에서 로우 디코더 200에서의 동작 설명을 살펴보면, 외부 입력신호인 어드레스가 P,Q각각의 프리 디코더에 입력되어져 이 프리 디코더에 의해 선택되어진  $P_i$ ,  $Q_i$ 는 각각 Low(GND)로 입력되어지며 상기 회로 도에서 NOR 게이트 NOR1 출력인 노드 A는 하이가 되며 이때 스트링 선택 라인동작은 외부 입력신호인 어드레스가 SS-프리디코더로 입력되어지며 이 프리 디코더에 의해 선택되는 SS0는 Low(선택되지 않는 SS1...SSn은 모두 High)가 되어 인헨스먼트 트랜지스터인 PSSTR0를 통해 Node B를 Discharge(GND)시킴으로 String Select Line 0는 Inverter SSINV0에 의해 High(선택되지 않는 String Select Line은 모두 Low)가 됨으로 스트링 선택 트랜지스터인 SSTR0를 턴-온시켜 셀 스트링1이 선택되어 진다. 워드라인의 동작은 외부 입력신호인 어드레스가 S-Pre 디코더에 입력되며 이 프리 디코더에 의해 선택된 1개의 출력인 S0는 Low(GND)가 되어 제2도의 로우 디코더 200에서 Node D는 인헨스먼트 트랜지스터 PSTR0를 통해 디스차이지(GND)되며 인버터 SINV0와 SINV1에 의해 워드라인 0는 Low(선택되지 않는 워드 라인은 하이)가 되어 Cell String 1에 연결된 CTR0가 선택된다. 이때 CTR0가 인헨스먼트 트랜지스터이면 턴 오프가 되고 CTR0가 디프리션 타입이면 턴 온되므로 전류는 이미 턴온되어있는 셀 트랜지스터 CTR1에서 CTR7를 통해 비트라인에 연결된 센스앰프와 접지간의 패스가 형성되게 된다. 따라서 센스앰프와 접지간의 전류패스가 형성될때와 되지않을 때의 두 M0de에 의해 센스 앰프는 Data 0와 Data 1을 판독하게 되며, 본 발명의 더미 셀 모양을 나타내고 있다.

제3도에서 SSL 0와 SSL 1에 의해 셀 스트링 라인과 더미 스트링라인이 선택되고 같은 어레이 위치에서 워드라인에 의해 비트라인 셀만 선택하면서, 이 워드라인은 비트라인 마지막 셀에서 끊기고 더미 셀 선택 세이트는 전원 전압을 연결하여 더미 스트링 전류를 흐르도록 하였다. 기존에는 더미 스트링 트랜지스터

의 채널길이를 셀보다 크게하여 대개의 경우 셀 스트링의 트랜지스터 갯수와 더미 스트링의 트랜지스터 갯수를 동일하게 하여 더미 스트링 전류가 비트라인 스트링 전류의 반이 되도록 하였으나, 이 구조는 전원 전압의 변화에 따라서 더미 스트링 전류와 비트라인 스트링 전류의 비가 변하는 취약점을 안고 있었다. 그러나 본 발명에서는 더미 비트 라인과 비트 라인 스트링 라인에 의해 같은 어레이 위치에서 선택되어 지므로 로딩 차이에 의한 AC 응답 타임을 개선하도록 하였다. 또한 Prei 쪽에 위치하는 더미 셀을 공정상에서 노말 셀과 같은 코어율을 적용할 수 있도록 셀 어레이 블럭내에 더미 셀을 노말 셀처럼 제어받게 함으로서 로딩 에팩트를 줄일 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

복수의 비트라인과 복수의 워드라인을 가지며, 단위 메모리 셀이 모여 하나의 메모리 스트링이 만들어 지며, 다수의 단위 메모리 셀로 이루어진 하나의 메모리 스트링이 비트 라인과 워드라인이 만나는 곳에 형성되며, 외부 어드레스 신호에 의해 메모리 스트링이 선택되는 구조를 가지는 메모리의 배치 방법에 있어서, 선택된 로우 디코더에 의하여 동작하는 스트링 선택라인의 신호가 노말 어레이의 스트링과, 기준전압 발생회로부의 더미 스트링을 동시에 선택하는 구조로 배치함을 특징으로 하는 방법.

청구항 2

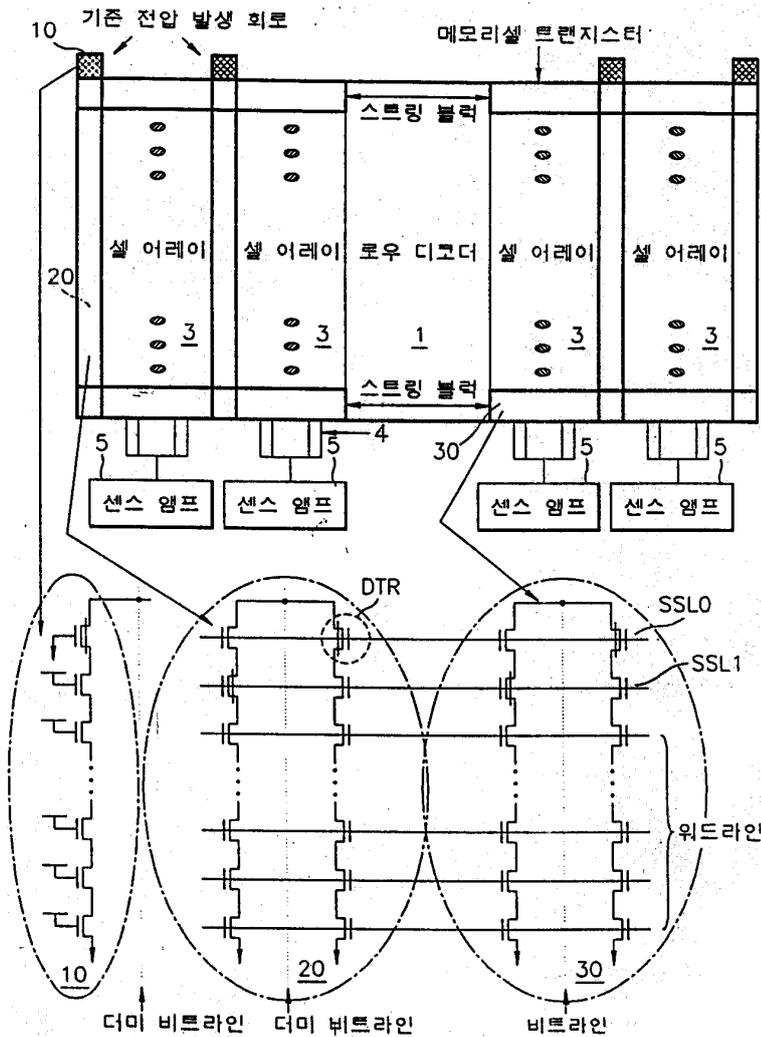
제1항에 있어서, 상기 스트링 선택 라인은 공유되나, 상기 워드라인들은 각기 분리되어 더미 스트링의 전압 레벨을 조절할 수 있게 한 것을 특징으로 하는 방법.

청구항 3

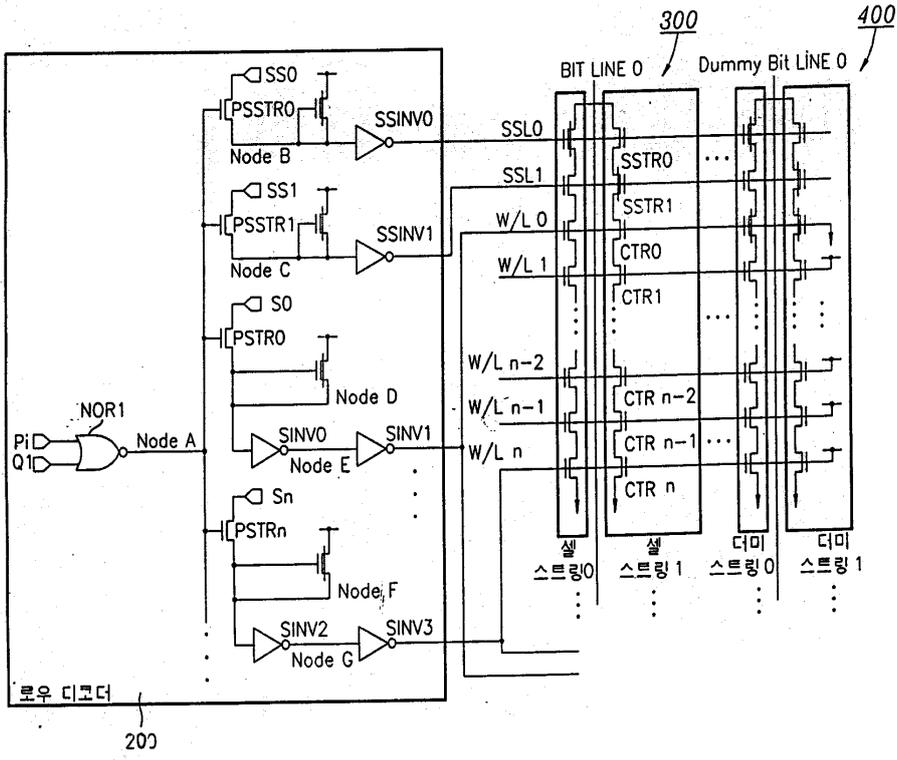
제1항에 있어서, 더미 스트링의 갯수가 센스 앰프의 갯수와 같거나 작은 것임을 특징으로 하는 방법.

도면

도면1



도면2



도면3

