

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4229242号  
(P4229242)

(45) 発行日 平成21年2月25日(2009.2.25)

(24) 登録日 平成20年12月12日(2008.12.12)

(51) Int.Cl. F I  
**G06F 13/28 (2006.01)** G O 6 F 13/28 3 1 O J  
**G06F 13/36 (2006.01)** G O 6 F 13/28 3 1 O M  
 G O 6 F 13/36 3 1 O E

請求項の数 4 (全 14 頁)

<p>(21) 出願番号 特願2005-132242 (P2005-132242)</p> <p>(22) 出願日 平成17年4月28日 (2005.4.28)</p> <p>(65) 公開番号 特開2006-309561 (P2006-309561A)</p> <p>(43) 公開日 平成18年11月9日 (2006.11.9)</p> <p>審査請求日 平成19年12月6日 (2007.12.6)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 390009531                  インターナショナル・ビジネス・マシーンズ・コーポレーション                  INTERNATIONAL BUSINESS MACHINES CORPORATION                  アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード</p> <p>(74) 代理人 100086243                  弁理士 坂口 博</p> <p>(74) 代理人 100091568                  弁理士 市位 嘉宏</p> <p>(74) 代理人 100108501                  弁理士 上野 剛史</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 ダイレクトメモリアクセスコントローラ

(57) 【特許請求の範囲】

【請求項 1】

メモリと周辺装置との間でデータを転送するダイレクトメモリアクセスコントローラであって、

データ転送の要求に応じて、前記メモリから前記周辺装置への第1の転送方向又は前記周辺装置から前記メモリへの第2の転送方向を示す転送方向識別パラメータと、データの転送を開始すべきメモリのアドレスを示す転送開始メモリアドレスと、1回に転送すべきデータのワード数を示す転送ワード数と、前記転送開始メモリアドレス及び前記転送ワード数を含むタグの読み込み又はデータの転送を示すタグ識別フラグとを含む指示パケットを生成する転送エンジン制御回路と、

前記メモリと前記周辺装置との間に接続されるバッファと、

前記転送エンジン制御回路から与えられた指示パケットに応じて、前記メモリと前記周辺装置との間でデータを転送するよう前記バッファを制御する転送エンジンとを備え、

前記転送エンジン制御回路は、

前記データ転送の要求に応じて、バルクモード、スライスモード及びチェーンモードの中から1つを設定するコントローラと、

前記転送方向識別パラメータを生成する転送方向識別パラメータ生成器と、

前記転送開始メモリアドレスを生成する転送開始メモリアドレス生成器と、

前記転送ワード数を生成する転送ワード数生成器と、

前記タグ識別フラグを生成するタグ識別フラグ生成器とを含み、

前記転送方向識別パラメータ生成器は、前記データ転送の要求に含まれる転送方向識別パラメータを前記生成すべき転送方向識別パラメータとして設定し、

前記転送開始メモリアドレス生成器は、前記コントローラによりバルクモードが設定された場合、前記データ転送の要求に含まれる転送開始メモリアドレスを前記生成すべき転送開始メモリアドレスとして設定し、前記コントローラによりスライスモードが設定された場合、最初は前記データ転送の要求に含まれる転送開始メモリアドレスを前記生成すべき転送開始メモリアドレスとして設定し、その次は前記転送エンジンから返送された転送開始メモリアドレスを前記生成すべき転送開始メモリアドレスとして設定し、前記コントローラによりチェーンモードが設定された場合、最初は前記データ転送の要求に含まれる転送開始メモリアドレスを前記生成すべき転送開始メモリアドレスとして設定し、その次は前記転送エンジンにより読み込まれたタグに含まれる転送開始メモリアドレスを前記生成すべき転送開始メモリアドレスとして設定し、

10

前記転送ワード数生成器は、前記コントローラによりバルクモード又はスライスモードが設定された場合、前記データ転送の要求に含まれる転送ワード数を前記生成すべき転送ワード数として設定し、前記コントローラによりチェーンモードが設定された場合、最初は所定の転送ワード数を前記生成すべき転送ワード数として設定し、その次は前記転送エンジンにより読み込まれたタグに含まれる転送ワード数を前記生成すべき転送ワード数として設定し、

前記タグ識別フラグ生成器は、前記コントローラによりバルクモード又はスライスモードが設定された場合、前記タグ識別フラグをデータの転送を示すように設定し、前記コントローラによりチェーンモードが設定された場合、最初は前記タグ識別フラグをタグの読み込みを示すように設定し、その次は前記タグ識別フラグをデータの転送を示すように設定し、

20

前記転送エンジンは、前記指示パケットに含まれる転送方向識別パラメータが前記第1の転送方向を示すとき、前記メモリからのデータの読み出しを前記指示パケットに含まれる転送開始メモリアドレスから開始し、前記指示パケットに含まれる転送ワード数のデータを前記メモリから読み出して前記バッファに書き込み、前記バッファからデータを読み出して前記周辺装置に書き込むように、前記バッファを制御し、前記指示パケットに含まれる転送方向識別パラメータが前記第2の転送方向を示すとき、前記指示パケットに含まれる転送ワード数のデータを前記周辺装置から読み出して前記バッファに書き込み、前記メモリへのデータの書き込みを前記指示パケットに含まれる転送開始メモリアドレスから開始し、前記バッファからデータを読み出して前記メモリに書き込むように、前記バッファを制御し、前記メモリからのデータの読み出しを終了したとき、その次にデータを読み出すべき転送開始メモリアドレスを前記転送エンジン制御回路に与え、前記メモリへのデータの書き込みを終了したとき、その次にデータを書き込むべき転送開始アドレスを前記転送エンジン制御回路に与え、前記指示パケットに含まれるタグ識別フラグがタグの読み込みを示すとき、前記メモリ又は前記周辺装置から読み出したタグを前記転送エンジン制御回路に与える、ダイレクトメモリアクセスコントローラ。

30

#### 【請求項2】

請求項1に記載のダイレクトメモリアクセスコントローラであって、

40

前記指示パケットはさらに、前記タグの転送か否かを示すタグ転送識別フラグを含み、前記転送エンジン制御回路はさらに、

前記データ転送の要求に応じて、前記タグ転送識別フラグを生成するタグ転送識別フラグ生成器を含み、

前記転送エンジンは、前記タグ転送識別フラグがタグの転送を示すとき、前記メモリ又は前記周辺装置から読み出されたタグを前記バッファに書き込む、ダイレクトメモリアクセスコントローラ。

#### 【請求項3】

請求項1又は請求項2に記載のダイレクトメモリアクセスコントローラであって、

前記指示パケットはさらに、前記メモリからデータを読み出すべき又は前記メモリにデ

50

ータを書き込むべきアドレスの増加又は減少を示すアドレス増減フラグを含み、  
前記転送エンジン制御回路はさらに、  
前記データ転送の要求に応じて、前記アドレス増減フラグを生成するアドレス増減フラ  
グ生成器を含み、  
前記転送エンジンは、前記アドレス増減フラグがアドレスの増加を示すとき、前記メモ  
リからデータを読み出すべき又は前記メモリにデータを書き込むべきアドレスをインクリ  
メントし、前記アドレス増減フラグがアドレスの減少を示すとき、前記メモリからデータ  
を読み出すべき又は前記メモリにデータを書き込むべきアドレスをデクリメントする、ダ  
イレクトメモリアクセスコントローラ。

【請求項 4】

10

請求項 1 ~ 請求項 3 のいずれか 1 項に記載のダイレクトメモリアクセスコントローラであって、

前記転送エンジンは、

前記メモリから前記周辺装置にデータを転送するよう前記バッファを制御する第 1 の転送エンジンと、

前記周辺装置から前記メモリにデータを転送するよう前記バッファを制御する第 2 の転送エンジンとを含む、ダイレクトメモリアクセスコントローラ。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、ダイレクトメモリアクセス (DMA) コントローラ及びそのデータ転送方法に関し、さらに詳しくは、複数の転送モードに対応した DMA コントローラ及びそのデータ転送方法に関する。

【背景技術】

【0002】

DMA コントローラは、マザーボード上にあるメモリと、フレキシブルディスクドライブ、ハードディスクドライブ、プリンタなどの周辺装置との間で、CPU (Central Possessing Unit) を経由することなくデータを転送するための LSI (Large Scale Integrated circuit) である。DMA コントローラは一般に複数の通信経路 (DMA チャンネル) を有し、1 つの機器が 1 つのチャンネルを占有する。

30

【0003】

多チャンネルに対応する DMA コントローラでは、DMA 要求 / 承認ハンドラが DMA チャンネルの仲裁 (アービトレーション) を行う。具体的には、DMA 要求 / 承認ハンドラが要求を受け付けてサービスを提供すべき DMA チャンネルを決定した後、共通の転送エンジンがその決定された DMA チャンネルに対してデータ転送を行う。

【0004】

転送モードが少ない場合 (たとえば 2 種類程度)、転送エンジンは全ての転送モードに対応可能であるが、転送モードが多い場合 (たとえば 7 種類以上)、転送エンジンは全ての転送モードに対応することは困難である。仮に転送エンジンを全ての転送モードに対応可能に設計したとすると、転送エンジンの回路構成は複雑になり、かつ回路サイズも大きくなるという問題が生じる。

40

【特許文献 1】特開平 11 - 45225 号公報

【特許文献 2】特開 2000 - 231537 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、複雑な転送エンジンを用いることなく、複数の転送モードに対応可能な DMA コントローラを提供することである。

【課題を解決するための手段及び発明の効果】

【0006】

50

本発明によるDMAコントローラは、メモリと周辺装置との間でデータを転送するDMAコントローラであって、転送エンジン制御回路と、バッファと、転送エンジンとを備える。転送エンジン制御回路は、データ転送の要求に応じて、指示パケットを生成する。指示パケットは、メモリから周辺装置への第1の転送方向又は周辺装置からメモリへの第2の転送方向を示す転送方向識別パラメータと、データの転送を開始すべきメモリのアドレスを示す転送開始メモリアドレスと、1回に転送すべきデータのワード数を示す転送ワード数と、転送開始メモリアドレス及び転送ワード数を含むタグの読み込み又はデータの転送を示すタグ識別フラグとを含む。バッファは、メモリと周辺装置との間に接続される。転送エンジンは、転送エンジン制御回路から与えられた指示パケットに応じて、メモリ及び周辺装置の間でデータを転送するようバッファを制御する。転送エンジン制御回路は、データ転送の要求に応じて、バルクモード、スライスモード及びチェーンモードの中から1つを設定するコントローラと、転送方向識別パラメータを生成する転送方向識別パラメータ生成器と、転送開始メモリアドレスを生成する転送開始メモリアドレス生成器と、転送ワード数を生成する転送ワード数生成器と、タグ識別フラグを生成するタグ識別フラグ生成器とを含む。転送方向識別パラメータ生成器は、データ転送の要求に含まれる転送方向識別パラメータを生成すべき転送方向識別パラメータとして設定する。転送開始メモリアドレス生成器は、コントローラによりバルクモードが設定された場合、データ転送の要求に含まれる転送開始メモリアドレスを生成すべき転送開始メモリアドレスとして設定し、コントローラによりスライスモードが設定された場合、最初はデータ転送の要求に含まれる転送開始メモリアドレスを生成すべき転送開始メモリアドレスとして設定し、その次は転送エンジンから返送された転送開始メモリアドレスを生成すべき転送開始メモリアドレスとして設定し、コントローラによりチェーンモードが設定された場合、最初はデータ転送の要求に含まれる転送開始メモリアドレスを生成すべき転送開始メモリアドレスとして設定し、その次は転送エンジンにより読み込まれたタグに含まれる転送開始メモリアドレスを生成すべき転送開始メモリアドレスとして設定する。転送ワード数生成器は、コントローラによりバルクモード又はスライスモードが設定された場合、データ転送の要求に含まれる転送ワード数を生成すべき転送ワード数として設定し、コントローラによりチェーンモードが設定された場合、最初は所定の転送ワード数を生成すべき転送ワード数として設定し、その次は転送エンジンにより読み込まれたタグに含まれる転送ワード数を生成すべき転送ワード数として設定する。タグ識別フラグ生成器は、コントローラによりバルクモード又はスライスモードが設定された場合、タグ識別フラグをデータの転送を示すように設定し、コントローラによりチェーンモードが設定された場合、最初はタグ識別フラグをタグの読み込みを示すように設定し、その次はタグ識別フラグをデータの転送を示すように設定する。転送エンジンは、指示パケットに含まれる転送方向識別パラメータが第1の転送方向を示すとき、メモリからのデータの読み出しを指示パケットに含まれる転送開始メモリアドレスから開始し、指示パケットに含まれる転送ワード数のデータをメモリから読み出して前記バッファに書き込み、バッファからデータを読み出して周辺装置に書き込むように、バッファを制御し、指示パケットに含まれる転送方向識別パラメータが第2の転送方向を示すとき、指示パケットに含まれる転送ワード数のデータを周辺装置から読み出してバッファに書き込み、メモリへのデータの書き込みを指示パケットに含まれる転送開始メモリアドレスから開始し、バッファからデータを読み出してメモリに書き込むように、バッファを制御し、メモリからのデータの読み出しを終了したとき、その次にデータを読み出すべき転送開始メモリアドレスを転送エンジン制御回路に与え、メモリへのデータの書き込みを終了したとき、その次にデータを書き込むべき転送開始アドレスを転送エンジン制御回路に与え、指示パケットに含まれるタグ識別フラグがタグの読み込みを示すとき、メモリ又は周辺装置から読み出したタグを転送エンジン制御回路に与える。

【0007】

このDMAコントローラでは、バルクモード、スライスモード及びチェーンモードに応じて転送エンジン制御回路により指示パケットが生成され、転送エンジンに与えられる。したがって、転送エンジンは単に指示パケットに従ってデータを転送しさえすればよい。

10

20

30

40

50

よって、このDMAコントローラは、複雑な転送エンジンを用いることなく、複数の転送モードに対応することができる。

【0009】

また、指示パケットに含まれる転送ワード数分のデータがメモリ及び周辺装置の間で転送されるので、転送エンジンはバルク転送及びスライス転送の区別を必要としない。

【0011】

また、スライスモードにおいては、転送エンジンから転送エンジン制御回路に次の転送開始メモリアドレスが与えられ、次のデータ転送のために転送エンジン制御回路から転送エンジンに与えられる。したがって、データはスライスされて転送される。

【0013】

また、チェーンモードにおいては、タグがメモリ又は周辺装置から読み出され、転送エンジン制御回路に与えられる。タグに記述された転送開始メモリアドレスからデータの読み出し又は書き込みが開始され、また、タグに記述された転送ワード数分のデータがメモリ及び周辺装置の間で転送される。

【0014】

好ましくは、指示パケットはさらに、タグの転送か否かを示すタグ転送識別フラグを含む。転送エンジン制御回路はさらに、データ転送の要求に応じて、タグ転送識別フラグを生成するタグ転送識別フラグ生成器を含む。転送エンジンは、タグ転送識別フラグがタグの転送を示すとき、メモリ又は周辺装置から読み出されたタグをバッファに書き込む。

【0015】

この場合、メモリ又は周辺装置から読み出されたタグはバッファに書き込まれるので、タグもデータと一緒にメモリ及び周辺装置の間で転送される。

【0016】

好ましくは、転送エンジンは、第1及び第2の転送エンジンを含む。第1の転送エンジンは、メモリから周辺装置にデータを転送するようバッファを制御する。第2の転送エンジンは、周辺装置からメモリにデータを転送するようバッファを制御する。

【0017】

この場合、転送エンジンが2つに分割されているため、メモリ側のバスプロトコルと周辺装置側のバスプロトコルが異なっても、各転送エンジンは複雑にならない。

【発明を実施するための最良の形態】

【0028】

以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

【0029】

図1を参照して、本発明の実施の形態によるDMAコントローラ10は、転送エンジン制御回路12と、データバッファ14と、セレクタ16及び17と、メモリ・周辺装置転送エンジン18と、周辺装置・メモリ転送エンジン20とを備える。

【0030】

転送エンジン制御回路12は、7種類の転送モードに応じてあらかじめ定められた指示パケットを生成して転送エンジン18又は20に与える。詳細は後述する。

【0031】

データバッファ14は、PLB (Processor Local Bus) 22及びOPB (On-chip Peripheral Bus) 24の間に接続される。PLB 22は128又は64ビットのバス幅を有し、メモリ(図示せず)に接続される。OPB 24は32ビットのバス幅を有し、周辺装置(図示せず)に接続される。

【0032】

セレクタ16はPLB 22及びOPB 24に接続され、かつデータバッファ14の入力に接続される。セレクタ16はPLB 22又はOPB 24を選択し、その選択されたバス22又は24から与えられたデータをデータバッファ14に与える。セレクタ17はPLB 22及びOPB 24に接続され、かつデータバッファ14の出力に接続される。セレク

10

20

30

40

50

タ 1 7 は P L B 2 2 又は O P B 2 4 を選択し、データバッファ 1 4 から与えられたデータをその選択されたバス 2 2 又は 2 4 に与える。

【 0 0 3 3 】

メモリ・周辺装置転送エンジン 1 8 は、転送エンジン制御回路 1 2 から与えられた指示パケットに応じて、メモリから周辺装置にデータを転送するようデータバッファ 1 4 及びセクタ 1 6 , 1 7 を制御する。周辺装置・メモリ転送エンジン 2 0 は、転送エンジン制御回路 1 2 から与えられた指示パケットに応じて、周辺装置からメモリにデータを転送するようデータバッファ 1 4 及びセクタ 1 6 , 1 7 を制御する。

【 0 0 3 4 】

図 2 を参照して、転送エンジン制御回路 1 2 は、DMA 要求 / 承認ハンドラ 2 6 と、複数の内部レジスタ 2 8 と、セクタ 3 0 及び 3 1 と、OPB スレーブ 3 2 と、プリプロセッサ 3 4 とを備える。

10

【 0 0 3 5 】

DMA 要求 / 承認ハンドラ 2 6 は、各チャンネルから与えられる DMA 要求信号 DREQx に応じてチャンネルからのデータ転送の要求を仲裁し、選択チャンネル番号をセクタ 3 0 及び 3 1 に与え、かつ DMA 承認信号 DACKx を当該チャンネルに返信する。

【 0 0 3 6 】

内部レジスタ 2 8 はチャンネルに対応して設けられる。各内部レジスタ 2 8 は、対応するチャンネル用のデータ転送に係る各種パラメータを一時的に記憶する。

【 0 0 3 7 】

20

セクタ 3 0 及び 3 1 は、DMA 要求 / 承認ハンドラ 2 6 からの選択チャンネル番号に応じて 1 つの内部レジスタ 2 8 を選択する。セクタ 3 0 は、転送エンジン 1 8 , 2 0 側からフィードバックされたタグ上の転送ワード数 Xfer\_Count 及び次の転送開始メモリアドレス Next\_Start\_Address をその選択された内部レジスタ 2 8 に与える。セクタ 3 1 は、選択された内部レジスタ 2 8 から各種パラメータを読み出してプリプロセッサ 3 4 に与える。

【 0 0 3 8 】

OPB スレーブ 3 2 は、CPU ( 図示せず ) から OPB 2 4 ( 図 1 ) 経由で与えられた指令に従って、選択された内部レジスタ 2 8 に所定のデータを書き込む。

【 0 0 3 9 】

30

プリプロセッサ 3 4 は、コントローラ 3 6 と、演算器 3 8 と、転送方向識別パラメータ生成器 4 0 と、転送開始メモリアドレス生成器 4 2 と、アドレス増減フラグ生成器 4 4 と、タグ識別フラグ生成器 4 6 と、タグ転送識別フラグ生成器 4 8 と、転送ワード数生成器 5 0 とを備える。

【 0 0 4 0 】

コントローラ 3 6 は、当該チャンネルの内部レジスタ 2 8 から読み出されたパラメータに基づいて 7 種類の転送モードの中から 1 つを設定する。演算器 3 8 は、コントローラ 3 6 で設定された転送モードに応じて、当該チャンネルの内部レジスタ 2 8 に設定されている転送ワード数 ( 以下「所定スライスサイズ」という ) をそのまま転送ワード数生成器 5 0 に与えたり、タグから得られた転送ワード数に 1 ワード、2 ワード又は 4 ワードを加算したり、タグから得られた転送ワード数等を所定スライスサイズと比較したりする。

40

【 0 0 4 1 】

転送方向識別パラメータ生成器 4 0 は、当該チャンネルの内部レジスタ 2 8 から読み出されたパラメータに基づいて転送方向識別パラメータ m2d/d2m を生成する。転送方向識別パラメータ m2d/d2m は、メモリから周辺装置への転送方向又は周辺装置からメモリへの転送方向を示す。m2d = 1 かつ d2m = 0 のとき、データはメモリから周辺装置へ転送され、m2d = 0 かつ d2m = 1 のとき、データは周辺装置からメモリへ転送される。

【 0 0 4 2 】

転送開始メモリアドレス生成器 4 2 は、当該チャンネルの内部レジスタ 2 8 から読み出されたパラメータに基づいて転送開始メモリアドレス Start\_Address を生成する。転送開始

50

メモリアドレスStart\_Addressは、データの転送を開始すべきメモリのアドレスを示す。

【 0 0 4 3 】

アドレス増減フラグ生成器 4 4 は、当該チャネルの内部レジスタ 2 8 から読み出されたパラメータに基づいてアドレス増減フラグAddress\_Inc\_NDecを生成する。アドレス増減フラグAddress\_Inc\_NDecは、データを読み出すべき又は書き込むべきアドレスを増加させるか又は減少させるかを示す。Address\_Inc\_NDec = 1 のとき、アドレスはインクリメントされ、Address\_Inc\_NDec = 0 のとき、アドレスはデクリメントされる。

【 0 0 4 4 】

タグ識別フラグ生成器 4 6 は、コントローラ 3 6 に設定された転送モードに応じてタグ識別フラグThis\_Is\_Tagを生成する。タグ識別フラグThis\_Is\_Tagは、タグの取り込みか又はデータの転送かを示す。This\_Is\_Tag = 1 のとき、タグが転送エンジン制御回路 1 2 に取り込まれ、This\_Is\_Tag = 0 のとき、データがメモリと周辺装置との間で転送される。

10

【 0 0 4 5 】

タグ転送識別フラグ生成器 4 8 は、コントローラ 3 6 に設定された転送モードに応じてタグ転送識別フラグTag\_Xferを生成する。タグ転送識別フラグTag\_Xferは、取り込まれたタグも転送するか否か、つまりデータバッファ 1 4 に書き込むか否かを示す。

【 0 0 4 6 】

転送ワード数生成器 5 0 は、演算器 3 8 による演算結果に応じて転送ワード数Xfer\_Countを生成する。転送ワード数Xfer\_Countは、1 回に転送すべきデータのワード数を示す。

【 0 0 4 7 】

20

プリプロセッサ 3 4 は、これらのパラメータ等を含む指示パケットをメモリ・周辺装置転送エンジン 1 8 又は周辺装置・メモリ転送エンジン 2 0 に与える。

【 0 0 4 8 】

このDMAコントローラ 1 0 は7種類の転送モード、具体的には、( 1 ) バルクモード、( 2 ) スライスモード、( 3 ) チェーンモードC 1、( 4 ) チェーンモードC 2、( 5 ) チェーンモードC 3、( 6 ) チェーンモードC 4、及び( 7 ) チェーンモードC 5を有する。以下、これら転送モードの動作を1つずつ説明する。

【 0 0 4 9 】

( 1 ) バルクモード

本モードでは、データがスライスされることなく一括して転送される。詳細は次のとおり。

30

【 0 0 5 0 】

$m2d = 1$  ,  $d2m = 0$  又は  $m2d = 0$  ,  $d2m = 1$  の転送方向識別パラメータが当該チャネルの内部レジスタ 2 8 から読み出され、転送方向識別パラメータ生成器 4 0 に設定される。また、転送開始メモリアドレスStart\_Addressが当該チャネルの内部レジスタ 2 8 から読み出され、転送開始メモリアドレス生成器 4 2 に設定される。また、Address\_Inc\_NDec = 1 又は 0 のアドレス増減フラグが当該チャネルの内部レジスタ 2 8 から読み出され、アドレス増減フラグ生成器 4 4 に設定される。また、コントローラ 3 6 がバルクモードを検出し、これに応じて、This\_Is\_Tag = 0 のタグ識別フラグがタグ識別フラグ生成器 4 6 に設定され、かつTag\_Xfer = 0 のタグ転送識別フラグがタグ転送識別フラグ生成器 4 8 に設定される。さらに、転送ワード数Xfer\_Countが当該チャネルの内部レジスタ 2 8 から読み出され、演算器 3 8 で変更されることなく、そのまま転送ワード数生成器 5 0 に設定される。

40

【 0 0 5 1 】

プリプロセッサ 3 4 はこれらのパラメータ等を含む指示パケットを、 $m2d = 1$  ,  $d2m = 0$  の場合はメモリ・周辺装置転送エンジン 1 8 に与え、 $m2d = 0$  ,  $d2m = 1$  の場合は周辺装置・メモリ転送エンジン 2 0 に与える。

【 0 0 5 2 】

図 3 ( a ) に示すように、メモリ・周辺装置転送エンジン 1 8 は、転送ワード数Xfer\_Count分のバルクデータをメモリからセクタ 1 6 経由でデータバッファ 1 4 に書き込み、かつデータバッファ 1 4 から読み出したデータをセクタ 1 7 経由で周辺装置に送出する

50

。メモリからのデータの読み出しは、転送開始メモリアドレスStart\_Addressから開始し、アドレスは、Address\_Inc\_NDec = 1 の場合は1つずつ増加され、Address\_Inc\_NDec = 0 の場合は1つずつ減少される。

【0053】

一方、周辺装置・メモリ転送エンジン20は、転送ワード数Xfer\_Count分のバルクデータを周辺装置からセクタ16経由でデータバッファ14に書き込み、かつデータバッファ14から読み出したデータをセクタ17経由でメモリに書き込む。メモリへのデータの書き込みは、転送開始メモリアドレスStart\_Addressから開始し、アドレスは、Address\_Inc\_NDec = 1 の場合は1つずつ増加され、Address\_Inc\_NDec = 0 の場合は1つずつ減少される。

10

【0054】

(2) スライスモード

本モードでは、データがnワードずつm個にスライスされ、転送される。ここでも、転送方向識別パラメータm2d/m2d、転送開始メモリアドレスStart\_Address、アドレス増減フラグAddress\_Inc\_NDec、タグ識別フラグThis\_Is\_Tag、タグ転送識別フラグTag\_Xfer = 0、及び転送ワード数Xfer\_Countは、上記と同様に設定される。

【0055】

ただし、図3(b)に示すように、最初のスライスデータについては、CPUから与えられた転送開始メモリアドレスStart\_Addressから転送が開始されるが、2番目以降のスライスデータについては、転送エンジン18, 20からフィードバックされた次の転送開始メモリアドレスNext\_Start\_Addressから転送が開始される。したがって本モードでは、転送エンジン18, 20は、1つのスライスデータを転送し終えた後、最終アドレスに1を加算し、次の転送開始メモリアドレスNext\_Start\_Addressとして転送エンジン制御回路12に返送する。この次の転送開始メモリアドレスNext\_Start\_Addressは、転送開始メモリアドレスStart\_Addressとして当該チャンネルの内部レジスタ28に書き込まれる。

20

【0056】

この場合、図3(b)に示すように、転送エンジン18, 20は、データを転送ワード数Xfer\_Countごとにスライスしてメモリ及び周辺装置間で転送する。

【0057】

(3) チェーンモードC1

チェーンモードはディスクリプタモードとも呼ばれ、転送開始メモリアドレスStart\_Address及び転送ワード数Xfer\_CountをCPUからではなく、メモリから取得する。メモリには、図4に示すように、タグ(ディスクリプタ)として、転送開始メモリアドレスStart\_Address及び転送ワード数Xfer\_Countが書き込まれている。

30

【0058】

チェーンモードでは、最初にタグが読み込まれ、次にデータが転送される。データは、タグ内の転送開始メモリアドレスStart\_Addressから読み出され、タグ内の転送ワード数Xfer\_Countだけ転送される。特に、チェーンモードC1では、タグは1ワードで、タグ自身も転送される。また、データはメモリから周辺装置にバルク転送される。詳細は次のとおり。

40

【0059】

最初にメモリからタグを読み込むために、転送方向識別パラメータがm2d = 1, d2m = 0に設定され、転送開始メモリアドレスStart\_Addressが当該チャンネルの内部レジスタ28から読み出され、タグ用の転送開始メモリアドレスとして設定される。また、アドレス増減フラグがAddress\_Inc\_NDec = 1に設定され、タグ識別フラグがThis\_Is\_Tag = 1に設定される。また、タグ転送識別フラグがTag\_Xfer = 1に設定され、転送ワード数Xfer\_Countが1ワードに設定される。

【0060】

m2d = 1, d2m = 0であるから、プリプロセッサ34はこれらのパラメータ等を含む指示パッケージをメモリ・周辺装置転送エンジン18に与える。メモリ・周辺装置転送エンジン

50



18はメモリにアクセスし、転送開始メモリアドレスStart\_Addressから1ワード分のデータ、つまりタグを読み込み、転送エンジン制御回路12に与える。読み込まれたタグは、当該チャンネルの内部レジスタ28に書き込まれるとともに、データバッファ14にも書き込まれる。

【0061】

次にデータをメモリから周辺装置に転送するために、転送方向識別パラメータが $m2d = 1$ 、 $d2m = 0$ に設定され、タグから得られた転送開始メモリアドレスStart\_Addressが当該チャンネルの内部レジスタ28から読み出され、データ用の転送開始メモリアドレスとして設定される。また、アドレス増減フラグがAddress\_Inc\_NDec = 1又は0に設定され、タグ識別フラグがThis\_Is\_Tag = 0に設定される、かつタグ転送識別フラグがTag\_Xfer = 1に設定される。また、演算器38により、タグから得られた転送ワード数Xfer\_Countに1(タグのワード数)が加算され、その総ワード数が転送ワード数Xfer\_Countとして設定される。

10

【0062】

$m2d = 1$ 、 $d2m = 0$ であるから、プリプロセッサ34はこれらのパラメータ等を含む指示パッケージをメモリ・周辺装置転送エンジン18に与える。その結果、図5(a)に示すように、メモリ・周辺装置転送エンジン18は、1ワードのタグを転送した後、転送ワード数Xfer\_Count分のバルクデータをメモリから周辺装置に転送する。

【0063】

(4)チェーンモードC2

チェーンモードC2では、チェーンモードC1と異なり、タグ自身は転送されない。したがって、最初にメモリからタグを読み込むために設定されるパラメータ等は、タグ転送識別フラグがTag\_Xfer = 0に設定される点を除き、上記チェーンモードC1と同じである。また、次にデータを転送するために設定されるパラメータ等は、タグから得られた転送ワード数Xfer\_Countがそのまま転送ワード数Xfer\_Countとして設定される点を除き、上記チェーンモードC1と同じである。

20

【0064】

この場合、図5(b)に示すように、メモリ・周辺装置転送エンジン18は、転送ワード数Xfer\_Count分のバルクデータ(タグを含まない)をメモリから周辺装置に転送する。

【0065】

(5)チェーンモードC3

チェーンモードC3では、タグは2ワードで、タグ自身は転送されない。また、データはメモリから周辺装置にスライス転送される。したがって、最初にメモリからタグを読み込むために設定されるパラメータ等は、転送ワード数Xfer\_Countが2ワードに設定される点を除き、上記チェーンモードC2と同じである。また、次にデータを転送するために設定されるパラメータ等は、転送ワード数Xfer\_Countを除き、チェーンモードC2と同じである。転送ワード数Xfer\_Countの設定は次のとおり。

30

【0066】

演算器38は、タグから得られた転送ワード数又はまだ転送されずに残っているデータのワード数(以下「残ワード数」という)を、所定スライスサイズ(当該チャンネルの内部レジスタ28に設定されている転送ワード数)と比較する。その結果、タグから得られた転送ワード数又は残ワード数が所定スライスサイズよりも大きい場合、転送ワード数Xfer\_Countは所定スライスサイズに設定され、そうでない場合、タグから得られた転送ワード数又は残ワード数に設定される。

40

【0067】

この場合、図5(c)に示すように、メモリ・周辺装置転送エンジン18は、データを転送ワード数Xfer\_Countごとにスライスしてメモリから周辺装置に転送する。

【0068】

(6)チェーンモードC4

チェーンモードC4では、チェーンモードC3と異なり、タグは4ワードで、タグ自身

50

も転送される。したがって、最初にメモリからタグを読み込むために設定されるパラメータ等は、タグ転送識別フラグがTag\_Xfer = 1 に設定され、かつ転送ワード数Xfer\_Countが4ワードに設定される点を除き、チェーンモードC3と同じである。また、次にデータを転送するために設定されるパラメータ等は、転送ワード数Xfer\_Countを除き、チェーンモードC3と同じである。転送ワード数Xfer\_Countの設定は次のとおり。

**【0069】**

演算器38は、タグから得られた転送ワード数又は残ワード数にタグ分の4ワードを加算した総ワード数を所定スライスサイズと比較する。その結果、総ワード数が所定スライスサイズよりも大きい場合、転送ワード数Xfer\_Countは所定スライスサイズに設定され、そうでない場合、総ワード数に設定される。

10

**【0070】**

この場合、図5(d)に示すように、メモリ・周辺装置転送エンジン18は、4ワードのタグを転送した後、データを転送ワード数Xfer\_Countごとにスライスしてメモリから周辺装置に転送する。

**【0071】****(7)チェーンモードC5**

チェーンモードC5では、チェーンモードC3と異なり、タグは4ワードで、データは周辺装置からメモリに転送される。なお、タグ自身は転送されない。したがって、最初にメモリからタグを読み込むために設定されるパラメータ等は、転送方向識別パラメータm2d/d2m、転送開始メモリアドレスStart\_Address及び転送ワード数Xfer\_Countを除き、チェーンモードC3と同じである。転送方向識別パラメータはm2d = 0, d2m = 1 に設定され、転送開始メモリアドレスStart\_Addressはダミーアドレス(たとえば0)に設定され、転送ワード数Xfer\_Countは4ワードに設定される。

20

**【0072】**

また、次にデータを転送するために設定されるパラメータ等は、転送方向識別パラメータm2d/d2mを除き、チェーンモードC3と同じである。転送方向識別パラメータはm2d = 0, d2m = 1 に設定される。なお、転送開始メモリアドレスはタグから得られた転送開始メモリアドレスStart\_Addressに設定されるが、チェーンモードC5ではデータが周辺装置からメモリに転送されるので、転送元ではなく、転送先のメモリのアドレスを示す。

30

**【0073】**

この場合、図5(e)に示すように、周辺装置・メモリ転送エンジン20は、データを転送ワード数Xfer\_Countごとにスライスして周辺装置からメモリに転送する。

**【0074】**

次に、図6を参照し、チャンネルCh0、チャンネルCh1、チャンネルCh2の順にDMA要求/承認ハンドラ26が要求を受け付けた場合の動作を説明する。

**【0075】**

チャンネルCh0がメモリから周辺装置にデータをバルクで転送するよう要求してきた場合、そのための指示パケットIP1がプリプロセッサ34からメモリ・周辺装置転送エンジン18に与えられる。

**【0076】**

次に、チャンネルCh1がメモリから周辺装置にデータをチェーンモードで転送するよう要求してきた場合、最初に、タグを読み込むための指示パケットIP2がプリプロセッサ34からメモリ・周辺装置転送エンジン18に与えられ、続いて、データを転送するための指示パケットIP3がプリプロセッサ34からメモリ・周辺装置転送エンジン18に与えられる。

40

**【0077】**

そして、チャンネルCh2が周辺装置からメモリにデータをチェーンモードで転送するよう要求してきた場合、最初に、タグを読み込むための指示パケットIP4がプリプロセッサ34から周辺装置・メモリ転送エンジン20に与えられ、続いて、データを転送するための指示パケットIP5がプリプロセッサ34から周辺装置・メモリ転送エンジン20に

50

与えられる。

【0078】

以上、本発明の実施の形態によれば、プリプロセッサ34において7種類の転送モードに応じて指示パケットが生成され、転送エンジン18, 20に与えられる。したがって、転送エンジン18, 20は単に指示パケットに従ってデータを転送しさえすればよく、回路構成を複雑化することなく、7種類の転送モードに対応することができる。また、指示パケットに含まれる転送ワード数Xfer\_Count分のデータが転送されるので、転送エンジン18, 20はバルク転送及びスライス転送の区別を必要としない。さらに、転送エンジン18, 20からプリプロセッサ34に次の転送開始メモリアドレスNext\_Start\_Addressが与えられ、次のデータ転送のためにプリプロセッサ34から転送エンジン18, 20に与えられる。したがって、データはスライスされて転送される。

10

【0079】

上記実施の形態には7種類の転送モードがあるが、この数は何ら限定されない。7種類の転送モードのうちいくつかはなくてもよく、逆に、これら以外の転送モードが追加されてもよい。

【0080】

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

【図面の簡単な説明】

20

【0081】

【図1】本発明の実施の形態によるDMAコントローラの構成を示す機能ブロック図である。

【図2】図1に示したDMAコントローラ中の転送エンジン制御回路の構成を示す機能ブロック図である。

【図3】図1に示したDMAコントローラの動作を示すタイミング図であり、(a)はバルクモードを示し、(b)はスライスモードを示す。

【図4】図1に示したDMAコントローラがチェーンモードで参照するためのメモリ上のタグを示すメモリマップである。

【図5】図1に示したDMAコントローラのチェーンモードにおける動作を示すタイミング図である。

30

【図6】図1に示したDMAコントローラでプリプロセッサから転送エンジンに与えられる指示パケットを示すタイミング図である。

【符号の説明】

【0082】

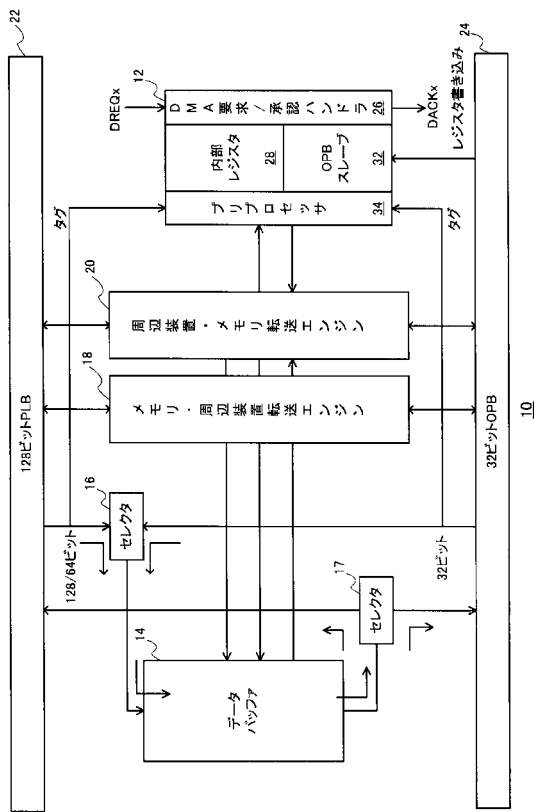
- 10 コントローラ
- 12 転送エンジン制御回路
- 14 データバッファ
- 16, 17, 30, 31 セレクタ
- 18 メモリ・周辺装置転送エンジン
- 20 周辺装置・メモリ転送エンジン
- 22 PLB
- 24 OPB
- 26 DMA要求/承認ハンドラ
- 28 内部レジスタ
- 34 プリプロセッサ
- 36 コントローラ
- 38 演算器
- 40 転送方向識別パラメータ生成器
- 42 転送開始メモリアドレス生成器

40

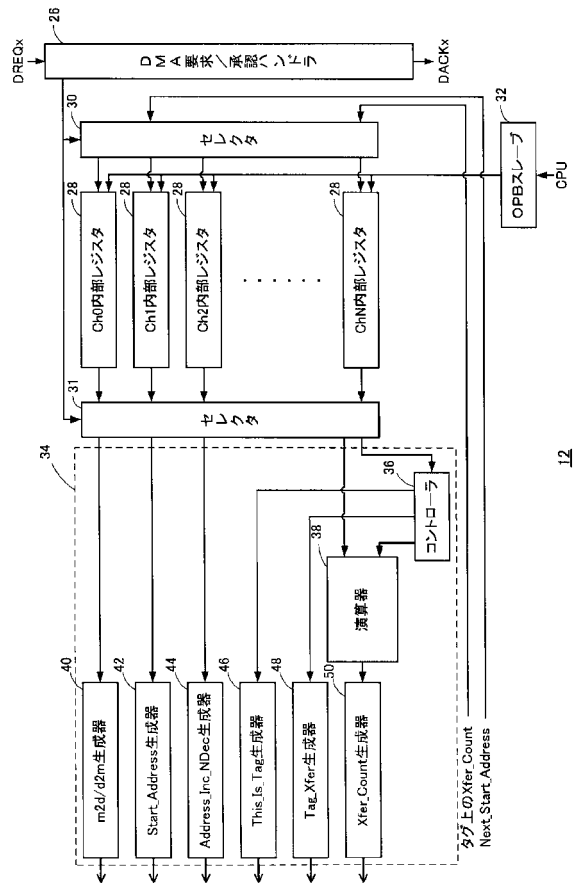
50

- 4 4 アドレス増減フラグ生成器
- 4 6 タグ識別フラグ生成器
- 4 8 タグ転送識別フラグ生成器
- 5 0 転送ワード数生成器

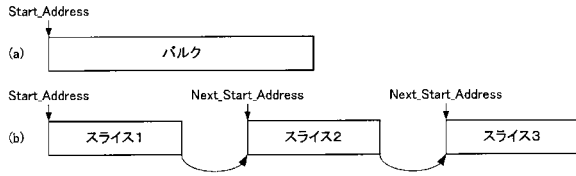
【図1】



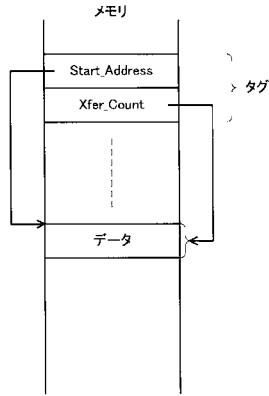
【図2】



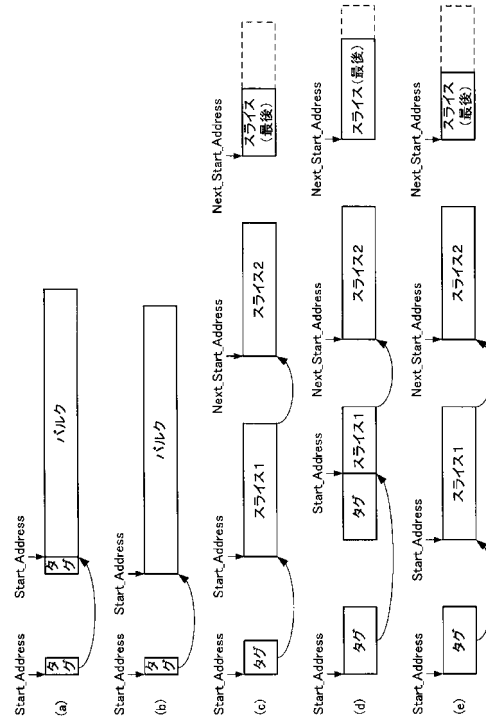
【図3】



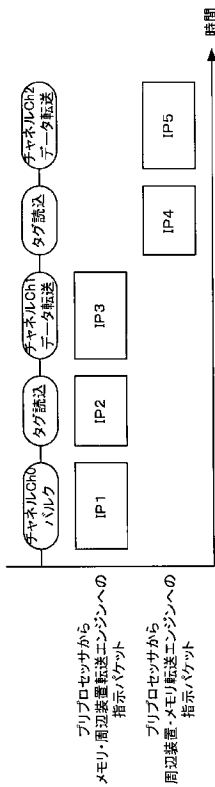
【図4】



【図5】



【図6】



---

フロントページの続き

(72)発明者 石井 浩二

滋賀県野洲市市三宅800番地 日本アイ・ビー・エム株式会社 野洲事業所内

審査官 千本 潤介

(56)参考文献 特開平07-013921(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 13/28

G06F 13/36