

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6289163号
(P6289163)

(45) 発行日 平成30年3月7日(2018.3.7)

(24) 登録日 平成30年2月16日(2018.2.16)

(51) Int.Cl. F I
GO2F 1/1345 (2006.01) GO2F 1/1345
GO2F 1/1343 (2006.01) GO2F 1/1343

請求項の数 7 (全 13 頁)

<p>(21) 出願番号 特願2014-36213 (P2014-36213) (22) 出願日 平成26年2月27日 (2014.2.27) (65) 公開番号 特開2015-161753 (P2015-161753A) (43) 公開日 平成27年9月7日 (2015.9.7) 審査請求日 平成29年2月1日 (2017.2.1)</p>	<p>(73) 特許権者 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号 (74) 代理人 100088672 弁理士 吉竹 英俊 (74) 代理人 100088845 弁理士 有田 貴弘 (72) 発明者 田代 智裕 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内 審査官 横井 亜矢子</p>
--	--

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

薄膜トランジスタアレイ基板と、
 前記薄膜トランジスタアレイ基板に対向配置され、表面に透明導電膜が形成されたカラーフィルタ基板と、を備え、
 前記薄膜トランジスタアレイ基板は、
 前記透明導電膜に接続し、前記透明導電膜に接地電位を供給する第1の配線と、
 前記第1の配線とは別に前記透明導電膜に接続した第2の配線と、
 前記薄膜トランジスタアレイ基板の少なくとも1辺の外周部に実装されたドライバーICと、を有し、
 前記第2の配線は、前記薄膜トランジスタアレイ基板の前記ドライバーICを実装する辺以外の全ての辺の最外周部に延在していることを特徴とする液晶表示装置。

【請求項2】

前記薄膜トランジスタアレイ基板、前記カラーフィルタ基板において、前記第1の配線と前記第2の配線との間の導通経路は、前記透明導電膜を介する経路のみである請求項1記載の液晶表示装置。

【請求項3】

薄膜トランジスタアレイ基板と、
 前記薄膜トランジスタアレイ基板に対向配置され、表面に透明導電膜が形成されたカラ

ーフィルタ基板と、を備え、

前記薄膜トランジスタアレイ基板は、

前記透明導電膜に接続し、前記透明導電膜に接地電位を供給する第 1 の配線と、

前記第 1 の配線とは別に前記透明導電膜に接続した第 2 の配線と、を有し、

前記第 2 の配線は、前記薄膜トランジスタアレイ基板の少なくとも 1 辺の最外周部に延在しており、

前記薄膜トランジスタアレイ基板は、

前記第 2 の配線が延在していない部分の最外周部に、接地電位が供給された第 3 の配線をさらに有する

ことを特徴とする液晶表示装置。

10

【請求項 4】

前記薄膜トランジスタアレイ基板、前記カラーフィルタ基板において、前記第 1 の配線と前記第 2 の配線との間の導通経路は、前記透明導電膜を介する経路のみである

請求項 3 記載の液晶表示装置。

【請求項 5】

前記薄膜トランジスタアレイ基板は、

前記薄膜トランジスタアレイ基板の外周部に形成され、各画素の共通電極に接続されるコモン電位配線をさらに有し、

前記第 2 の配線および前記第 3 の配線は、前記コモン電位配線の外側に配設されている請求項 3 または請求項 4 記載の液晶表示装置。

20

【請求項 6】

前記第 2 の配線と前記第 3 の配線との間隔は、前記コモン電位配線と前記第 2 の配線または前記第 3 の配線との間隔よりも狭い

請求項 5 記載の液晶表示装置。

【請求項 7】

前記液晶表示装置の少なくとも 1 辺に導電性のシールドイングテープが貼り付けられており、

前記第 2 の配線には、前記シールドイングテープを通して接地電位が供給される請求項 1 から請求項 6 のいずれか一項記載の液晶表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、静電気放電（ESD）耐性の向上を図る技術に関するものである。

【背景技術】

【0002】

従来、液晶表示装置（LCD）の構造としては、液晶パネル前面の 4 辺を覆うフロントフレームを有する構造が一般的であったが、近年では、意匠的・機構的な理由でフロントフレームを持たない構造（フロントフレームレス構造）の LCD が増えてきている。

【0003】

フロントフレームを有する LCD において、フロントフレームは、液晶パネルの各画素を駆動するドライバー IC（表示信号を出力するソースドライバー IC と操作信号を出力するゲートドライバー IC を含む）を静電気放電（ESD）から保護するために、ドライバー IC を覆うように液晶パネルに取り付けられていた。そのため、フロントフレームレス構造の LCD では、フロントフレームの代わりにドライバー IC を ESD から保護する導電性テープ（以下「シールドイングテープ」）が、液晶パネルに貼り付けられる。なお、ドライバー IC の周辺回路（バイパスコンデンサ等）、制御回路、電源回路などの電子部品がドライバー IC に接続される FPC 上に実装される場合、シールドイングテープはこれら FPC 上の電子部品の保護も兼ねることが多い。

40

【0004】

50

通常、シールディングテープは、液晶パネルにおけるドライバーＩＣが配設された辺にのみ貼り付けられる。しかし、その場合、シールディングテープが無い辺にＥＳＤが印加されると、ＥＳＤの放電パスが存在しないことから、液晶パネルの外周部に配設されたコモン電位（ＶＣＯＭ）配線にＥＳＤノイズが乗り、定められた規格を満足できないことがある。この問題は、シールディングテープをドライバーＩＣが無い辺にも追加して貼り付ければ解決できる。

【０００５】

また、例えば下記の特許文献１には、液晶パネルの薄膜トランジスタ（ＴＦＴ）アレイ基板の外周部に接地電位（ＧＮＤ）の配線（接地配線）を延在させることによって、各辺にＥＳＤの放電パスを作る技術が開示されている。

【先行技術文献】

【特許文献】

【０００６】

【特許文献１】特開２００１－１００２３３号公報

【発明の概要】

【発明が解決しようとする課題】

【０００７】

フロントフレームレス構造のＬＣＤでは、液晶パネルの全ての辺にシールディングテープを貼り付ければ、全ての辺でＳＥＤの放電パスを確保できる。ただし、シールディングテープの貼り付け位置の精度を考慮すると、シールディングテープを各辺に１つずつ貼り付けることが必要となり、製造コストの上昇を招く。また、シールディングテープの貼り付け枚数が増えると、シールディングテープが剥がれるリスクが増加するため、歩留まりが低下も懸念される。

【０００８】

また、フロントフレームを有する構造のＬＣＤにおいても接地電位との接続（ＧＮＤ接続）が弱い（十分な放電パスが設けられていない）場合や、フロントフレーム自体をＧＮＤ接続しないアプリケーション（例えば、アミューズメント遊技機用途等）においてもＥＳＤが問題となる場合がある。その他、フロントフレームを有する構造のＬＣＤの液晶パネルを、フロントフレームレス構造のＬＣＤに転用した場合（つまり、フロントフレームを有する構造のＬＣＤとフロントフレームレス構造のＬＣＤとで液晶パネルを共通化した場合）にも同様に、ＥＳＤが問題となる場合がある。

【０００９】

特許文献１のように、液晶パネルの外周部に接地配線を延在させてＥＳＤの放電パスを作れば、シールディングテープの枚数を削減できる。しかし、ドライバーＩＣと接続する接地配線そのものを使ってＥＳＤの放電経路を作ると、印加されたＥＳＤが直接ドライバーＩＣの内部に回り込み、表示不具合を誘発させるおそれがある。

【００１０】

一方、ＩＰＳ（In-Place-Switching）方式（「ＩＰＳ」は登録商標）など、横方向電界を用いて液晶を駆動する方式（横電界方式）の液晶パネルでは、画質向上の観点から、カラーフィルタ（ＣＦ）基板の表面に、例えばＩＴＯなどの透明導電膜（以下「ＣＦ透明導電膜」と称す）を設け、それをＴＦＴアレイ基板上の接地配線に接続させることが行われている。カラーフィルタ基板の電位が変動すると画面の緑化などの表示劣化が発生するためである。

【００１１】

ＣＦ透明導電膜と接地配線との接続は、アルミなどの導電性テープまたは銀ペーストなどの導電性ペーストを用いて行われることが多い。ＣＦ透明導電膜と接地配線とが正常に接続されているかのチェック（以下「ＣＦ接地チェック」と称す）は、ＣＦ透明導電膜に接続したチェック用の配線（ＣＦ接地チェック用配線）を接地配線とは個別にＴＦＴアレイ基板上に設け、ＣＦ接地チェック用配線と接地配線との間の導通試験（抵抗値の測定）を行うことで実施可能である。

10

20

30

40

50

【 0 0 1 2 】

本発明は以上のような課題を解決するためになされたものであり、液晶パネルの各辺に E S D の放電パスを確保して必要なシールドイングテープの枚数を抑えると共に、ドライバー I C の内部への E S D の回り込みを防止できる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 3 】

本発明に係る液晶表示装置は、薄膜トランジスタアレイ基板と、前記薄膜トランジスタアレイ基板に対向配置され、表面に透明導電膜が形成されたカラーフィルタ基板と、を備え、前記薄膜トランジスタアレイ基板は、前記透明導電膜に接続し、前記透明導電膜に接地電位を供給する第 1 の配線と、前記第 1 の配線とは別に前記透明導電膜に接続した第 2 の配線と、前記薄膜トランジスタアレイ基板の少なくとも 1 辺の外周部に実装されたドライバー I C と、を有し、前記第 2 の配線は、前記薄膜トランジスタアレイ基板の前記ドライバー I C を実装する辺以外の全ての辺の最外周部に延在している。

10

【発明の効果】

【 0 0 1 4 】

本発明によれば、第 2 の配線によって E S D の放電パスを確保できるため、シールドイングテープの枚数を抑制でき、製造コストの低減および歩留まり向上を図ることができる。また、第 2 の配線 (C F 接地チェック用配線) を用いて E S D の放電パスを形成することで、ドライバー I C の内部への E S D の回り込みを防止できる。さらに、カラーフィルタ基板の表面の透明導電膜と接地配線との接続チェックも行うことができる。

20

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】実施の形態 1 に係る液晶表示装置の正面図である。

【図 2】実施の形態 1 に係る液晶表示装置を構成する液晶パネル、F P C および回路基板の構成を示す図である。

【図 3】C F 透明導電膜と接地配線および C F 接地チェック用配線との接続部の拡大斜視図である。

【図 4】T F T アレイ基板上の接地配線、C F 接地チェック用配線およびコモン電位配線の位置関係を示す図である。

30

【図 5】シールドイングテープの貼り付け工程を示す図である。

【図 6】シールドイングテープの貼り付け後における液晶表示装置の背面構成を示す図である。

【図 7】実施の形態 1 の変形例に係る液晶表示装置を構成する液晶パネル、F P C および回路基板の構成を示す図である。

【図 8】実施の形態 1 に係る液晶表示装置における F P C と T F T アレイ基板との接続部の拡大図である。

【図 9】実施の形態 1 の変形例における留意点を説明するための図である。

【図 1 0】実施の形態 1 の変形例における留意点を説明するための図である。

【図 1 1】実施の形態 1 の変形例に係る液晶表示装置を構成する液晶パネル、F P C および回路基板の構成を示す図である。

40

【図 1 2】実施の形態 2 に係る液晶表示装置を構成する液晶パネル、F P C および回路基板の構成を示す図である。

【発明を実施するための形態】

【 0 0 1 6 】

< 実施の形態 1 >

図 1 は、本発明の実施の形態 1 に係る液晶表示装置の正面図である。この液晶表示装置は、液晶パネル 1 とバックライト等の周辺装置 (不図示) がモールドフレーム 6 0 内に収められて成るフロントフレームレス構造を有している。また、液晶パネル 1 には、その上側の辺にのみシールドイングテープ 5 0 が貼り付けられている。以下の説明では、液晶パ

50

ネル 1 の左側、右側、上側、下側の各辺を、それぞれ「左辺」、「右辺」、「上辺」、「下辺」と称する。

【 0 0 1 7 】

図 2 は、実施の形態 1 に係る液晶表示装置の構成を示す図であり、液晶表示装置を構成する要素のうち、液晶パネル 1、FPC30 および回路基板 40 を示している。本実施の形態では、液晶パネル 1 は横電界方式により駆動されるものとする。

【 0 0 1 8 】

液晶パネル 1 は、薄膜トランジスタアレイ基板 10（以下「TFTアレイ基板」）とカラーフィルタ基板 20 とが対向配置され、その間に液晶（不図示）が封止された構造を有している。TFTアレイ基板 10 は、カラーフィルタ基板 20 よりも一回り大きくなっており、液晶パネル 1 の各辺は、TFTアレイ基板 10 の各辺に対応している。

10

【 0 0 1 9 】

TFTアレイ基板 10 には、各画素を構成する TFT や画素電極、共通電極などがマトリックス状に形成されている。また、TFTアレイ基板 10 の上辺近傍には、各画素を駆動するドライバー IC 11（ソースドライバー IC およびゲートドライバー IC を含む）が実装されている。

【 0 0 2 0 】

カラーフィルタ基板 20 には、その表面に透明導電膜（CF透明導電膜）21 が設けられており、さらにその上に偏光板 22 が取り付けられている。CF透明導電膜 21 には、TFTアレイ基板 10 上の接地配線 13a（第 1 の配線）を通して接地電位が供給される。また、CF透明導電膜 21 には、TFTアレイ基板 10 の CF 接地チェック用配線 15（第 2 の配線）も、接地配線 13a とは別に接続されている。

20

【 0 0 2 1 】

図 2 に示すように、TFTアレイ基板 10 の外周部には、各画素の共通電極に一定電位（コモン電位）を供給するためのコモン電位配線 12 が、表示領域を囲むように配設されている。また、コモン電位配線 12 のさらに外側には、接地配線 13b（第 3 の配線）および CF 接地チェック用配線 15 が延在している。接地配線 13b および CF 接地チェック用配線 15 は、TFTアレイ基板 10 の最外周部に配設されている。

【 0 0 2 2 】

図 2 のように、接地配線 13b は、TFTアレイ基板 10 の左半分の外周（下辺の左半分と左辺）に沿って延在し、CF 接地チェック用配線 15 は、TFTアレイ基板 10 の右半分の外周（下辺の右半分と右辺）に沿って延在している。接地配線 13b および CF 接地チェック用配線 15 は、最終的にはどちらにも接地電位が供給されることになるが、接地配線 13b と CF 接地チェック用配線 15 は TFTアレイ基板 10 上で接続していない。

30

【 0 0 2 3 】

図 3 は、CF透明導電膜 21 と接地配線 13a および CF 接地チェック用配線 15 との接続部の拡大斜視図である。TFTアレイ基板 10 上の接地配線 13a は、カラーフィルタ基板 20 の脇まで延びており、その先端に CF 透明導電膜 21 と接続するためのパッドである CF 接続用パッド 14 が形成されている。CF透明導電膜 21 と CF 接続用パッド 14 に跨がるように導電性ペースト 71 が塗布されることで、接地配線 13a と CF 透明導電膜 21 とが電氣的に接続される。

40

【 0 0 2 4 】

TFTアレイ基板 10 上の CF 接地チェック用配線 15 も、カラーフィルタ基板 20 の脇まで延びており、その先端に CF 透明導電膜 21 と接続するためのパッドである CF 接続用パッド 16 が形成されている。CF透明導電膜 21 と CF 接続用パッド 16 に跨がるように導電性ペースト 72 が塗布されることで、CF 接地チェック用配線 15 と CF 透明導電膜 21 とが電氣的に接続される。導電性ペースト 71、72 の代わりに、導電性テープを用いてもよい。

【 0 0 2 5 】

50

TFTアレイ基板10上の接地配線13a, 13bは、FPC30上の接地配線31に接続される。また、FPC30を介してTFTアレイ基板10に接続される回路基板40は、接地電位が供給される接地パッド41および接地配線42を有しており、FPC30のコネクタ端子部37が回路基板40のコネクタ43に挿入されることで、FPC30上の接地配線31ならびにTFTアレイ基板10上の接地配線13a, 13bに、接地電位が供給されるようになる。

【0026】

また、TFTアレイ基板10上のCF接地チェック用配線15は、FPC30上のCF接地チェック用配線33に接続される。FPC30上のCF接地チェック用配線33には、CF接地チェック用パッド34が設けられている。

10

【0027】

図2から分かるように、接地パッド41とCF接地チェック用パッド34との間には、接地配線42, 31, 13a、CF接続用パッド14、導電性ペースト71、CF透明導電膜21、導電性ペースト72、CF接地チェック用配線15, 33が直列に接続しており、接地パッド41とCF接地チェック用パッド34との間の導通試験(抵抗値の測定)を行うことで、CF透明導電膜21と接地配線42, 31, 13aとが正常に接続されているかのチェック(CF接地チェック)を行うことができる。

【0028】

上記のCF接地チェックを可能にするためには、TFTアレイ基板10上の接地配線13aとCF接地チェック用配線15との電気的な接続経路(導通経路)が、CF透明導電膜21を介する経路のみであることが必要である。それ以外の経路で接地配線13aとCF接地チェック用配線15とが接続されていると、CF透明導電膜21と接地配線13aとの間に接続不良が生じたとしても、接地パッド41とCF接地チェック用パッド34との間が導通するため、その接続不良を検知できないからである。

20

【0029】

そのため、TFTアレイ基板10上の接地配線13a, 13bおよびCF接地チェック用配線15は、それぞれ分離したパターンとなっている。また、導電性ペースト71, 72は、互いに分離して塗布される。

【0030】

接地配線13bは、TFTアレイ基板10の左半分の外周部(下辺の左半分と左辺)に形成されており、CF接地チェック用配線15は、TFTアレイ基板10の右半分の外周部(下辺の右半分と右辺)に形成されている。CF接地チェックによって接地パッド41とCF接地チェック用パッド34との間の導通が確認できれば、CF接地チェック用配線15には接地電位が印加されることになる。

30

【0031】

このように、液晶パネル1の左辺、右辺、下辺に接地電位が印加される配線が延在することで、それら3辺にESDの放電パスが形成される。また、図1に示したように、液晶パネル1の上辺にはシールディングテープ50が貼り付けられており、上辺におけるESDの放電パスはシールディングテープ50によって形成される。このように、全ての辺にESDの放電パスが形成されているため、ESD耐性の高い液晶パネル1を得ることができる。また、液晶パネル1の左辺、右辺、下辺にシールディングテープを設ける必要がないため、シールディングテープ50は1枚でよく、製造コストの上昇および歩留まりの低下を防止することができる。

40

【0032】

さらに、液晶パネル1の外周部に配設される接地配線13aおよびCF接地チェック用配線15は、ドライバーIC11に接続させる接地電位とは別に、FPC30から引き出されている。そのため、液晶パネル1の外周部に印加されたESDが直接ドライバーICの内部に回り込むことが、FPC30上の配線によって低減される。

【0033】

図4は、TFTアレイ基板10上の接地配線13b、CF接地チェック用配線15およ

50

びコモン電位配線 1 2 の位置関係を示す図であり、図 1 の領域 A の拡大図である。図 1 に示すように、接地配線 1 3 b は、T F T アレイ基板 1 0 の左上部分で F P C 3 0 上の接地配線 3 1 に接続しており、T F T アレイ基板 1 0 の左辺および下辺に沿って延在し、下辺の中央部（領域 A）まで延びる。また、C F 接地チェック用配線 1 5 は、T F T アレイ基板 1 0 の右上部分で C F 透明導電膜 2 1 および F P C 3 0 上の C F 接地チェック用配線 3 3 に接続し、T F T アレイ基板 1 0 の右辺および下辺に沿って延在し、下辺の中央部まで延びる。接地配線 1 3 b および C F 接地チェック用配線 1 5 は、コモン電位配線 1 2 よりも外側に配設されている。

【 0 0 3 4 】

図 4 のように、T F T アレイ基板 1 0 上の接地配線 1 3 b と C F 接地チェック用配線 1 5 とは互いに接続していないが、その間の間隔 D 1 が十分小さければ、E S D ノイズは接地配線 1 3 b と C F 接地チェック用配線 1 5 との間を飛び越えることができ、液晶パネル 1 の下辺中央部にも E S D の放電パスを確保できる。間隔 D 1 は、T F T アレイ基板 1 0 の設計における隣接間距離ルール程度の値、例えば $20 \mu\text{m} \sim 30 \mu\text{m}$ 程度でよい。一方、接地配線 1 3 a および C F 接地チェック用配線 1 5 とコモン電位配線 1 2 との間隔 D 2 は、上記の間隔 D 1 よりも広いことが好ましい。そうすることにより、コモン電位配線 1 2 に E S D ノイズが乗ることを防止できる。

【 0 0 3 5 】

図 5 は、液晶パネル 1 へのシールドイングテープ 5 0 の貼り付け工程を示す図である。F P C 3 0 は、液晶パネル 1 の上辺に沿って液晶パネル 1 の裏側へ折り曲げられ、シールドイングテープ 5 0 は、F P C 3 0 を覆うように、液晶パネル 1 の上辺から裏面に渡って貼り付けられる。シールドイングテープ 5 0 の貼り付け面は、絶縁性で粘着性のない回路保護用絶縁部 5 1 と、導電性で粘着性のある導電性粘着部 5 2 とに分かれている。回路保護用絶縁部 5 1 は、F P C 3 0 上に実装された電子部品 3 6 を覆うように設けられている。

【 0 0 3 6 】

ここで、F P C 3 0 上の接地配線 3 1 には、液晶パネル 1 に貼り付けられたシールドイングテープ 5 0 の導電性粘着部 5 2 と接触する位置に、接地配線パッド 3 2 a , 3 2 b が設けられている。また、C F 接地チェック用パッド 3 4 も、シールドイングテープ 5 0 の導電性粘着部 5 2 と接触する位置に形成されている。

【 0 0 3 7 】

そのため、シールドイングテープ 5 0 が貼り付けられた状態では、接地配線 3 1 と C F 接地チェック用配線 3 3 , 1 5 とはシールドイングテープ 5 0 を通しても電氣的に接続することになる。これにより、E S D の放電パスが低抵抗化され、液晶パネル 1 の E S D 耐性がさらに向上する。また、例えば、液晶表示装置の組み立て後に C F 透明導電膜 2 1 と C F 接地チェック用配線 1 5 と接続不良が生じたような場合でも、C F 接地チェック用配線 1 5 を接地電位に維持できるという効果も得られる。

【 0 0 3 8 】

また、シールドイングテープ 5 0 を液晶パネル 1 に貼り付けた後は、液晶パネル 1 の背面側は図 6 のようになる。シールドイングテープ 5 0 は、導電性粘着部 5 2 を介して、液晶パネル 1 の裏側に露出しているバックライトの金属製の筐体 6 1（以下「バックライトリアメタル」）に接続される。また、回路基板 4 0 は、金属製のねじ 4 4 によってバックライトリアメタル 6 1 に固定される。

【 0 0 3 9 】

図 6 の例では、ねじ 4 4 を通す回路基板 4 0 のねじ穴は、接地パッド 4 1 内に設けられたスルーホール（接地電氣的穴）としている。この構成によれば、F P C 3 0 上の接地配線パッド 3 2 a , 3 2 b および C F 接地チェック用パッド 3 4 と、回路基板 4 0 上の回路基板 4 0 とが、シールドイングテープ 5 0、バックライトリアメタル 6 1 およびねじ 4 4 を経由する経路でも電氣的に接続されることになる。よって、液晶パネル 1 の E S D 耐性をさらに向上させることができる。また、接地配線 1 3 b および C F 接地チェック用配線

10

20

30

40

50

15に印加されたESDを、接地配線パッド32a, 32bおよびCF接地チェック用パッド34からバックライトリアメタル61へと放電できるため、液晶パネル1の外周部に印加されたESDが直接ドライバーICの内部に回り込むことを防止する効果がさらに向上する。

【0040】

回路基板40を液晶パネル1のバックライトリアメタル61に固定する手段は、ねじに限られず、導電性のある伸縮性のボスやガスケット等、他の手段でもよい。なお、図6では、回路基板40が液晶表示装置に組み込まれる例を示したが、回路基板40は液晶表示装置の外部のシステム側に組み込まれることもある。

【0041】

[変形例]

図2の例では、液晶パネル1の左半分の外周部に接地配線13bを設け、右半分の外周部にCF接地チェック用配線15を設けた。すなわち、接地配線13bが延在する領域とCF接地チェック用配線15が延在する領域との境界を、TFTアレイ基板10の中央(領域A)としたが、その境界の位置は他の場所でもよい。例えば、接地配線13bを液晶パネル1の左辺のみに延在させ、CF接地チェック用配線15を液晶パネル1の右辺と下辺の全体に延在させてもよい。また例えば、接地配線13bを液晶パネル1の左辺と下辺の全体に延在させ、CF接地チェック用配線15を液晶パネル1の右辺のみに全体に延在させてもよい。すなわち、CF接地チェック用配線15は、TFTアレイ基板10の少なくとも一辺の外周部に配設されていればよい。

【0042】

また、図7に示すように、CF接地チェック用配線15, 33を、TFTアレイ基板10およびFPC30上で周回させてもよい(TFTアレイ基板10の外周部には接地配線13bを設けない)。すなわち、図7のように、TFTアレイ基板10上のCF接地チェック用配線15を、TFTアレイ基板10の右辺、下辺、左辺に連続的に延在させ、そのCF接地チェック用配線33の両端の間をFPC30上のCF接地チェック用配線33で接続させてもよい。

【0043】

ただし、図7の構成では、FPC30においてCF接地チェック用配線33として用いる領域が増える分、接地電位に固定する領域(GND領域)が削られるため、EMC(Electro-Magnetic Compatibility)上の懸念点が発生しやすくなることに留意すべきである。

【0044】

また、図2のようにTFTアレイ基板10の左辺に接地配線13bを設けた構成では、図7の構成に比べて、以下のような利点もある。

【0045】

FPC30のコネクタ端子部37やTFTアレイ基板10との接続部に形成される接続端子には、金めっきが施される。金めっきの手法としては無電解めっき法と電解めっき法があるが、電解めっき法の方が折り曲げに対して良好な特性を持つことから、液晶パネル1に接続されるFPC30には電解めっき法が一般的に採用される。電解めっき法では、めっきを施す接続端子に給電を行う必要があるため、接続端子からFPC30の端部まで延びるリード線が必要である。

【0046】

図8は、図2の構成におけるFPC30とTFTアレイ基板10との接続部の拡大図であり、TFTアレイ基板10上の接地配線13bおよび共通電位配線12の接続端子17a, 17bと、FPC30上の接続端子38a, 38bとの接続部が示されている。図2の構成では、TFTアレイ基板10上の接地配線13bに接続されるFPC30上の接続端子38aは、FPC30上の接地配線31に繋がるため、コネクタ端子部37側でリード線を取り出せる。そのため、図8のように、接続端子38aをFPC30の端部から離間させて配設する「寸止め処理」が可能である。

10

20

30

40

50

【 0 0 4 7 】

一方、図 9 は、図 7 の構成における F P C 3 0 と T F T アレイ基板 1 0 との接続部の拡大図であり、T F T アレイ基板 1 0 上の C F 接地チェック用配線 1 5 およびコモン電位配線 1 2 の接続端子 1 7 c , 1 7 b と、F P C 3 0 上の接続端子 3 8 c , 3 8 b との接続部が示されている。図 7 の構成では、T F T アレイ基板 1 0 上の C F 接地チェック用配線 1 5 に接続される F P C 3 0 上の接続端子 3 8 c は、コネクタ端子部 3 7 に繋がる配線に接続されないため、コネクタ端子部 3 7 側でリード線を取り出すことはできない。そのため、接続端子 3 8 c を F P C 3 0 の端部まで延ばしてリード線を取り出す必要がある。その場合、T F T アレイ基板 1 0 上の接続端子 1 7 c からの C F 接地チェック用配線 1 5 の引き出し距離が短いと、図 1 0 のように、F P C 3 0 上の接続端子 3 8 c によって C F 接地

10

【 0 0 4 8 】

従って、図 2 の構成では、図 7 の場合に比べて、T F T アレイ基板 1 0 の小型化に寄与できるという利点がある。

【 0 0 4 9 】

また、図 2 の例においては C F 透明導電膜 2 1 と接地配線との接続箇所は 1 箇所であったが、複数箇所としてもよい。図 1 1 は、C F 透明導電膜 2 1 と接地配線との接続箇所を 2 箇所とした例であり、図 2 の構成に対し、さらに T F T アレイ基板 1 0 の上辺中央部に C F 透明導電膜 2 1 との接続に用いる接地配線 1 3 c 、C F 接続用パッド 1 4 a および導電性ペースト 7 1 a を設けている。図 2 の構成と同様の効果が得られると共に、C F 透明導電膜 2 1 をより確実に接地電位に固定することができる。

20

【 0 0 5 0 】

< 実施の形態 2 >

図 1 2 は、実施の形態 2 に係る液晶表示装置の構成を示す図であり、液晶表示装置を構成する要素のうち、液晶パネル 1 、F P C 3 0 および回路基板 4 0 を示している。

【 0 0 5 1 】

実施の形態 2 においては、T F T アレイ基板 1 0 上の C F 接地チェック用配線 1 5 を、T F T アレイ基板 1 0 の右辺、下辺、左辺に連続的に延在させている (T F T アレイ基板 1 0 の外周部に接地配線 1 3 b を設けない) 。 T F T アレイ基板 1 0 上の C F 接地チェック用配線 1 5 の右側端部には、図 2 と同様に、F P C 3 0 上の C F 接地チェック用配線 3 3 および C F 接地チェック用パッド 3 4 が接続されている。一方、C F 接地チェック用配線 3 3 の左側端部には、F P C 3 0 上の C F 接地チェック用配線 3 3 a および C F 接地チェック用パッド 3 4 a が接続されている。

30

【 0 0 5 2 】

C F 接地チェック用パッド 3 4 a は、F P C 3 0 上では接地配線 3 1 とは接続していないが、シールディングテープ 5 0 の導電性粘着部 5 2 に接触する位置に配設されており、シールディングテープ 5 0 を貼り付けた状態では、シールディングテープ 5 0 を通して接地配線 3 1 の接地配線パッド 3 2 a と電氣的に接続される。

40

【 0 0 5 3 】

シールディングテープ 5 0 を貼り付ける前であれば、C F 接地チェック用パッド 3 4 a と回路基板 4 0 上の接地パッド 4 1 と間の導通試験を行って、C F 接地チェックを行うことができる。ただし、F P C 3 0 上に C F 接地チェック用パッドを複数設ける場合、F P C 3 0 上にその形成領域の確保が必要になる。

【 0 0 5 4 】

なお、上述の実施の形態 1 および 2 においては、液晶パネル 1 の T F T アレイ基板 1 0 は、カラーフィルタ基板 2 0 よりも一回り大きいとして説明したが、ドライバー I C 1 1 を実装する上辺以外、すなわち左辺、右辺、および下辺は T F T アレイ基板 1 0 の各辺と

50

同一の大きさでもよい（いわゆる面一構造）。この場合、TFTアレイ基板10の左辺、右辺、および下辺がカラーフィルタ基板20で覆われるため、ESD耐性の向上も期待できる。

【0055】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

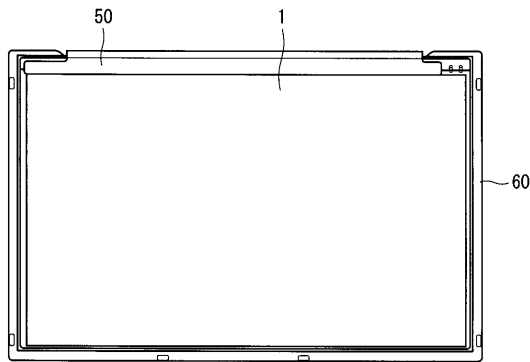
【符号の説明】

【0056】

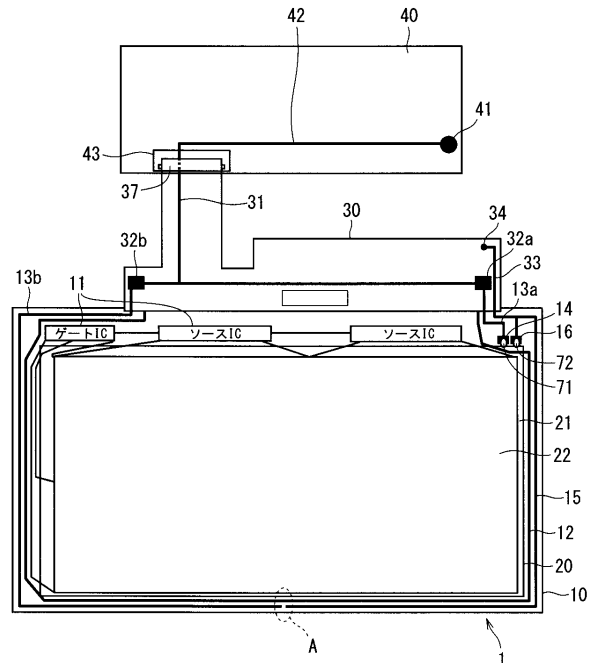
1 液晶パネル、10 TFTアレイ基板、11 ドライバーIC、12 コモン電位配線、13a, 13b, 31, 42 接地配線、14, 16 CF接続用パッド、15, 33, 33a CF接地チェック用配線、20 カラーフィルタ基板、21 CF透明導電膜、22 偏光板、30 FPC、32a, 32b 接地配線パッド、34, 34a CF接地チェック用パッド、36 電子部品、37 コネクタ端子部、40 回路基板、41 接地パッドあるいは接地電氣的穴、43 コネクタ、44 ねじ、50 シールドイングテープ、51 回路保護用絶縁部、52 導電性粘着部、60 モールドフレーム、61 バックライトリアメタル、71, 72 導電性ペースト。

10

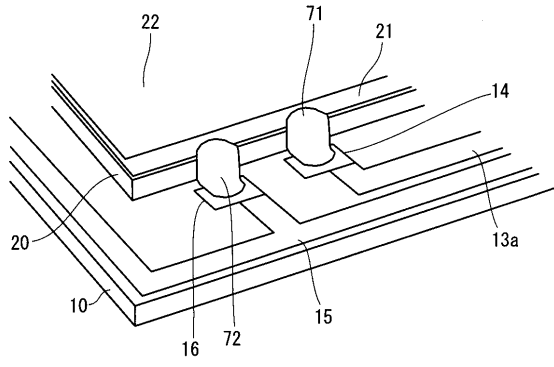
【図1】



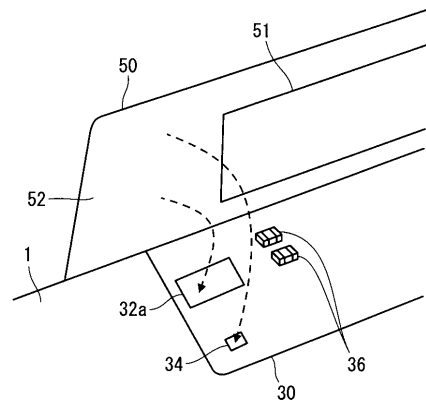
【図2】



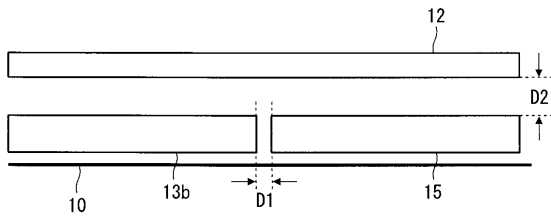
【図3】



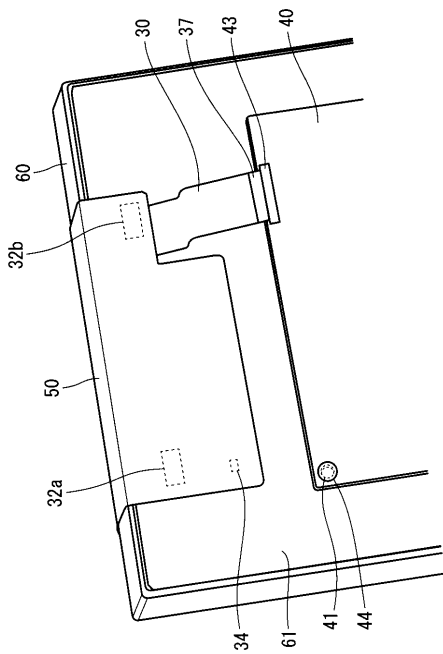
【図5】



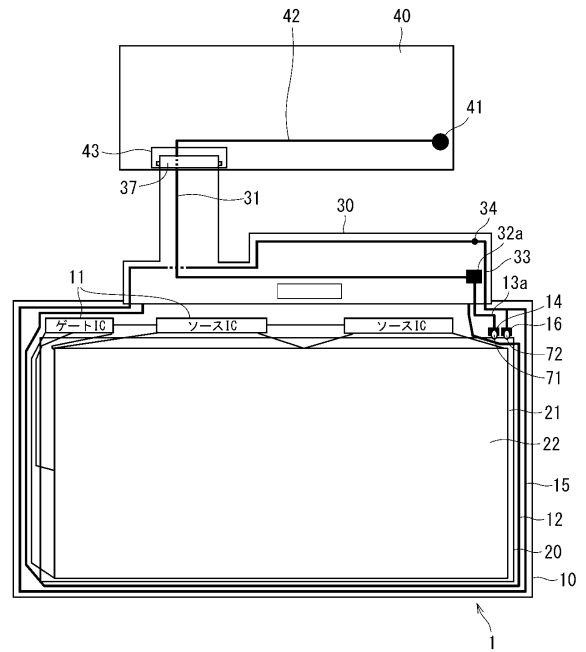
【図4】



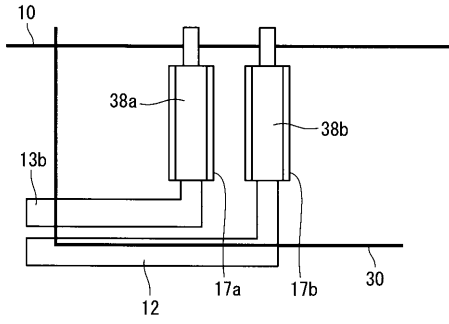
【図6】



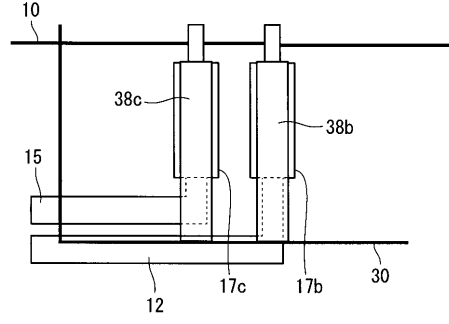
【図7】



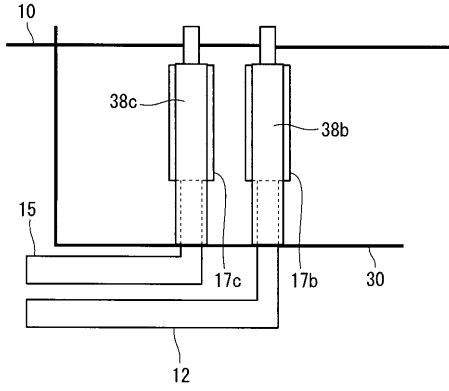
【図8】



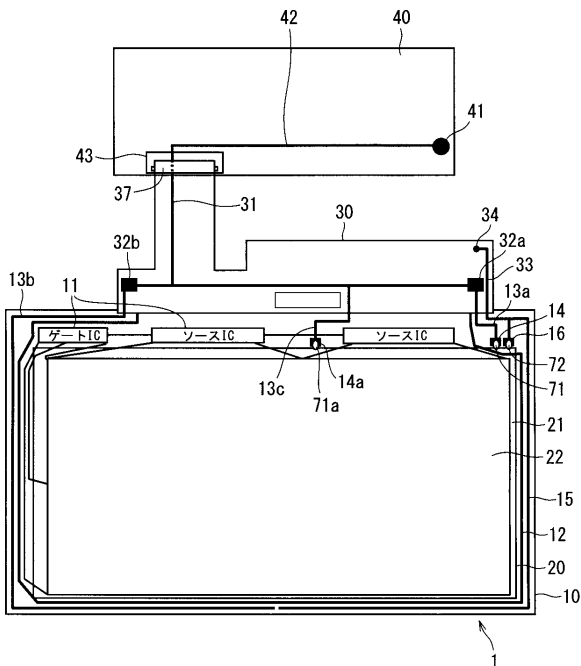
【図10】



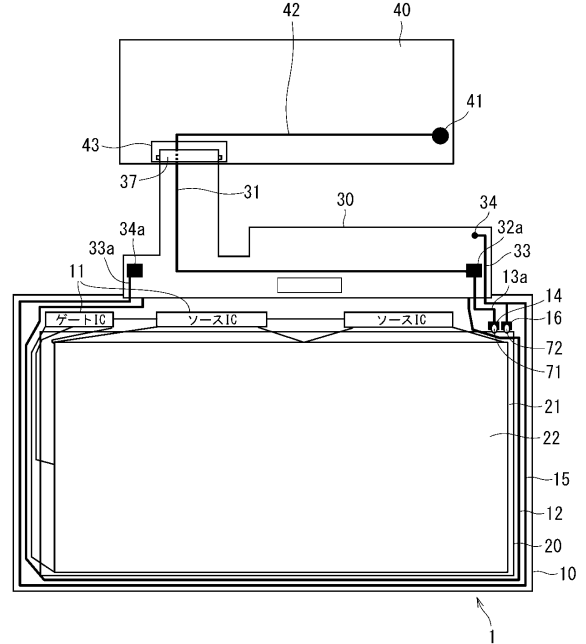
【図9】



【図11】



【図12】



フロントページの続き

(56)参考文献 特開2012-073473(JP,A)
特開2008-209529(JP,A)
特開2009-020272(JP,A)
特開2004-029448(JP,A)
特開2008-170812(JP,A)
米国特許出願公開第2009/0079917(US,A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343 - 1/1345, 1/136 - 1/1368

G09F 9/00

Japio - GPG/FX