

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4085369号  
(P4085369)

(45) 発行日 平成20年5月14日(2008.5.14)

(24) 登録日 平成20年2月29日(2008.2.29)

(51) Int. Cl.	F 1
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1335 (2006.01)	GO2F 1/1335 500
GO2F 1/1343 (2006.01)	GO2F 1/1343

請求項の数 3 (全 19 頁)

(21) 出願番号	特願2002-296904 (P2002-296904)	(73) 特許権者	000004329
(22) 出願日	平成14年10月10日(2002.10.10)		日本ビクター株式会社
(65) 公開番号	特開2004-133147 (P2004-133147A)		神奈川県横浜市神奈川区守屋町3丁目12番地
(43) 公開日	平成16年4月30日(2004.4.30)	(72) 発明者	古屋 正人
審査請求日	平成17年3月30日(2005.3.30)		神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
前置審査		審査官	鈴木 俊光

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の画素回路の上層に前記画素回路にそれぞれ対応した複数の反射電極がマトリクス状に配列されて形成された駆動回路基板と、共通電極を形成した透光性基板と、前記複数の反射電極と前記透光性基板との間に挟持された液晶材料とを有し、前記複数の画素回路の各々は、前記共通電極に対向して配置された前記反射電極と、オン時に信号を転送する第1のスイッチング素子と、オン時に前記第1のスイッチング素子に信号を供給する第2のスイッチング素子と、前記第1のスイッチング素子と前記反射電極との接続点に一方の電極が接続され、オン状態の前記第1のスイッチング素子を通して入力された信号を蓄積すると共に前記反射電極に供給する第1のコンデンサと、前記第1及び第2のスイッチング素子の共通接続点に一方の電極が接続され、オン状態の前記第2のスイッチング素子を通して入力された外部からの信号を蓄積する第2のコンデンサとを備え、全画素回路の前記第1及び第2のコンデンサの他方の電極が共通接続された液晶表示装置であって、

前記駆動回路基板には、

前記反射電極の下層に形成され、隣接する前記画素回路内の前記反射電極同士の間隙部の位置に対し、遮光のために前記駆動回路基板の表面に対して垂直方向上ずれた位置に開口を有する金属層と、

前記金属層の下層に形成され、前記第1及び第2のスイッチング素子の共通接続点に対応する第1の拡散領域を覆うと共に電氣的に接続された第1の配線領域と、前記第1のスイッチング素子の出力部に対応する第2の拡散領域を覆うと共に電氣的に接続された前記

第 1 の配線領域とは別の第 2 の配線領域を有し、かつ、該第 1 及び第 2 の配線領域が電気的には互いに独立するように分割形成された配線層と

が形成され、前記配線層の分割形成された前記第 1 の配線領域と前記第 2 の配線領域の間隙部の位置と、前記金属層の開口の位置と、前記反射電極同士の間隙部の位置と、は前記駆動回路基板の表面に対してそれぞれ垂直方向上ずれた位置に配置されていることを特徴とする液晶表示装置。

【請求項 2】

前記第 1 のコンデンサは、前記反射電極と、前記第 2 の配線に電氣的に接続された前記金属層と、前記反射電極及び前記金属層の間隙部とで構成したことを特徴とする請求 1 記載の液晶表示装置。

10

【請求項 3】

垂直走査期間（フレーム）毎に極性反転し、かつ、正極性期間での黒表示信号レベル、白表示信号レベルがそれぞれ負極性期間での白表示信号レベル、黒表示信号レベルとなるような、レベル範囲を正極性期間と負極性期間とでオーバーラップさせた信号形態の表示信号を前記第 1 のスイッチング素子を介して前記反射電極に供給すると共に、前記反射電極に前記表示信号を供給するタイミングと同期して、前記表示信号と逆極性で、かつ、黒表示の信号振幅よりも大レベルの交流信号を前記共通電極に印加する信号供給手段を更に有することを特徴とする請求項 1 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は液晶表示装置に係り、特に高精細、高輝度、高画質の投射型ディスプレイに好適なアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】

近年、コンピュータ、通信、放送、情報記録メディア等の技術進展と並行して、これらの映像情報を大画面・高精細に表示するディスプレイへの要望が高まっている。これを実現するものとして投射型液晶表示装置が既に実用されている。投射型液晶表示装置には、大別すると透過型方式と反射型方式がある。

【0003】

30

前者の透過型方式は透過性絶縁基板上に薄膜トランジスタと透明電極からなる画素をマトリクス状に配列した液晶パネルを用い、液晶パネルを透過する光を画素毎の液晶で変調して表示する方式である。この透過型方式は光を投射するための光学系の構成が比較的簡単に構成できる、というメリットはあるが、パネルを小型化し画素密度を高くすると、トランジスタや配線部分が画素面積に占める割合が大きくなり、開口率が低下する問題がある。また、画素の開口構造が投影画像にはっきりと表示されるため、特に自然画像を表示した場合に映像境界での滑らかさに欠ける、という欠点がある。

【0004】

これに対し、後者の反射型方式は各画素が反射電極で構成され、トランジスタ及び配線は全てこの反射電極の下層に配置できるため、開口率を低下させることなく高い画素密度を実現できる。また、各画素の反射電極の間隙を  $0.3 \sim 0.6 (\mu\text{m})$  と非常に小さく構成できるため、画素の開口構造が目立たず、滑らかな画像を表示することができる。以上より、高精細表示が要求される投射型表示装置への応用については、小型・高精細化が可能な反射型方式が適しているといえる。

40

【0005】

次に、図 10 ~ 図 12 を用いて従来の反射型液晶表示装置の基本構成について説明する。図 10 は従来の液晶表示装置の駆動回路基板に形成される駆動回路の一例の回路図を示す。同図において、水平走査回路 1 はシフトレジスタ回路及びシフトレジスタの出力でオン・オフ制御されるサンプリングスイッチ群（図示せず）で構成され、水平同期信号  $H_{st}$ 、クロック信号  $H_{ck}$  及び表示信号  $V_{id}e$  を入力として受け、表示信号を  $m$  本（ $m$  は

50

2以上の整数)の信号電極D1, ..., Dmに順次サンプリングして供給する。

【0006】

垂直走査回路2はシフトレジスタ回路で構成され、垂直同期信号Vst、クロック信号Vckを入力として受け、n本(nは2以上の整数)の選択信号電極G1, ..., Gnに対し、映像の水平期間毎に順次選択信号を供給する。互いに直交する信号電極D1, ..., Dm及び選択信号電極G1, ..., Gnの各交差部には、全部でm×n個の画素回路3<sub>11</sub>~3<sub>mn</sub>が構成されている。

【0007】

画素回路3<sub>11</sub>~3<sub>mn</sub>は同一構成であるので、画素回路3<sub>11</sub>について代表して説明するに、スイッチング用MOS型トランジスタTr、信号蓄積用のコンデンサCs及び反射電極で構成され、スイッチング用MOS型トランジスタTrの一方の主端子(ドレイン)には前記信号電極D1が、もう一方の主端子(ソース)には反射電極及びコンデンサCsの非接地側端子が接続され、制御端子(ゲート)には選択信号電極G1が接続されている。反射電極の対向部には液晶表示材料層LCを介して共通電極を形成した透光性基板が配置される。

10

【0008】

垂直走査回路2からは画素回路を構成するスイッチング用MOS型トランジスタTrの制御端子に選択信号が供給され、1水平期間毎に1行分のスイッチング用MOS型トランジスタが一括してオン状態となり、選択された各画素回路では水平走査回路1から信号電極D1~Dmへ順次に出力された表示信号が、対応する画素回路内のコンデンサCsに書き込まれる。コンデンサCsに書き込まれた表示信号電圧は次の垂直走査期間に新たな信号が書き込まれるまでの非選択期間中、そのコンデンサCsに保持され、その保持された表示信号に対応した電圧で、対応した液晶を駆動する。

20

【0009】

反射型液晶表示素子においては、駆動回路基板に透明性は必要なく、シリコン基板に代表される一般的な半導体基板を用いることができる。また、シリコン基板でトランジスタ等の半導体素子が形成できるため、オフリークや電流電圧特性に優れたトランジスタ特性を実現できるため、画素回路3<sub>11</sub>~3<sub>mn</sub>のみでなく水平走査回路1、垂直走査回路2といった周辺駆動回路を同一基板上に容易に構成することができる。

【0010】

図11及び図12は反射型液晶表示装置の代表的な画素回路部の構造を表す模式平面図及び構造を表す模式断面図を示す。図12に示すシリコン基板11上に形成されたウェル100上にトランジスタ領域15及び蓄積容量領域16が配置される。各画素のトランジスタ及び容量部はフィールド酸化膜112で相互に分離されている。トランジスタの制御電極(ゲート)102及び蓄積容量電極105はポリシリコン配線層で形成され、半導体基板間に対しSiO<sub>2</sub>を絶縁層とした所謂MIS構造となっている。

30

【0011】

信号電極101は、前記ポリシリコン層の上層に絶縁層を介して形成した第1の金属層で配線され、コンタクトホールを介してトランジスタのドレイン拡散領域103dと電氣的に接続される。トランジスタの他方の端子であるソース拡散領域103sには、前記第1の金属層に形成した配線104がコンタクトされ、さらに配線104は蓄積容量電極105にコンタクトされる。蓄積容量領域16の半導体基板側は高濃度拡散層が形成され、第1の金属層に形成した配線111で共通配線されている。

40

【0012】

ここで、第1の金属層の配線104は図11及び図12に示すように、トランジスタのソース拡散領域103sを完全に覆うように形成されている。本例のように、配線104がトランジスタのソース拡散領域103sを覆い、洩れ光に対して遮光する構造とすることにより、ソース・ウェルで形成される半導体構造中での光キャリア発生を防止し、強い光照射下でも安定した信号保持特性及び表示特性を得ることができる。

【0013】

50

さらに、本例では極めて強い光照射に対しても十分な耐光性が確保できるように、第1の金属層の上層、かつ反射電極が形成される最上層の下層に位置する金属層で遮光層106が形成されている。遮光層106には最上層の反射電極108と前記トランジスタのソース配線104をコンタクトするために開口部107が設けられ、この開口部107に設けたコンタクトを介してトランジスタのソース配線104と反射電極108が接続されている。なお、遮光層106の表裏面、あるいは反射電極108の裏面等に、必要に応じて金属層での光の多重反射を抑えるための光吸収層を形成することもできる。

#### 【0014】

半導体基板10の反射電極108の上面、及び透光性基板12に形成された共通電極13の上面には、液晶表示材料の初期分子配列を所定の方向に配向するための配向層152a、152bが形成されている。液晶材料151が2つの基板間に封入され、反射電極108の信号電圧に応じて入射光の状態を変調する。

10

#### 【0015】

次に、反射型液晶表示装置に好適な液晶表示モードの例について説明する。この液晶表示モードとしては、電界効果複屈折モードがある。図13及び図14は負の誘電率異方性をもつ液晶を用い、初期配向を基板に略垂直としたノーマリーブラック型液晶の例を表している。図13に示すように、電圧が印加されない条件下では、液晶分子Mの配向方向は基板E1、E2に対してほぼ垂直で、かつ、僅かに一定方向に傾いた方向となっている。初期配向で僅かに一定の傾きを付与する理由は、電圧印加時に液晶分子が一定の方向に揃って傾くように制御するため、具体的な配向膜形成手段としてはSiO<sub>2</sub>の斜め蒸着等の手段を用いることができる。

20

#### 【0016】

この場合、偏光ビームスプリッタPBSから入射する直線偏光P1に対し、複屈折作用は発現しないため、反射電極で反射された出力光P3の偏光方向は入射光PIの偏光方向と同じ直線偏光となる。したがって、出力光P3は偏光ビームスプリッタPBSを再び通る際に光源側に反射され(P0)、投射画面上は黒が表示される。

#### 【0017】

一方、図14は液晶に電圧Vが印加された状態を表しており、液晶分子Mは基板に対し一定の方向に揃って傾いた状態となる。液晶分子Mの長軸・短軸の屈折率差に基づく複屈折性により、光の直交する偏光成分に対する位相差に変化が生じ、出力光の偏光状態は印加電圧に応じた分子の傾き、液晶ギャップに対応するトータル光路長、入射光の波長をパラメータとしたリタレーション値に応じて楕円偏光から円偏光、さらには入射光と直交する偏光方向の直線偏光、というように変化する。

30

#### 【0018】

入射光と直交する偏光成分(P3)については、偏光ビームスプリッタPBSに再び入射した後、PBSを透過し、投射レンズ側に射出され(P0)、画素反射電極毎の印加電圧に対応してグレー～白で表示される。本例の液晶表示モードは、電圧を印加しない状態で黒を表示するノーマリーブラックモードであり、黒表示時に液晶の複屈折作用を受けないため、黒表示での波長依存性がなく、黒表示に対応した信号電圧レベルも小さくて済むため、高コントラストの表示特性が得られる、という利点がある。

40

#### 【0019】

また、同じ電界効果複屈折モードを用いた表示モードの例として、誘電異方性が正の液晶材料を2つの基板に各々略平行、かつ、互いの基板上での向きをねじれた状態で初期配向し、電圧印加時に液晶分子を電界方向に配列させることでノーマリーホワイト表示させる反射型TNモードを用いることもできる。

#### 【0020】

##### 【発明が解決しようとする課題】

以上、基本構成及び構造について説明した従来の反射型液晶表示装置は、高密度、高精細画素への対応が容易であるという特徴があり、大画面、高解像度の投射型ディスプレイへの応用が期待されている。しかしながら、従来の反射型液晶表示装置の課題として、液晶

50

の駆動電圧特性上、駆動回路基板に形成される半導体素子を初めとする駆動回路の動作電圧及び耐圧に10V～15V程度の高い電圧が要求されるという問題がある。

【0021】

特に、液晶表示装置をさらに高精細に構成する場合、駆動回路基板の構成要素であるトランジスタや配線ルールを微細化する必要があるが、従来の駆動電圧を前提とした場合、高耐圧特性確保のためにトランジスタ構造が小さくできないという制限があり、更なる高精細化達成の弊害となっている。また、高耐圧確保のため半導体製造プロセスが特殊となり、昨今の半導体の設計及びプロセスルールの微細化技術の恩恵を十分に受けられない、という問題がある。

【0022】

更に、画素の高精細化及び微細化で表示パネルサイズをより小さく構成した場合、単位面積あたりに照射される入射光のエネルギーが増大すると共に、反射電極間隙部からの洩れ光が半導体主要部分に到達し易くなるため、遮光性能に優れた構造を如何に実現するかが重要な課題となる。

【0023】

本発明は以上の点に鑑みなされたもので、高輝度・大画面の投射に対応できる十分な遮光性、耐光性を有するとともに、駆動電圧を低減可能で、画素微細化により適した液晶表示装置の具体構成手段を提供することを目的とする。

【0024】

【課題を解決するための手段】

上記の目的を達成するため、第1の発明は、複数の画素回路の上層に画素回路にそれぞれ対応した複数の反射電極がマトリクス状に配列されて形成された駆動回路基板と、共通電極を形成した透光性基板と、複数の反射電極と透光性基板との間に挟持された液晶材料とを有し、複数の画素回路の各々は、共通電極に対向して配置された反射電極と、オン時に信号を転送する第1のスイッチング素子と、オン時に第1のスイッチング素子に信号を供給する第2のスイッチング素子と、第1のスイッチング素子と反射電極との接続点に一方の電極が接続され、オン状態の第1のスイッチング素子を通して入力された信号を蓄積すると共に反射電極に供給する第1のコンデンサと、第1及び第2のスイッチング素子の共通接続点に一方の電極が接続され、オン状態の第2のスイッチング素子を通して入力された外部からの信号を蓄積する第2のコンデンサとを備え、全画素回路の第1及び第2のコンデンサの他方の電極が共通接続された液晶表示装置であって、

駆動回路基板には、反射電極の下層に形成され、隣接する画素回路内の反射電極同士の間隙部の位置に対し、遮光のために駆動回路基板の表面に対して垂直方向上ずれた位置に開口を有する金属層と、この金属層の下層に形成され、第1及び第2のスイッチング素子の共通接続点に対応する第1の拡散領域を覆うと共に電氣的に接続された第1の配線領域と、第1のスイッチング素子の出力部に対応する第2の拡散領域を覆うと共に電氣的に接続された前記第1の配線領域とは別の第2の配線領域を有し、かつ、第1及び第2の配線領域が電氣的には互いに独立するように分割形成された配線層とが形成され、配線層の分割形成された第1の配線領域と第2の配線領域の間隙の位置と、金属層の開口の位置と、反射電極同士の間隙部の位置と、は駆動回路基板の表面に対してそれぞれ垂直方向上ずれた位置に配置されている構成としたものである。

【0025】

この発明では、隣接する画素回路内の反射電極同士の間隙部を通して入射する光は金属層で遮光され、下層に直接到達することがない。更に、反射電極の下面と金属層の上面と間での多重反射で金属層の開口から下層に漏れこむ光に対しては、配線層により第1、第2のスイッチング素子の感光領域である第1、第2の拡散領域には殆ど入射しないようにできる。

【0027】

また、上記の目的を達成するため、第2の発明は、第1の発明における第1のコンデンサを、反射電極と第2の配線に電氣的に接続された金属層と、反射電極及び金属層の間の

10

20

30

40

50

絶縁層とで構成したことを特徴とする。この発明では、反射電極と金属層を有効に利用して第1のコンデンサを形成することができる。

【0028】

また、上記の目的を達成するため、第3の発明は、第1の発明に、垂直走査期間（フレーム）毎に極性反転し、かつ、正極性期間での黒表示信号レベル、白表示信号レベルがそれぞれ負極性期間での白表示信号レベル、黒表示信号レベルとなるような、レベル範囲を正極性期間と負極性期間とでオーバーラップさせた信号形態の表示信号を第1のスイッチング素子を介して反射電極に供給すると共に、反射電極に表示信号を供給するタイミングと同期して、表示信号と逆極性で、かつ、黒表示の信号振幅よりも大レベルの交流信号を共通電極に印加する信号供給手段を更に有する構成としたものである。

10

【0029】

この発明では、反射電極への表示信号の供給は、第1のスイッチング素子をオンとすることにより、全ての画素回路内の反射電極に対して同時に行うことができるため、交流信号の極性切り換えと表示信号の極性切り換えを全画素回路について一致させることができる。

【0030】

【発明の実施の形態】

次に、本発明の一実施の形態について図面と共に説明する。図1は本発明になる液晶表示装置の一実施の形態の駆動回路基板に形成される駆動回路の回路図を示す。同図において、水平走査回路5はシフトレジスタ回路及びシフトレジスタの出力でオン・オフ制御されるサンプリングスイッチ群（図示せず）で構成され、水平同期信号Hst、クロック信号Hck及び表示信号Videoを入力として受け、表示信号をm本の信号電極D1、・・・、Dmに順次サンプリングして供給する。

20

【0031】

垂直走査回路6はシフトレジスタ回路で構成され、垂直同期信号Vst、クロック信号Vckを入力として受け、m本の選択信号電極G1、・・・、Gnに対し、映像の水平期間毎に順次選択信号を切り換えて供給する。互いに直交して配置された信号電極D1、・・・、Dm及び選択信号電極G1、・・・、Gnのm×n個所の各交差部には、画素回路7<sub>11</sub>～7<sub>mn</sub>がそれぞれ構成されている。

30

【0032】

画素回路7<sub>11</sub>～7<sub>mn</sub>は同一構成であるので、一つの画素回路7<sub>11</sub>について代表して説明すると、第1の半導体素子であるスイッチング用MOS型トランジスタTr1、第2の半導体素子であるスイッチング用MOS型トランジスタTr2、信号蓄積用のための2つのコンデンサCs1及びCs2、並びに液晶表示素子8で構成されている。液晶表示素子8は対向して配置された反射電極9aと共通電極9b（CE）の間に液晶表示材料層LCが封入された構成である。共通電極9bは透光性基板上に形成されている。

【0033】

スイッチング用MOS型トランジスタTr1の一方の主端子（ソース）は反射電極9a及び第1のコンデンサCs1の一端に接続され、スイッチング用MOS型トランジスタTr1の他方の主端子（ドレイン）はスイッチング用MOS型トランジスタTr2の一方の主端子（ソース）及び第2のコンデンサCs2の一端にそれぞれ接続されている。全画素回路のスイッチング用MOS型トランジスタTr1の制御端子（ゲート）は、同時に制御信号（Trg）が供給できるように制御信号線に共通接続されている。

40

【0034】

スイッチング用MOS型トランジスタTr2の他方の主端子（ドレイン）は第1列の信号電極D1に接続され、スイッチング用MOS型トランジスタTr2の制御端子（ゲート）は第1行の選択信号電極G1に接続されている。同様に、第i列（1 ≤ i ≤ m）の、n個の画素回路7<sub>i1</sub>～7<sub>in</sub>内の各MOS型トランジスタTr2のドレインは信号電極Diに共通接続され、第j行（1 ≤ j ≤ n）の、m個の画素回路7<sub>1j</sub>～7<sub>mj</sub>内の各MOS型トランジスタTr1のゲートは信号電極Diに共通接続されている。

50

## 【 0 0 3 5 】

全画素内の蓄積容量であるコンデンサ  $Cs1$  及び  $Cs2$  の他端は、シリコン基板上で共通に共通端子  $Com$  に接続されている。この共通端子  $Com$  には、外部より基準直流電圧がバイアスされる。

## 【 0 0 3 6 】

次に、本実施の形態の概略動作について説明する。垂直走査回路 6 からは画素回路を構成するスイッチング用 MOS 型トランジスタ  $Tr2$  の制御端子（ゲート）に選択信号が供給され、1 水平期間毎に同一行の  $m$  個の画素回路内のスイッチング用 MOS 型トランジスタ  $Tr2$  が一括してオン状態となり、選択された各画素回路では水平走査回路 5 から信号電極  $D1 \sim Dm$  へ順次に出力された表示信号が、対応する画素回路内のオンとされている MOS 型トランジスタ  $Tr2$  のドレイン、ソースを通してコンデンサ  $Cs2$  に書き込まれる。

10

## 【 0 0 3 7 】

コンデンサ  $Cs2$  に書き込まれた表示信号電圧は次の垂直走査期間に新たな信号が書き込まれるまでの非選択期間中、そのコンデンサ  $Cs2$  に保持される。なお、この期間は、第 1 の半導体素子であるスイッチング用 MOS 型トランジスタ  $Tr1$  の制御端子（ゲート）には、 $Tr1$  をオフ状態とする電圧レベルの制御信号  $Trg$  が供給されている。

## 【 0 0 3 8 】

先頭行から最終行までの 1 フレーム分の表示信号のコンデンサ  $Cs2$  への書き込みが終了した時点で、全画素回路の第 1 の半導体素子であるスイッチング用 MOS 型トランジスタ  $Tr1$  の制御端子に、トランジスタ  $Tr1$  をオン状態とするような電圧レベルの制御信号  $Trg$  を供給し、コンデンサ  $Cs2$  に保持されていた表示信号電圧をオン状態のトランジスタ  $Tr1$  のドレイン、ソースを通して各画素回路の反射電極 9a に同時に転送すると共に、各画素回路の第 1 のコンデンサ  $Cs1$  に、その反射電極 9a の信号電圧を保持する。

20

## 【 0 0 3 9 】

全画素回路の反射電極 9a への信号転送が完了した時点で、制御信号  $Trg$  によりスイッチング用 MOS 型トランジスタ  $Tr1$  を再びオフとし、次フレームの書き込みを開始する。次フレームの走査中、スイッチング用 MOS 型トランジスタ  $Tr1$  はオフ状態を維持し、この期間、反射電極 9a の信号電圧は第 1 のコンデンサ  $Cs1$  に保持されている。この第 1 のコンデンサ  $Cs1$  に保持されている電圧、すなわち反射電極 9a の信号電圧と、透光性基板側の共通電極  $CE(9b)$  の差電圧が液晶表示材料  $LC$  に印加される。

30

## 【 0 0 4 0 】

図 2 は本発明で用いられる液晶駆動電圧 - 出力光強度（透過率）特性の一例を示す。従来の技術の項で説明したように、反射型液晶表示装置に最適な液晶表示モードとして電界効果複屈折モードがあり、液晶の誘電異方性と初期配向によってノーマリーブラックあるいはノーマリーホワイト型の特性を得ることができる。本実施の形態ではノーマリーブラック型を基本に説明する。

## 【 0 0 4 1 】

図 2 において、駆動電圧  $V1$  は表示画像の黒（出力光強度  $Pb$ ）に対応しており、駆動電圧  $V2$  は表示画像の白（出力光強度  $Pw$ ）に対応する。液晶は表示画像の焼きや材料劣化への配慮から、通常、正極性電圧レベルと負極性電圧レベルを対称に設定した交流電圧で駆動する必要がある。

40

## 【 0 0 4 2 】

図 3 (a) は本発明の液晶表示装置における信号電圧を図示したものであり、同図 (b) は従来の液晶表示装置における信号電圧を示す。まず、従来の液晶表示装置の駆動では、図 3 (b) の参考図に示すように、透光性基板の共通電極に基準となる直流電圧  $Vce$  を印加し、駆動回路基板の反射電極側には基準電圧  $Vce$  に対して対称に黒～白に対応する振幅の信号を供給する。これより、駆動回路基板の駆動回路で反射電極に書き込む信号振幅は最大  $2 \times V2$  となる（ $V2$  は図 2 に示した液晶の白表示に必要なピーク電圧）。

## 【 0 0 4 3 】

50

これに対し、本発明の液晶表示装置の駆動においては、図3(a)に示すように、駆動回路基板側の反射電極に供給する表示信号を液晶の黒から白に対応する信号成分のみとすると共に、正極性での黒表示電圧が負極性の白表示電圧に、また正極性での白表示電圧が負極性の黒表示電圧に略等しいレベルとなるように、正負各極性の表示信号の電圧範囲及びレベルをオーバーラップさせた信号形態で供給する。このとき、反射電極側の最大信号振幅は $(V_2 - V_1)$ となる。さらに、透光性基板の共通電極には、液晶しきい値電圧を $V_1$ としたとき、上記反射電極側の黒表示での電圧の振幅に対し、 $\pm V_1$ だけ大きな振幅の交流化電圧 $V_{ce}$ を印加する。

【0044】

図1の例での動作説明で明らかなように、本発明の液晶表示装置においては反射電極9aへの信号供給は第1のMOS型トランジスタ $Tr_1$ をオン状態とすることによって全ての画素回路 $7_{11} \sim 7_{mn}$ について同時的に行われる。従って、交流化電圧 $V_{ce}$ の極性切り替えと画素反射電極側の信号電圧極性切り替えを全表示画素回路について一致させることが可能であり、走査による表示信号の書き込みタイミング差の影響がないため、交流化した共通電極電圧 $V_{ce}$ で与える液晶駆動電圧成分を全画素に一様に重畳できる。

10

【0045】

負の誘電異方性を有するネマチック液晶材料を対向する2つの電極基板の各面でほぼ垂直に配向させ、電界効果複屈折モード/ノーマリーブラック動作の液晶セルをセルギャップ約 $3(\mu m)$ で実際に製作し、図2の液晶駆動電圧液晶の駆動電圧-光強度特性を測定したところ、

20

$V_1 = \text{約} 2 (V)$  : 黒表示電圧(液晶しきい値電圧)

$V_2 = \text{約} 4.5 (V)$  : 白表示電圧(ピーク電圧)

という代表データが得られた。

【0046】

従来の液晶表示装置で用いられる駆動方式では、反射電極側に供給する信号電圧振幅は $2 \times V_2 = 9 (V)$

が必要となる。これに対し、本実施の形態の液晶表示装置に適用される駆動方式では、反射電極側に

$V_2 - V_1 = 2.5 (V)$

の振幅の信号電圧を供給すればよく、対向する共通電極側に $6.5 (V)$ 振幅の交流化電圧 $V_{ce}$ を、反射電極の信号極性と逆極性で印加することで、液晶駆動に必要な駆動電圧を供給できる。

30

【0047】

以上説明した本実施の形態の液晶表示装置の構成と駆動方式では、駆動回路基板に構成した駆動回路で最終的に反射電極に供給すべき表示信号電圧の振幅を大幅に低減できるため、水平走査回路5、垂直走査回路6等の周辺駆動回路、及び画素回路 $7_{11} \sim 7_{mn}$ の動作電圧、電源電圧を低減することが可能である。

【0048】

従って、回路を構成する半導体素子について特別な高耐压構造やプロセスが不要となり、半導体集積回路の設計ルール及び作製プロセスルールに関係する動作電圧・必要耐压の制限も大幅に緩和される結果、液晶表示装置における表示パネル微細化、高密度化に好適な液晶表示装置が実現できる。

40

【0049】

ところで、以上の説明では本発明について、主に駆動回路部の基本構成と動作の点から説明したが、発明が解決しようとする課題の項で述べた通り、高輝度、大画面の投射型液晶表示装置を実現するためには、照射される入射光に対して十分な遮光性能、耐光性を確保する必要がある。

【0050】

図1の本発明の一実施の形態の回路基本構成及び動作の説明で明らかなように、駆動回路を構成する各画素回路 $7_{11} \sim 7_{mn}$ には、反射電極9aへの信号供給のために第1のM

50

OS型トランジスタTr1、及び走査用の第2のMOS型トランジスタTr2が形成されており、MOS型トランジスタTr1を通して反射電極9aに送出した信号電圧は、MOS型トランジスタTr1がオフの期間中、コンデンサCs1に保持する必要がある。また、水平走査回路5及び垂直走査回路6による各画素回路7<sub>11</sub>~7<sub>mn</sub>への書き込み電圧は、第2のMOS型トランジスタTr2がオフの期間中、コンデンサCs2で一定期間保持することが必要である。

【0051】

保持が必要とされる期間はいずれもほぼ1垂直走査期間に等しい期間であり、この期間の保持電圧の変動は表示特性に大きな影響を与える。このため、画素回路7<sub>11</sub>~7<sub>mn</sub>での複数の半導体素子の感光部位及び複数の信号保持動作に対し、これらに影響する光キャリアによるリークの発生を抑え、十分な耐光性を確保できる新たな構造が求められる。

10

【0052】

本発明では、上記の課題に対し、十分な耐光性を確保できる液晶表示装置の具体構造と手段を提供する。次に、本発明になる液晶表示装置の一実施の形態の画素構造について説明する。

【0053】

図4及び図5は本発明になる液晶表示装置の第1の実施の形態の構造を表す模式平面図及び構造を表す模式断面図を示す。図5に示すシリコン基板21上に形成されたウェル200上には図1に示した画素回路構成と対応して、第1のトランジスタ25(図1のTr1に相当)、第2のトランジスタ26(図1のTr2に相当)及び蓄積容量領域27(図1の第2のコンデンサCs2に相当)が配置されている。各画素回路の第1、第2のトランジスタ25、26及び蓄積容量領域27は、フィールド酸化膜212で相互に分離されている。第1のトランジスタ25の制御電極(ゲート)223及び蓄積容量電極205はポリシリコン配線層で形成され、半導体基板間に対しSiO<sub>2</sub>を絶縁層とした所謂MIS構造となっている。

20

【0054】

第2のトランジスタ26の制御電極(ゲート)202は、前記ポリシリコン層で水平方向に延長され、垂直走査回路(図1の6)の各行に対応した出力端子に各々接続されている。制御電極223は、図4に示すように、前記ポリシリコン層の上層に絶縁層を介して形成した第1の金属層による配線241に接続され、全画素に共通のタイミング信号(図1の制御信号Trgに相当)を供給できるようにしている。図5の信号電極201(図4の配線201a、201b:図1のD1、・・・、Dm)は第1の金属層で形成され、コンタクトホールを介して第2のトランジスタ26のドレイン拡散領域203dと電氣的に接続される。

30

【0055】

第2のトランジスタ26の他方の端子であるソース拡散領域と第1のトランジスタ25のドレイン拡散領域とは、図5に示すように共通の拡散領域233で形成され、この拡散領域233には前記第1の金属層に形成した配線224がコンタクトされている。更に、配線224は図5では図示されていないが、図4に示すように前記蓄積容量領域27の一方の電極205にコンタクトホールを介して接続されている。

40

【0056】

蓄積容量領域27の他方の電極は、ウェル200中の高濃度拡散領域209で形成され、この高濃度拡散領域209には前記第1の金属層に形成した、図4に示す配線251がコンタクトされ、更に第1の金属層の上層に絶縁層を介して形成した第2の金属層206により、全画素回路の蓄積容量領域27の他方の電極と共通配線されている。この蓄積容量領域27は、図1のコンデンサCs2に相当し、第1、第2のトランジスタ25、26の共通接続点において信号電圧を十分に保持する目的で形成されている。

【0057】

また、第1のトランジスタ25のソース拡散領域203は、第1の金属層に構成した配線領域204とコンタクトホールを介して接続され、更に図4及び図5に示す開口207を

50

設けた第2の金属層206を経て最上層の反射電極208に接続されている。反射電極208、開口207を設けた第2の金属層206及びこれら2層間の絶縁層で構成した容量が、反射電極208の信号電圧を保持するための蓄積容量28(図1の第1のコンデンサCs1に相当)を形成している。上記の各画素回路がマトリクス状に複数配列されている駆動回路基板(シリコン基板21から反射電極208までの多層構造基板)上の反射電極208の上面と、透光性基板22に形成された共通電極23の上面には、液晶表示材料の初期分子配列を所定の方向に配向するための配向層252a、252bがそれぞれ形成されている。液晶材料253が駆動回路基板と透光性基板22との間に封入され、反射電極208の信号電圧に応じて入射光の状態を変調する。

#### 【0058】

本実施の形態の液晶表示装置では、図5に示すように、遮光特性を確保するための構造として第1のトランジスタ25(Tr1)と第2のトランジスタ26(Tr2)の共通接続点に相当する拡散領域233の上部を第1の金属層に形成した配線領域224で覆い、また第1のトランジスタ25(Tr1)の出力部であるソース拡散領域203を同じく第1の金属層に形成した配線領域224とは別の配線領域204で覆っている。これら配線領域204及び224は、第2の遮光層を構成しており、電気的には互いに独立するように分割形成されている。

#### 【0059】

更に、図5に示すように、第1の金属層で形成した各配線領域224、204間の間隙210の位置と、第2の金属層に設けた開口部207の位置と、最上層で互いに隣接する反射電極208の間隙213、214の位置がそれぞれ互いにずれるように配置構成している。すなわち、隣接する画素回路内の反射電極208の間に形成された間隙213、214の位置は、反射電極208の下層側において第1の遮光層を構成する第2の金属層206の開口207の位置と、上記間隙210の位置は、それぞれ駆動回路基板の表面に対して垂直方向上ずれた位置(重複しない位置)に配置されている。

#### 【0060】

本実施の形態の構造では、第2の金属層206で形成した第1の遮光層の開口部207を、隣接する反射電極208の間隙213、214とずらして形成しているため、隣接する反射電極208の間隙213、214から入射する光は第2の金属層206で遮光され、下層に直接到達することがない。更に、反射電極208の下面と第2の金属層206で構成した遮光層の上面と間での多重反射で遮光層の開口207から金属層206の下層に漏れこむ光に対しては、第1の配線層を分割した配線領域224、204でトランジスタの拡散領域233、203を別個に覆い遮光する構造であり、最終的に第1、第2のトランジスタ25、26の感光領域である拡散領域233、203に到達する光をほぼ完全に遮断できる。

#### 【0061】

なお、各金属層間で発生する光の多重反射の影響を低減する手段として、金属層の表面あるいは裏面に窒化チタン(TiN)等の光吸収層を形成することもできる。

#### 【0062】

次に、本発明になる液晶表示装置の第2の実施の形態の遮光構造について説明する。図6は本発明になる液晶表示装置の第2の実施の形態の遮光構造を示す断面図を示す。同図中、図5と同一構成部分には同一符号を付し、その説明を省略する。図6に示す実施の形態では、第1、第2のトランジスタ25、26の共通接続点に相当する拡散領域233の上部を、拡散領域233に直接積層したコンタクト層902で覆い、また第1のトランジスタ25のソース拡散領域203を拡散領域203に直接積層したコンタクト層901で覆う構造となっている。これらの遮光層901、902の構造は、ソース・ドレイン拡散領域形成の一技術であるサリサイド(Salicide=Self-align-Silicide)方式で実現される。

#### 【0063】

具体的には、ゲートポリシリコン電極側壁部にスペーサとなる二酸化シリコンをエッチン

10

20

30

40

50

グ形成した状態で、全面にチタン層をスパッタ形成し、アニール処理を行う。このとき、チタンとシリコン、及びポリシリコンの接触部分では $TiSi_2$  ( $TiSi$ )が形成される。二酸化シリコンスペーサ部のチタンをウェット処理等で除去すれば、トランジスタの各電極領域（ソース、ゲート、ドレイン）の上に低抵抗の $TiSi_2$  ( $TiSi$ )によるコンタクト層がセルフアライメントで形成される。

【0064】

本実施の形態では前記サリサイド方式で拡散層233、203上に直接遮光機能を有するコンタクト層901、902を形成しており、これらコンタクト層901、902はセルフアライメントで形成されるため、遮光対象である拡散層233、203の直上部を完全に覆う遮光構造が実現できる。

10

【0065】

更に、本実施の形態の構造上の特徴であるコンタクト層901、902による遮光構造と、前記実施の形態による金属配線層による配線領域224、204を拡散部233、203を覆うように形成する遮光構造を併用すれば、さらに遮光性に優れた液晶表示装置を実現できる。

【0066】

以上、本発明における液晶表示装置の遮光構造について、実施の形態をもとに説明した。次に、本発明による液晶表示装置を実現するのに好適な蓄積容量構造について説明する。

【0067】

図7は本発明による液晶表示装置の一実施の形態の画素回路の蓄積容量と反射電極への書き込み信号の関係を説明するための図である。同図中、図1と同一構成部分には同一符号を付し、その説明を省略する。図7を用いて、本発明による液晶表示装置で画素回路を構成する2つの蓄積容量の設計について説明する。図7において、制御信号 $Trg$ により第1のトランジスタ $Tr1$ をオンとし、トランジスタ $Tr1$ のドレインとトランジスタ $Tr2$ のソースとの共通接続点に一方の電極が接続されたコンデンサ $Cs2$ に保持されている電圧 $Vs$ を、反射電極側のコンデンサ $Cs1$ に転送する表示信号を送出する動作を考える。

20

【0068】

このとき、反射電極側のコンデンサ $Cs1$ には前フレーム表示信号が予め保持されており、このコンデンサ $Cs1$ に保持されている初期電圧（前フレーム表示信号）を $Vp(n-1)$ で表すと、トランジスタ $Tr1$ をオンとしてコンデンサ $Cs2$ の保持電圧 $Vs$ をコンデンサ $Cs1$ へ転送すると、コンデンサ $Cs1$ の保持電圧 $Vp(n)$ は次式となる。ただし、コンデンサ以外の寄生容量は無視できると仮定している。また、コンデンサ $Cs1$ 、 $Cs2$ の静電容量値を $C1$ 、 $C2$ とする。

30

【0069】

$$Vp(n) = K \cdot Vs + (1 - K) \cdot Vp(n-1) \quad (1)$$

ただし、 $K = C2 / (C1 + C2)$

2つのコンデンサ $Cs1$ 、 $Cs2$ の容量値 $C1$ 、 $C2$ に $C1 \gg C2$ の関係が成り立つ場合には、(1)式において $K \approx 0$ で $Vp(n) \approx Vs$ となり、コンデンサ $Cs1$ の初期保持電圧によらず、反射電極側の電圧は転送される信号電圧 $Vs$ とほぼ等しい値となる。

40

【0070】

従って、本発明の液晶表示装置では、前フレームの信号電圧の影響を小さくして反射電極側への信号転送を有効に行うためには、第1、第2のトランジスタ $Tr1$ 、 $Tr2$ との共通接続点に接続される第2のコンデンサ $Cs2$ の容量値 $C2$ と、第1のトランジスタ $Tr1$ の出力部に接続されている第1のコンデンサ $Cs1$ の容量値 $C1$ との値の比率 $C2/C1$ をできるだけ大きく設定することが望ましいことが分かる。

【0071】

$C2/C1$ で表される容量比を大きくする手段としては、第1、第2のトランジスタ $Tr1$ 、 $Tr2$ の共通接続点に接続される第2のコンデンサ $Cs2$ の容量値 $C2$ を大きくするか、第1のトランジスタ $Tr1$ の出力部に接続される第1のコンデンサ $Cs1$ の容量値 $C$

50

1 を小さくする方法が考えられる。

【0072】

しかしながら、反射電極側の容量値  $C_1$  を極端に小さくすると、本来の目的である信号保持特性が劣化するという問題が発生する。また、実際の構造では、反射電極にはコンデンサ  $C_{s1}$  の容量値  $C_1$  以外に、第1のトランジスタ  $Tr_1$  のソース拡散領域の拡散容量  $C_j$  と液晶層の容量  $C_{lc}$  が並列的に付加された構造となる。これら2つの寄生的な容量は固定の容量ではなく、印加電圧と液晶光学応答に応じて値が変化する可変容量である。

【0073】

従って、反射電極側に形成するコンデンサ  $C_{s1}$  の容量値  $C_1$  の大きさが不十分で、 $C_1$  に対し  $C_j$  または  $C_{lc}$  の値が支配的になる領域では、画素反射電極の書き込み電圧が信号レベル依存性を持ち、非線形な特性が現れてしまう、という問題が起きる。従って、本発明による液晶表示装置の画素回路では、コンデンサ  $C_{s1}$  の容量値  $C_1$  を、これらの寄生容量  $C_j$  及び  $C_{lc}$  より十分大きく設計することが望ましい。

10

【0074】

ところで、図5に図示した本発明による液晶表示装置の第1の実施の形態においては、反射電極の信号電圧を保持するための蓄積容量  $28$  ( $C_{s1}$ ) を、反射電極  $208$  とその下層の遮光層  $206$  及び反射電極  $208$  と遮光層  $206$  との間の絶縁層よりなるMIM構造で構成しており、第1、第2のトランジスタ  $25$ 、 $26$  の共通接続点に接続されている信号蓄積容量  $27$  ( $C_{s2}$ ) は、ポリシリコン電極  $205$  と半導体基板  $21$  の高濃度拡散領域、及びシリコン酸化膜よりなる所謂MIS構造で構成している。

20

【0075】

このように、本実施の形態では、2つの蓄積容量構造を別層に構成する構造とした結果、前記2つの蓄積容量  $27$ 、 $28$  の配置領域が競合することがなく、各々について電圧保持に必要な容量値のコンデンサを設けることができる。また、蓄積容量  $28$  ( $C_{s1}$ ) と蓄積容量  $27$  ( $C_{s2}$ ) の値の比率については、MIS構造容量  $C_{s2}$  の絶縁層が、トランジスタのゲート酸化膜厚と同等で、通常十～数十 (nm) と極めて薄く形成され、 $C_{s1}$  を構成するMIM構造容量に対して単位面積当りの容量を大きく設定できるため、上述した容量比  $C_2 / C_1$  を大きく構成することができる。

【0076】

次に、本発明になる液晶表示装置の第3の実施の形態について説明する。図8は本発明になる液晶表示装置の第3の実施の形態の構造を表す模式平面図を示す。同図中、図4と同一構成部分には同一符号を付し、その説明を省略する。この実施の形態は、液晶表示装置の画素回路に構成する2つの蓄積容量を、上記の各実施の形態とは異なる構造としたものである。

30

【0077】

本実施の形態では蓄積容量を構成する一方の電極であるポリシリコン電極のパターンを、図8に示すように、第1の領域  $261$  と第2の領域  $205$  に分割して形成している。第1の領域  $261$  は第1の金属層の配線領域  $204$  によって第1のトランジスタ  $25$  のソース領域に接続されている。また、第2の領域  $205$  は第1の金属層の配線領域  $224$  によって第1、第2のトランジスタの共通拡散層に接続されている。

40

【0078】

本実施の形態では2つの蓄積容量がいずれも (ポリシリコン-シリコン酸化膜-半導体基板の高濃度層拡散領域) で構成されたMIS構造となっている。前記実施の形態でも説明したように、MIS構造のシリコン酸化膜工程はトランジスタのゲート酸化膜工程と同工程で形成されるため、十nmオーダーの極めて薄い酸化膜を高精度の膜厚制御性で形成できる。従って、単位面積当りの容量値が大きく、高精度で製造時に再現性高い容量を形成できるという特徴がある。更に、 $C_{s1}$ 、 $C_{s2}$  を構成するポリシリコン電極面積配分を最適化することによって、容量比  $C_2 / C_1$  を所望の値に設計することが可能である。具体的には、同図において、ポリシリコン電極パターン設計で、第2の領域  $205$  の面積を第1の領域  $261$  の面積に対して十分大きくなるように構成すれば、容量比  $C_2 / C_1$  の

50

値を大きく構成することが可能である。

【0079】

図9は本発明になる液晶表示装置の一実施の形態の組み立て構造説明図を示す。駆動回路を形成した半導体基板1000には、水平走査回路501(図1の5に相当)、垂直走査回路502(図1の6に相当)及び図1に示した全画素 $7_{1,1} \sim 7_{m,n}$ が搭載された画素回路領域500が形成されている。水平走査回路501、垂直走査回路502を遮光するための遮光層503は、構成手段としては、例えば画素部反射電極と同じ配線層でこれらの周辺回路を覆う構造とする。これにより、周辺回路部に強い光が入射しても、これらの誤動作を防止することができる。また、この遮光層503の更に上部に、画素エリアの開口を有する別の部材を配置してトリミングしてもよい。

10

【0080】

半導体基板1000と共通電極を有する透明性基板1001の各々の表面には液晶配向処理を施し、液晶セルの隔壁を構成するシール領域504を前記半導体基板1000または透明性基板1001上に形成し、2つの基板1000及び1001を対向した状態で固着する。シール領域504のシール材料には、液晶セルの厚さを均一かつ所望の値に規定するため、粒状のスペーサ材料が分散されている。また、液晶セルの厚さをより均一に保つため、樹脂材料等で画素回路部500及び周辺回路部に微小な柱状のスペーサ構造を一様に形成する構造とすることもできる。

【0081】

上記液晶セルに液晶の注入口505より液晶を注入し、注入口505を樹脂材料で封止する。半導体基板1000上には表面電極506が形成され透明性基板1001に形成した共通電極と導電性材料を介して接触させる構造により、2つの基板間を電気的に接続している。表示信号やクロック等のタイミング信号、各種制御信号、電源、前記共通電極への駆動信号等、半導体基板1000上に形成した駆動回路の動作及び液晶駆動に必要な信号を入力するための外部接続端子群507は、フレキシブル基板等が取り付けられて外部駆動回路(図示せず)に結線される。

20

【0082】

【発明の効果】

以上説明したように、本発明によれば、遮光層及び/又はコンタクト層を設けることにより、画素回路内の第1、第2のスイッチング素子の感光領域である第1、第2の拡散領域には殆ど光が入射しないようにしたため、高精細化、微細化の表示パネルサイズの投射型液晶表示装置においても、十分な遮光性、耐光性を得ることができ、高輝度・大画面の投射に対応できる十分な遮光性、耐光性を有する投射型液晶表示装置が実現できる。

30

【0083】

また、本発明によれば、反射電極への表示信号の供給は、第1のスイッチング素子をオンとして、全ての画素回路内の反射電極に対して同時に行うことで、交流信号の極性切り換えと表示信号の極性切り換えを全画素回路について一致させることができるため、走査による表示信号の書き込みタイミング差の影響が無く、表示信号電圧の振幅を大幅に低減でき、これにより、周辺駆動回路及び画素回路の動作電圧、電源電圧を低減することが可能であり、従って、回路を構成する半導体素子について特別な高耐圧構造やプロセスが不要となり、半導体集積回路の設計ルール及び作製プロセスルールに関係する動作電圧・必要耐圧の制限も大幅に緩和される結果、液晶表示装置における表示パネル微細化、高密度化に好適な液晶表示装置が実現できる。

40

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の一実施の形態の駆動回路基板に形成される駆動回路の回路図である。

【図2】 本発明で用いられる液晶駆動電圧 - 出力光強度(透過率)特性の一例を示す図である。

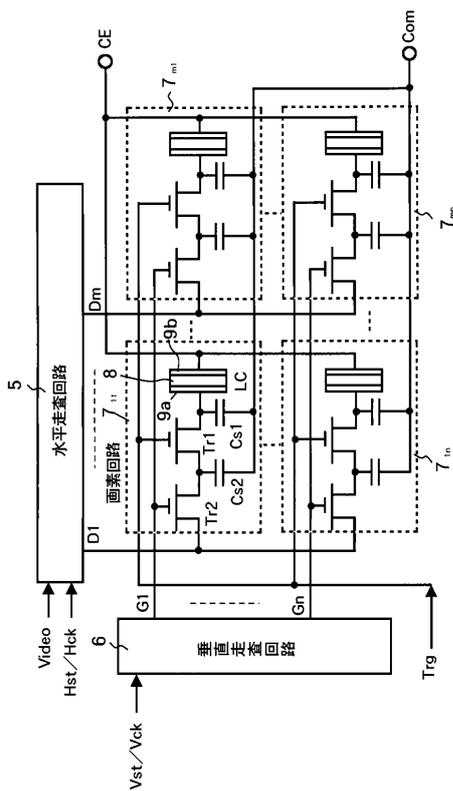
【図3】 本発明の液晶表示装置における信号電圧と、従来の液晶表示装置における信号電圧を示す図である。

50

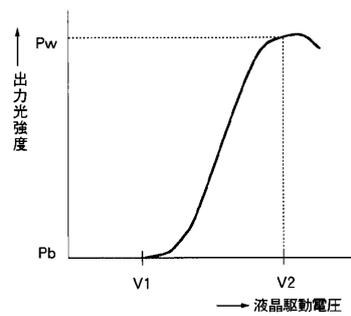
- 【図4】 本発明の液晶表示装置の第1の実施の形態の構造を表す模式平面図である。
- 【図5】 本発明の液晶表示装置の第1の実施の形態の構造を表す模式断面図である。
- 【図6】 本発明の液晶表示装置の第2の実施の形態の遮光構造を示す断面図である。
- 【図7】 本発明の液晶表示装置の一実施の形態の画素回路の蓄積容量と反射電極への書き込み信号の関係を説明するための図である。
- 【図8】 本発明の液晶表示装置の第3の実施の形態の構造を表す模式平面図である。
- 【図9】 本発明の液晶表示装置の一実施の形態の組み立て構造説明図である。
- 【図10】 従来の液晶表示装置の駆動回路基板に形成される駆動回路の一例の回路図である。
- 【図11】 従来の反射型液晶表示装置の代表的な画素回路部の構造を表す模式平面図である。 10
- 【図12】 従来の反射型液晶表示装置の代表的な画素回路部の構造を表す模式断面図である。
- 【図13】 従来の液晶表示装置の例で、液晶の動作モードを説明する模式図である。
- 【図14】 従来の液晶表示装置の例で、液晶の動作モードを説明する模式図である。
- 【符号の説明】
- 5 水平走査回路
- 6 垂直走査回路
- 7<sub>11</sub> ~ 7<sub>mn</sub> 画素回路
- 9a、208 反射電極 20
- 9b、23 共通電極
- 21 シリコン基板
- 22、1001 透光性基板
- 23 共通電極
- 25 第1のトランジスタ
- 26 第2のトランジスタ
- 27 蓄積容量領域
- 28 蓄積容量
- 100、200 ウェル
- 101、201 信号電極 30
- 102、202、223 トランジスタの制御電極
- 103、203、233 ソース拡散領域
- 104、204、224、241 配線領域
- 105、205 蓄積容量電極
- 106、206、503 遮光層
- 107、207 開口
- 108、208 反射電極
- 111、251 第1の金属層に形成した配線
- 112、212 フィールド酸化膜
- 205 ポリシリコン電極 40
- 209 高濃度拡散領域
- 210、213、214 間隙
- 252a、252b 配向層
- 253 液晶材料
- 500 画素回路領域
- 501 水平走査回路
- 502 垂直走査回路
- 504 シール領域
- 505 注入口
- 506 表面電極 50

5 0 7 外部接続端子群  
9 0 1、9 0 2 コンタクト層（遮光層）

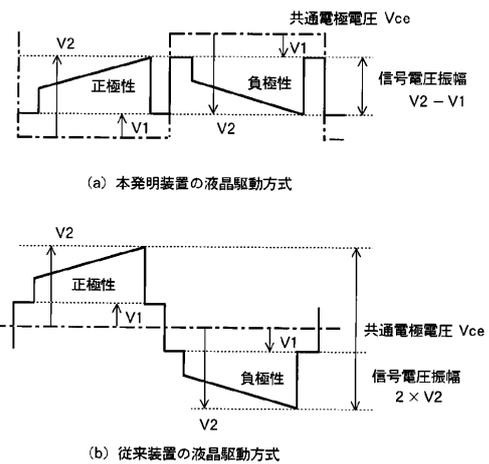
【図 1】



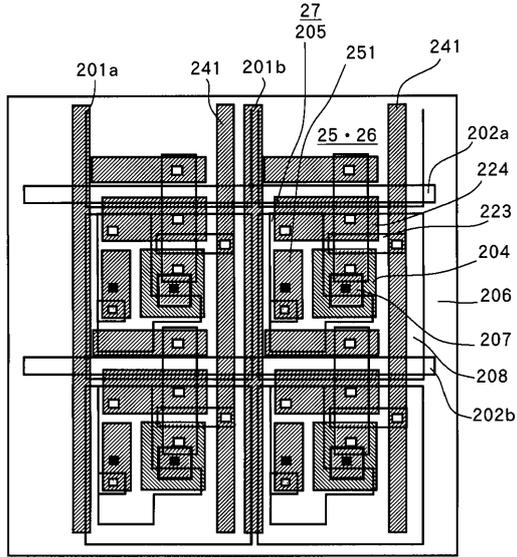
【図 2】



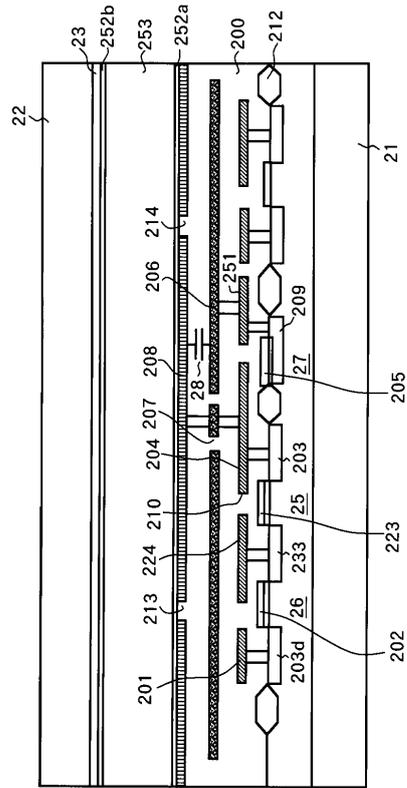
【図 3】



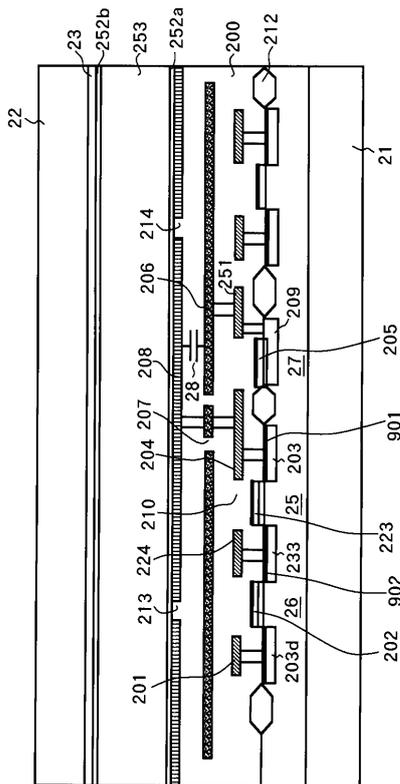
【図4】



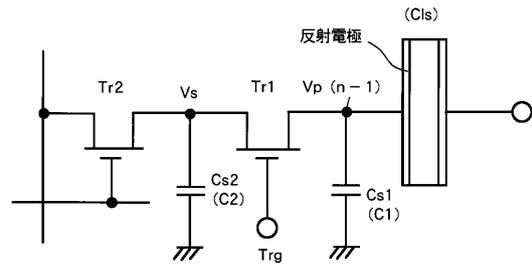
【図5】



【図6】



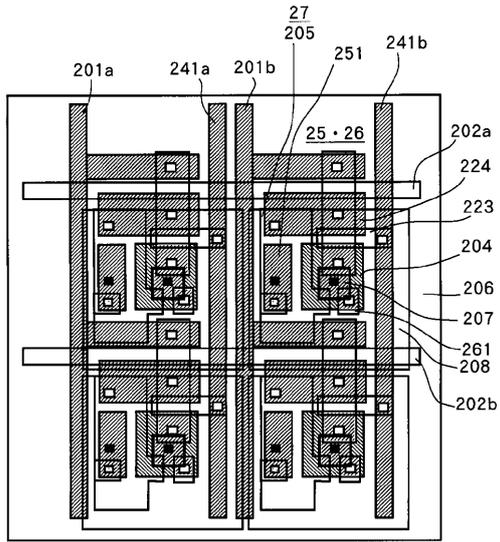
【図7】



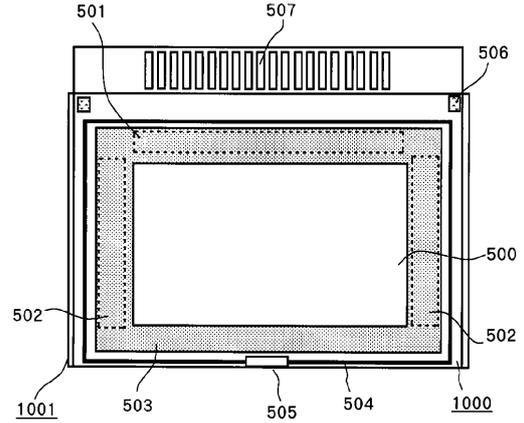
$$V_p(n) = K \cdot V_s + (1 - K) \cdot V_p(n-1)$$

ただし、 $K = C_2 / (C_1 + C_2)$

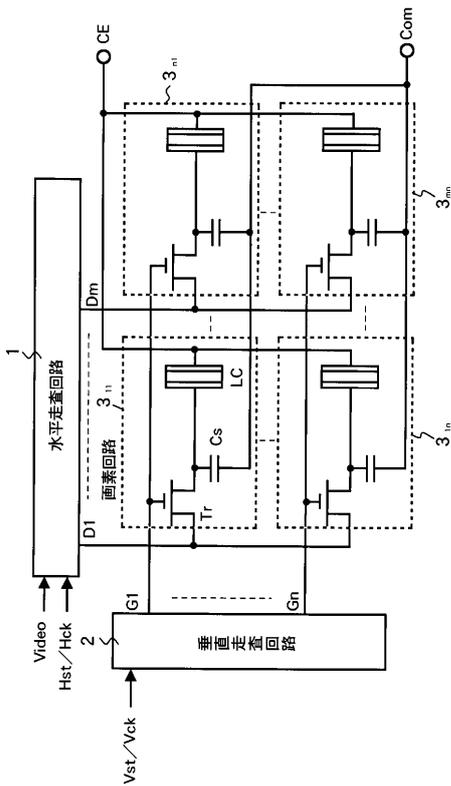
【 図 8 】



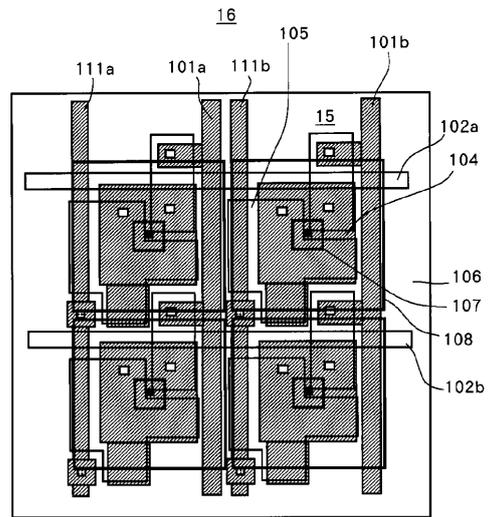
【 図 9 】



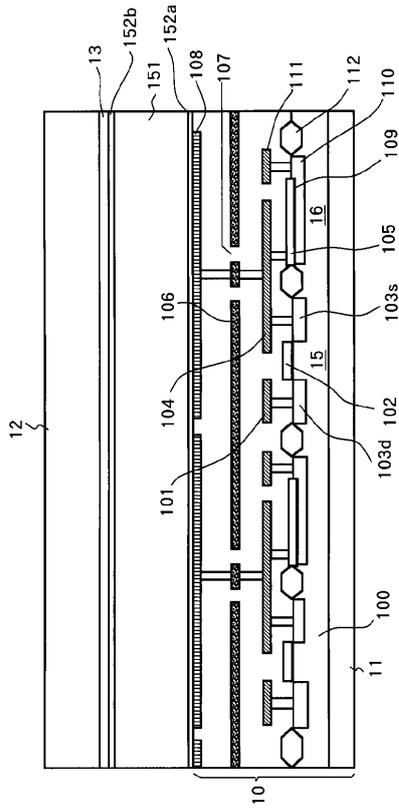
【 図 10 】



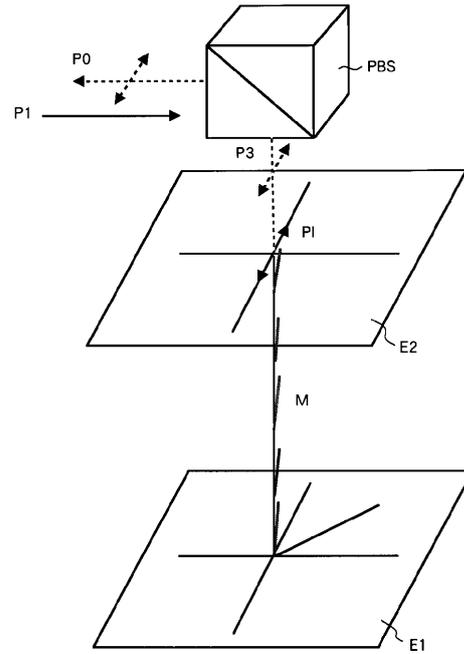
【 図 11 】



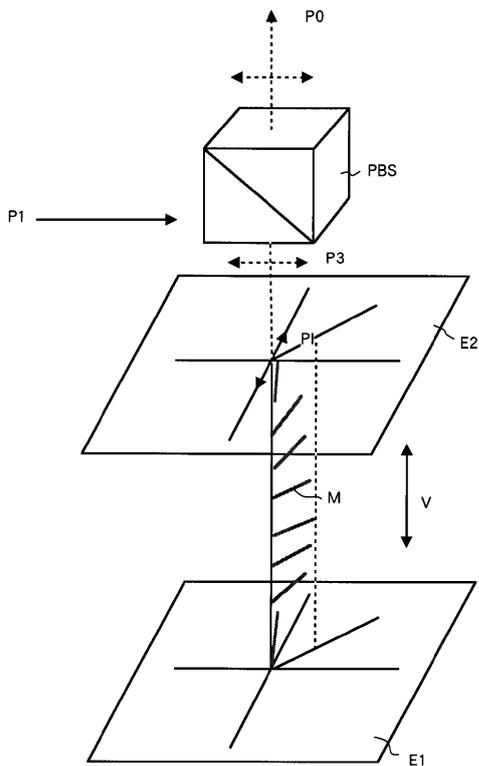
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



---

フロントページの続き

- (56)参考文献 特開平09 - 288261 (JP, A)  
特開2000 - 193937 (JP, A)  
特開平6 - 194690 (JP, A)  
特開2002 - 40482 (JP, A)  
特開2001 - 056651 (JP, A)  
特開平10 - 104663 (JP, A)  
特開2001 - 075534 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368  
G02F 1/1335  
G02F 1/1343