



(12)发明专利申请

(10)申请公布号 CN 112420116 A  
(43)申请公布日 2021.02.26

(21)申请号 202010453404.1

(22)申请日 2020.05.26

(30)优先权数据

16/545,721 2019.08.20 US

(71)申请人 美光科技公司

地址 美国爱达荷州

(72)发明人 D·S·米勒 K·G·韦哈恩

藤原敬典 C·G·维杜威特

J·M·约翰逊 染谷稔

(74)专利代理机构 北京律盟知识产权代理有限  
责任公司 11287

代理人 王龙

(51)Int.Cl.

G11C 29/18(2006.01)

G11C 29/44(2006.01)

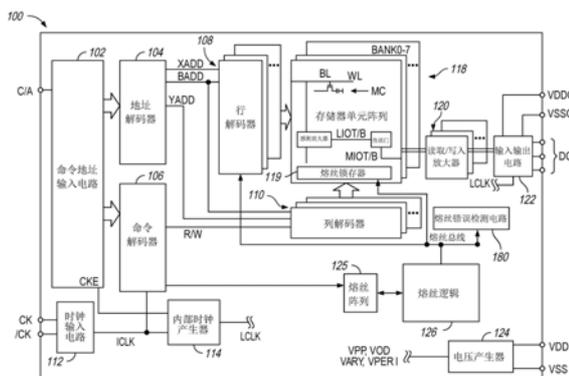
权利要求书2页 说明书12页 附图7页

(54)发明名称

用于熔丝错误检测的设备与方法

(57)摘要

本申请案涉及用于熔丝错误检测的设备与方法。一种实例熔丝错误检测电路经配置以在第一熔丝数据广播期间从熔丝阵列接收第一数据集并编码所述第一数据集以提供第一签名数据。所述熔丝错误检测电路进一步经配置以在第二熔丝数据广播期间从所述熔丝阵列接收第二数据集并编码所述第二数据集以提供第二签名数据。所述熔丝错误检测电路进一步经配置以比较所述第一签名数据与所述第二签名数据,并基于所述第一签名数据与所述第二签名数据之间的所述比较提供具有某一值的匹配指示。



1. 一种设备,其包括:

熔丝错误检测电路,其经配置以在第一熔丝数据广播期间从熔丝阵列接收第一数据集并编码所述第一数据集以提供第一签名数据,其中所述熔丝错误检测电路进一步经配置以在第二熔丝数据广播期间从所述熔丝阵列接收第二数据集并编码所述第二数据集以提供第二签名数据,其中所述熔丝错误检测电路进一步经配置以比较所述第一签名数据与所述第二签名数据,并基于所述第一签名数据与所述第二签名数据之间的所述比较提供具有某一值的匹配指示。

2. 根据权利要求1所述的设备,其中所述熔丝错误检测电路包含签名寄存器,所述签名寄存器经配置以接收所述第一数据集并编码所述第一数据集以提供所述第一签名数据。

3. 根据权利要求2所述的设备,其中所述签名寄存器为多输入签名寄存器,所述多输入签名寄存器经配置以迭代地接收并编码所述第一数据集的相应子集以提供所述第一签名数据,其中所述第一签名数据包含比所述第一数据集更少的位。

4. 根据权利要求2所述的设备,其中所述签名寄存器进一步经配置以接收所述第二数据集并编码所述第二数据集以提供所述第二签名数据。

5. 根据权利要求2所述的设备,其中所述熔丝错误检测电路包含存储寄存器,其经配置以从所述签名寄存器接收所述第一签名数据,并在所述第二熔丝数据广播期间存储所述第一签名数据。

6. 根据权利要求5所述的设备,其中所述存储寄存器为移位寄存器。

7. 根据权利要求2所述的设备,其中所述熔丝错误检测电路包含控制电路,所述控制电路经配置以响应于在所述第一熔丝数据广播期间提供的选择信号而致使所述签名寄存器锁存所述第一数据集。

8. 根据权利要求7所述的设备,其中所述控制电路进一步经配置以响应于在所述第一熔丝数据广播与所述第二熔丝数据广播之间接收的令牌复位信号的转变而致使将所述第一签名数据锁存在存储寄存器处。

9. 根据权利要求1所述的设备,其中所述熔丝错误检测电路进一步包含比较器电路,所述比较器电路经配置以比较所述第一签名数据与所述第二签名数据以提供比较结果,其中所述比较器经配置以基于所述比较结果锁存所述匹配指示的所述值。

10. 根据权利要求9所述的设备,其中所述比较器电路使用逐位XOR逻辑来执行所述第一签名数据与所述第二签名数据之间的所述比较。

11. 根据权利要求1所述的设备,其中所述熔丝错误检测电路包含:

第一寄存器,其经配置以在所述第一熔丝数据广播期间,响应于第一时钟信号接收所述第一数据集并编码所述第一数据集以提供所述第一签名数据,其中所述第一寄存器进一步经配置以在所述第二熔丝数据广播期间,响应于所述第一时钟信号接收所述第二数据集并编码所述第二数据集以提供所述第二签名数据;

第二寄存器,其经配置以响应于第二时钟信号锁存来自所述第一寄存器的所述第一签名数据;及

比较器,其经配置以比较所述第一签名数据与所述第二签名数据以提供比较结果,其中所述比较器经配置以响应于第三时钟信号基于所述比较结果锁存所述匹配指示的所述值。

12. 根据权利要求1所述的设备,其进一步包括具有一组熔丝的所述熔丝阵列,其中所述所述第一数据集及所述第二数据集两者均从所述组熔丝读取。

13. 根据权利要求12所述的设备,其进一步包括熔丝逻辑,所述熔丝逻辑经配置以分别在所述第一熔丝数据广播与所述第二熔丝数据广播期间读取所述熔丝阵列的所述组熔丝以提供所述第一数据集及所述第二数据集。

14. 一种方法,其包括:

在半导体装置的熔丝错误检测电路处,在第一熔丝数据广播期间从熔丝阵列接收第一数据集;

编码所述第一数据集以提供第一签名数据;

在所述熔丝错误检测电路处,在第二熔丝数据广播期间从所述熔丝阵列接收第二数据集;

编码所述第二数据集以提供第二签名数据;

比较所述第一签名数据与所述第二签名数据;及

基于所述第一签名数据与所述第二签名数据之间的所述比较,提供具有某一值的匹配指示。

15. 根据权利要求14所述的方法,其进一步包括经由签名寄存器编码所述第一数据集。

16. 根据权利要求14所述的方法,其进一步包括:

连续地接收所述第一数据集的子集;及

基于所述第一数据集的每一所接收子集更新所述第一签名数据。

17. 根据权利要求14所述的方法,其中所述第一签名数据包含比所述第一数据集更少的位。

18. 根据权利要求14所述的方法,其进一步包括在所述第二熔丝数据集的接收之前存储所述第一签名数据。

19. 根据权利要求14所述的方法,其进一步包括响应于所述匹配指示指示所述第一签名数据与所述第二签名数据之间的不匹配而导致第三熔丝数据广播。

20. 根据权利要求14所述的方法,其进一步包括响应于所述匹配指示指示所述第一签名数据与所述第二签名数据之间的不匹配而致使所述半导体装置暂停操作。

## 用于熔丝错误检测的设备与方法

### 技术领域

[0001] 本申请案涉及用于熔丝错误检测的设备与方法。

### 背景技术

[0002] 高数据可靠性、高存储器存取速度、低功率及经减小芯片大小是半导体存储器所需求的特征。用于在存储器内存储信息的存储器单元可被组织为行(字线)及列(位线)。在存储器装置的制造及使用中的各个点处,一或多个存储器单元可能发生故障(例如,变得不能存储信息,不能被存储器装置存取等)且可能需要修复。一些存储器装置可包含经编程以将有缺陷的存储器单元的地址重新引导到冗余存储器单元的熔丝。当在熔丝读取操作期间不准确地读取熔丝的状态时,冗余存储器单元可经映射以替代健康存储器单元且有缺陷的存储器单元可被正常地存取,此可不利地影响存储器的可靠性。

### 发明内容

[0003] 在一个方面中,本申请案提供一种设备,其包括:熔丝错误检测电路,所述熔丝错误检测电路经配置以在第一熔丝数据广播期间从熔丝阵列接收第一数据集并编码所述第一数据集以提供第一签名数据,其中所述熔丝错误检测电路进一步经配置以在第二熔丝数据广播期间从所述熔丝阵列接收第二数据集并编码所述第二数据集以提供第二签名数据,其中所述熔丝错误检测电路进一步经配置以比较所述第一签名数据与所述第二签名数据,并基于所述第一签名数据与所述第二签名数据之间的所述比较提供具有某一值的匹配指示。

[0004] 在另一方面中,本申请案进一步提供一种方法,其包括:在半导体装置的熔丝错误检测电路处,在第一熔丝数据广播期间从熔丝阵列接收第一数据集;编码所述第一数据集以提供第一签名数据;在所述熔丝错误检测电路处,在第二熔丝数据广播期间从所述熔丝阵列接收第二数据集;编码所述第二数据集以提供第二签名数据;比较所述第一签名数据与所述第二签名数据;及基于所述第一签名数据与所述第二签名数据之间的所述比较,提供具有某一值的匹配指示。

### 附图说明

[0005] 图1是根据本发明的实施例的半导体装置的框图。

[0006] 图2是根据本发明的实施例的半导体装置的一部分的框图。

[0007] 图3是根据本发明的实施例的熔丝错误检测电路的示意图。

[0008] 图4是根据本发明的实施例的控制块的示意图。

[0009] 图5是根据本发明的实施例的比较器电路的示意图。

[0010] 图6是表示根据本发明的实施例的存储器装置的框图。

[0011] 图7是根据本发明的实施例用以检测熔丝错误的方法的流程图。

## 具体实施方式

[0012] 本发明描述检测从经编程熔丝阵列读取的熔丝数据中的错误的实例。半导体装置可在开启电源及操作期间使用各种配置参数或设定,例如启动参数及设定、冗余设定、选项设定、识别(ID)设定或其任何组合。配置参数可用于规定操作特性,例如电压电平、时序配置、I/O及其它总线配置等。配置参数或设定中的一些配置参数或设定可与冗余配置相关联,例如,识别将哪些存储器地址从存储器单元的有缺陷的行或列重新引导到存储器单元的冗余行或列。配置参数及设定可存储在熔丝阵列中。出于各种原因(例如,熔丝有缺陷,不稳定的电压电平或另一操作异常),从熔丝阵列读取的熔丝数据可为错误的。为了检测错误熔丝数据,熔丝错误检测电路可产生用于连续熔丝读取操作的签名数据且可比较签名数据以检测差异。当检测到差异时,熔丝错误检测电路可提供指示经检测错误的匹配信号。当匹配信号指示错误时,半导体装置可停用(例如,暂停、中断等)操作,或执行最多规定数目的额外熔丝数据读取操作以验证熔丝数据是否不稳定。产生并比较具有很少位(例如,4个、8个、16个、32个、64个、128个等)的签名数据,而不是比较数万个位的完整熔丝数据集,可减小物理空间消耗以及检测熔丝数据错误的复杂性。

[0013] 下文将参考附图更详细地解释本发明的各种实施例。以下详细说明参考以图解说明方式展示本发明的特定方面及实施例的附图。详细说明包含用以使所属领域的技术人员能够实践本发明的实施例的充分细节。可利用其它实施例,且可在不违背本发明的范围的情况下做出结构、逻辑及电改变。本文中所揭示的各种实施例未必相互排斥,因为一些所揭示实施例可与一或多个其它所揭示实施例组合以形成新实施例。

[0014] 图1是根据本发明的实施例的半导体装置100的框图。半导体装置100可包含CLK输入电路112、内部时钟产生器114、地址/命令输入电路102、地址解码器104、命令解码器106、多个行(例如,第一存取线)解码器108、存储器单元阵列118(包含感测放大器SAMP及传送门TG)、多个列(例如,第二存取线)解码器110、读取/写入放大器120、输入/输出(I/O)电路120、电压产生器电路124、熔丝阵列125、熔丝逻辑126及熔丝错误检测电路180。半导体装置100可包含多个外部端子,所述多个外部端子包含耦合到命令/地址总线的地址及命令端子C/A、时钟端子CK及/CK、数据端子DQ、DQS及DM,以及电力供应端子VDD及VSS。

[0015] 存储器单元阵列118包含多个库BANK0-7。在一些实例中,存储器单元阵列118可在不违背本发明的范围的情况下包含多于或少于8个库。每一库BANK0-7可包含多个字线WL、多个位线BL及布置于多个字线WL与多个位线BL的交叉点处的多个存储器单元MC。每一库BANK0-N的字线WL的选择由对应行解码器108执行且位线BL的选择由对应列解码器110执行。多个感测放大器SAMP经定位用于其对应位线BL且耦合到至少一个相应本地I/O线,所述本地I/O线经由用作开关的传送门TG进一步耦合到至少两个主I/O线对中的相应一者。感测放大器SAMP及传送门TG可基于来自解码器电路的控制信号操作,所述解码器电路可包含命令解码器106、行解码器108、列解码器110、库BANK0-7的存储器单元阵列118的任何控制电路或其任何组合。

[0016] 命令/地址输入电路102可经由命令/地址总线在命令/地址端子C/A处从外部接收地址信号及库地址信号,并将地址信号及库地址信号传输到地址解码器104。地址解码器104可解码从命令/地址输入电路102接收的地址信号,并将行地址信号XADD提供到行解码器108且将列地址信号YADD提供到列解码器110。地址解码器104还可接收库地址信号并将

库地址信号BADD提供到行解码器108及列解码器110。

[0017] 命令/地址输入电路102可经由命令/地址总线在命令/地址端子C/A处从外部(例如,举例来说,存储器控制器)接收命令信号,并将命令信号提供到命令解码器106。命令解码器106可解码命令信号并产生各种内部命令信号。举例来说,内部命令信号可包含用以选择字线的行命令信号,或用以选择位线的列命令信号,例如,读取命令或写入命令。

[0018] 因此,当发布读取命令且向行地址及列地址适时供应读取命令时,从存储器单元阵列118中由行地址及列地址指定的存储器单元读取读取数据。读取/写入放大器120可接收读取数据DQ并将读取数据DQ提供到IO电路122。IO电路122可经由数据端子DQ将读取数据DQ提供到外部。类似地,当发布写入命令且向行地址及列地址适时供应写入命令时,且接着IO电路122可在数据端子DQ处接收写入数据,并经由读取/写入放大器120将写入数据提供到存储器单元阵列118。因此,写入数据可被写入由行地址及列地址指定的存储器单元中。

[0019] 转向对半导体装置100中所包含的外部端子的解释,时钟端子CK及/CK可分别接收外部时钟信号及互补外部时钟信号。外部时钟信号(包含互补外部时钟信号)可被供应到时钟输入电路112。时钟输入电路112可接收外部时钟信号并产生内部时钟信号ICLK。时钟输入电路112可将内部时钟信号ICLK提供到内部时钟产生器114。内部时钟产生器114可基于所接收的内部时钟信号ICLK及来自命令/地址输入电路102的时钟启用信号CKE产生相控内部时钟信号LCLK。尽管不限于此,但DLL电路可用作内部时钟产生器114。内部时钟产生器114可将相控内部时钟信号LCLK提供到IO电路122。IO电路122可将相位控制器内部时钟信号LCLK用作时序信号以确定读取数据的输出时序。

[0020] 电力供应端子可接收电力供应电压VDD及VSS。这些电力供应电压VDD及VSS可被供应到电压产生器电路124。电压产生器电路124可基于电力供应电压VDD及VSS产生各种内部电压VPP、VOD、VARY、VPERI等等。内部电压VPP主要用于行解码器108中,内部电压VOD及VARY主要用于包含在存储器单元阵列118中的感测放大器SAMP中,且内部电压VPERI用于许多其它电路块中。IO电路122可接收电力供应电压VDD及VSSQ。举例来说,电力供应电压VDDQ及VSSQ可以是分别与电力供应电压VDD及VSS相同的电压。然而,可针对IO电路122使用专用电力供应电压VDDQ及VSSQ。

[0021] 在一些实例中,半导体装置100可在开启电源及操作期间使用各种配置参数或设定,例如,启动参数及设定、冗余设定、选项设定、识别(ID)设定或其任何组合。配置参数可由半导体装置100用来规定操作特性,例如,电压电平、时序配置、I/O及其它总线配置等。配置参数或设定中的一些配置参数或设定可与冗余配置相关联,例如,识别将哪些存储器地址从存储器单元的有缺陷的行或列重新引导到存储器单元的冗余行或列。

[0022] 半导体装置100可包含熔丝阵列125,所述熔丝阵列包含经配置以存储配置参数及设定的多个可编程存储元件(例如,熔丝、反熔丝等)。存储元件可包含启动(例如,或开启电源)存储元件、冗余存储元件、选项存储元件、识别(ID)存储元件或其任何组合。

[0023] 在熔丝读取操作期间,在熔丝阵列125处编程(例如,存储)的信息(例如,熔丝数据)可沿着熔丝总线(FB)提供到熔丝逻辑126。熔丝逻辑126可将熔丝数据提供到半导体装置100的各种组件,例如,行解码器108及存储器单元阵列118。举例来说,存储器单元阵列118可包含熔丝锁存器119,所述熔丝锁存器各自与存储器单元阵列118的特定存取线(例如,字线WL或位线BL)相关联。熔丝锁存器119可读取熔丝数据以启用或停用沿着存储器单

元阵列118的相应行或列对相应存储器单元的存取。举例来说,熔丝锁存器119的熔丝锁存器可启用存储器单元的冗余行或列,且第二熔丝锁存器可停用存储器单元的有缺陷的行或列。行解码器108可使用熔丝数据来确定应将哪些存储器地址引导到存储器单元的冗余行或列。熔丝数据中的一些熔丝数据还可被提供到半导体装置100的电路,例如,命令解码器106、时钟输入电路112、内部时钟产生器114、电压产生器124、I/O电路122等。

[0024] 在一些实例中,熔丝数据可划分为位的子集(例如,数据的子集),所述位的子集在熔丝读取操作期间从熔丝阵列125连续地广播到熔丝逻辑126。熔丝逻辑126可锁存来自熔丝阵列125的熔丝数据的位的每一相应子集,且可经由熔丝总线FB将位的相应子集提供到行解码器108及/或存储器单元阵列118。位的子集中的位的计数可基于熔丝总线的宽度(例如,沿着熔丝总线的信道或信号线的数目)。可根据选择时钟信号来时控熔丝阵列125及熔丝逻辑126。

[0025] 由于熔丝数据可用于配置半导体装置100的操作,因此可在开启电源序列的早期执行熔丝读取操作。在一些实例中,在开启电源序列的早期的电压电平可为不稳定的。不稳定的电压电平可导致从熔丝阵列125读取错误的熔丝数据。因此,可在开启电源序列稍后的第二时间(例如,在电压电平已有时间稳定之后)读取熔丝阵列125以在开始正常操作之前最终完成半导体装置100的配置。

[0026] 在一些实例中,例如,当熔丝变得有缺陷或由于另一操作异常时,即使在电压电平已有时间稳定之后,熔丝阵列125及/或熔丝逻辑126也可读取并将错误的熔丝数据提供到行解码器108及/或存储器单元阵列118。在一些实例中,错误的熔丝数据可能会不利地影响半导体装置100的性能。

[0027] 为了检测从熔丝阵列125读取的错误的熔丝数据,熔丝错误检测电路180可从熔丝逻辑126接收分别在第一熔丝读取操作及第二熔丝读取操作中的每一者期间读取的相应第一熔丝数据集及第二熔丝数据集,且可执行对第一熔丝数据集及第二熔丝数据集的比较以检测差异。在一些实例中,熔丝错误检测电路180可提供指示第一熔丝数据集与第二熔丝数据集是否匹配的输出(例如,匹配)信号。

[0028] 在一些实例中,每一熔丝数据集可包含数万或数十万个位。因此,在一些实施例中,熔丝错误检测电路180可包含签名寄存器,所述签名寄存器经配置以产生对应于在熔丝数据读取操作期间读取的熔丝数据集的签名值(例如,签名数据)。签名数据可包含比熔丝数据的位的总数目显著更少的位。因此,与执行熔丝数据的每一位的逐位比较相比,实施熔丝错误检测电路180以产生用于比较来自两个熔丝读取操作的熔丝数据的签名数据可减小熔丝错误检测电路180的大小及复杂性。

[0029] 为了在连续读取操作之间执行比较,熔丝错误检测电路180的签名寄存器可产生与第一熔丝数据集相关联的第一签名数据及与第二熔丝数据集相关联的第二签名值。在一些实例中,签名寄存器可具有匹配熔丝总线宽度的宽度或存储容量。然而,可在不违背本发明的范围的情况下实施具有不同宽度的签名寄存器。熔丝错误检测电路180可进一步经配置以在第二熔丝数据读取操作期间将第一签名值存储在(例如)存储寄存器中。

[0030] 熔丝错误检测电路180可比较(例如,逐位比较)第一签名数据与第二签名数据。在一些实例中,响应于确定第一签名值不匹配第二签名值,熔丝错误检测电路180可提供具有指示不匹配的值的输出信号。在一些实例中,响应于指示不匹配的输出生信号,半导体装置

100可停用(例如,暂停、中断等)操作。在一些实例中,响应于指示不匹配的输出信号,半导体装置100可执行一或多个后续熔丝读取操作,直到熔丝错误检测电路180检测到由连续熔丝数据集产生的匹配的签名值。在一些实例中,在未检测到与规定数目的匹配的情况下,半导体装置100可在停用操作之前限制熔丝读取操作的数目。在一些实例中,签名寄存器为多输入签名寄存器(MISR)。在一些实施例中,熔丝错误检测电路180可使用其它实施方案来实施,例如,经配置以执行循环冗余校验(CRC)的电路。

[0031] 图2是根据本发明的实施例的半导体装置200一部分的框图。熔丝电路200包含熔丝阵列225、熔丝逻辑电路226、熔丝总线FB<N:0>及熔丝错误检测电路280。熔丝阵列225、熔丝逻辑电路226及熔丝错误检测电路280可分别表示图1的熔丝阵列125、熔丝逻辑电路226、FB 128及熔丝错误检测电路180的实施方案。

[0032] 熔丝阵列225可包含经配置以存储熔丝数据的多个存储元件,例如,熔丝或反熔丝。在一些实施例中,存储元件可包含启动存储元件、冗余存储元件、选项存储元件、识别(ID)存储元件或其任何组合。每一存储元件可包含第一状态(例如,未经编程状态)及第二状态(例如,经编程状态)。在一些实例中,存储元件中的一些存储元件可被分组在一起以提供单个配置参数或设定。举例来说,冗余存储元件的群组可存储指向存储器阵列中的存储器单元的有缺陷的行或列的地址,所述地址可由行解码器及/或存储器单元阵列的电路用来将地址重新引导到存储器单元的冗余(例如,替代)行或列。在熔丝阵列225中编程的熔丝数据可在熔丝读取操作期间从熔丝阵列225广播到熔丝逻辑226。在一些实例中,熔丝数据可划分为熔丝数据的子集,其中数据的子集根据选择时钟信号连续地广播。熔丝数据的子集中的每一者的大小可基于熔丝总线(例如,熔丝总线FB<N:0>)的宽度,其中N是正整数。举例来说,熔丝数据的每一子集可包含N+1个位。在一些实例中,N等于3个、7个、15个、31个或63个位。

[0033] 熔丝逻辑电路226可接收并锁存从熔丝阵列225广播的熔丝数据的每一子集,并将经锁存熔丝数据的子集提供到熔丝总线FB<N:0>。熔丝总线FB<N:0>可响应于选择时钟将熔丝数据提供到半导体装置200的其它组件(例如,行解码器、存储器单元阵列等)(未展示)。熔丝逻辑电路226可包含经配置以临时存储熔丝数据的子集的锁存器电路或其它易失性存储器元件。在一些实例中,熔丝逻辑电路226可包含经配置以在不改变熔丝阵列225的经编程状态的情况下执行所接收熔丝数据的“软”修复的电路。

[0034] 熔丝错误检测电路280包含控制块252、签名寄存器254、存储寄存器256及比较器电路258。控制块252可经配置以接收输入信号以控制熔丝错误检测电路280的操作,包含经配置以指示新熔丝数据广播的开始或先前熔丝数据广播的结束的复位令牌信号ResetToken、指示熔丝广播的熔丝广播信号FuseBroadcast、经配置以时控熔丝总线FB<N:0>上的熔丝数据的选择信号SEL<1:0>,及经配置以复位熔丝错误检测电路280的复位信号Reset(例如,例如在电力循环之后)。响应于所接收输入信号,控制块252可经配置以将信号提供到签名寄存器256、存储寄存器256及比较器电路258以控制其操作。举例来说,基于由控制块252接收的输入信号,控制块252可经配置以提供MISR启用信号MisrEn以启用签名寄存器254,提供MISR复位信号MisrRst以复位签名寄存器254,及提供MISR时钟信号MisrClk以控制熔丝总线FB<N:0>上的熔丝数据的每一子集在签名寄存器254处的锁存。控制块252可基于所接收输入信号提供寄存器时钟信号RegClk以控制来自签名寄存器254的签名数据

在存储寄存器处的锁存,及提供寄存器复位信号RegRst以复位存储寄存器256。控制块252还可基于所接收信号提供命令时钟信号ComClk以控制比较器电路258的时序,及提供复位信号Reset以复位比较器电路258。

[0035] 签名寄存器254可耦合到熔丝总线FB<N:0>以接收由熔丝逻辑226从熔丝阵列225广播的熔丝数据。响应于MisrClk信号,签名寄存器254可经配置以基于当前签名数据与在输入处从熔丝总线FB<N:0>接收的熔丝数据的每一相应子集的组合产生(例如,编码)新的(例如,经更新)签名值。在一些实例中,签名寄存器254可具有等于熔丝总线FB<N:0>的宽度的宽度(例如,N+1个位)。因此,签名寄存器254可使用在熔丝总线FB<N:0>上提供的熔丝数据的每一新子集迭代地更新当前签名数据。签名数据可指示整个熔丝数据的值或熔丝数据的值的子集。举例来说,已知的“坏的”或有缺陷的熔丝,或者与未经使用的冗余熔丝组相关联的熔丝可从提供到签名寄存器254以产生签名数据的熔丝数据排除。此外,一些熔丝组可包含比熔丝总线FB<N:0>的宽度更少的熔丝。在此实例中,对于在更新签名数据时读取的那个特定熔丝组,签名寄存器可忽略熔丝总线FB<N:0>的未经使用的位。在一些实例中,在签名寄存器254处接收的熔丝数据可为从逻辑电路的输出提供的数据,所述逻辑电路经配置以提供熔丝数据的逻辑表达。签名寄存器254可经由输出信号OUT<N:0>将签名数据提供到存储寄存器256及比较器电路258。在一些实例中,签名寄存器254包含多输入签名寄存器(MISR)。

[0036] 存储寄存器256经配置以从存储寄存器256接收签名数据,并响应于RegClk信号锁存(例如,存储)签名数据。RegClk信号的操作可响应于熔丝数据广播的结束或新熔丝数据广播的开始。如此,存储寄存器256可存储对应于先前熔丝数据广播的签名数据,而签名寄存器产生对应于当前或新熔丝数据广播的新签名数据。在一些实例中,签名寄存器254可具有等于熔丝总线FB<N:0>的宽度的宽度(例如,N个位)。存储寄存器256可经由输出信号RegOut<N:0>将经存储签名数据提供到比较器。在一些实例中,熔丝错误检测电路280可实施有一个以上存储寄存器以存储一个以上先前签名数据集。

[0037] 比较器电路258经由OUT<N:0>信号从签名寄存器254接收签名数据(例如,第一签名数据)且经由RegOUT<N:0>信号从存储寄存器256接收经存储签名数据(例如,第二签名数据)。比较器电路258经配置以在第一签名数据与第二签名数据之间进行逐位比较以检测不匹配。第一签名数据与第二签名数据之间的不匹配可指示来自熔丝数据广播中的一者或两者的熔丝数据是错误的。响应于ComClk信号,比较器电路258可基于比较将Match信号设定为一值。举例来说,比较器电路258可响应于比较指示第一签名数据与第二签名数据之间的匹配而将匹配信号设定为第一值,且可响应于比较指示第一签名数据与第二签名数据之间的不匹配而将匹配信号设定为第二值。

[0038] 在熔丝读取操作期间,在熔丝阵列225处编程(例如,存储)的熔丝数据(例如,熔丝数据)可以熔丝数据的子集连续地广播到熔丝逻辑226。熔丝逻辑226可提供熔丝总线FB<N:0>,所述熔丝总线将数据提供到半导体装置200的其它组件(未展示)。在一些实例中,例如,当熔丝变得有缺陷或由于另一操作异常,熔丝阵列225及/或熔丝逻辑226可将错误的熔丝数据提供到熔丝总线FB<N:0>。在电压电平已充分稳定之前,在开启电源序列的早期执行的熔丝读取操作期间,也可广播错误的熔丝数据。在一些实例中,错误熔丝数据可不利地影响半导体装置200的性能。

[0039] 为了检测错误的熔丝数据,熔丝错误检测电路280可经配置以确定在连续熔丝读取操作期间广播的熔丝数据是否不匹配。因此,在开启电源序列的早期(例如,响应于Reset信号),比较器电路258可复位Match信号,且控制块252可经配置以分别经由MisrRst信号及RegRst信号将签名寄存器254及存储寄存器256初始化为默认值。在一些实例中,默认值可全部为零。在另一实例中,默认值可为相同或不同的预定值。

[0040] 当熔丝广播信号转变为指示熔丝广播的逻辑值(例如,第一逻辑值)时,控制块252可经配置以经由MisrEn信号启用签名寄存器。在第一熔丝数据广播期间,响应于SEL<1:0>信号,数据的子集被连续地提供到熔丝总线FB<N:0>。因此,也响应于SEL<1:0>信号上的每一脉冲,控制块252可经配置以通过双态切换MisrClk信号致使签名寄存器254更新当前签名数据。响应于MisrClk的每一双态切换,签名寄存器256可组合当前签名数据与熔丝总线FB<N:0>上的数据的子集以产生经更新签名数据。在一些实例中,如果熔丝总线FB<N:0>上的数据的子集的逻辑值或结果指示应忽略数据的子集,那么可将当前签名数据提供为经更新签名数据(例如,可不改变当前签名数据)。

[0041] 可在ResetToken信号上提供脉冲来指示完成第一熔丝数据广播(例如,或正开始下一熔丝数据广播)。响应于ResetToken信号上的脉冲,控制块252可双态切换RegClk信号以致使存储寄存器256存储(例如,锁存)从签名寄存器254提供的当前签名数据(例如,第一签名数据)(例如,第一签名数据粗化到第一熔丝数据广播)。此外,在将当前签名数据存储于存储寄存器256处之后,控制块252还可经由MisrRst信号致使签名寄存器254复位为默认值。在一些实例中,默认值可全部为零。在另一实例中,默认值可为预定值。

[0042] 在第二熔丝数据广播期间,响应于SEL<1:0>信号,熔丝数据的子集被连续地提供到熔丝总线FB<N:0>。因此,也响应于SEL<1:0>信号,控制块252可再次通过双态切换MisrClk信号致使签名寄存器254更新当前签名数据。响应于MisrClk的每一双态切换,签名寄存器256可组合当前签名数据与熔丝总线FB<N:0>上的数据的子集以产生经更新签名数据。

[0043] FuseBroadcast信号可转变为指示熔丝广播的结束的逻辑值(例如,第二逻辑值)。此时,签名寄存器254可经由OUT<N:0>信号将来自第二熔丝数据广播的签名数据(例如,第二签名数据)提供到比较器,且存储寄存器可经由RegOUT<N:0>信号将第一签名数据提供到比较器。比较器电路258可执行第一签名数据与第二签名数据的逐位比较以提供匹配的指示。响应于FuseBroadcast信号的转变,控制块252可双态切换ComClk信号以致使比较器将匹配的指示转变为Match信号。

[0044] 因此,响应于确定第一签名值不匹配第二签名值,比较器电路258可提供具有指示不匹配的值的Match信号。否则,比较器可提供具有指示Match的值的Match信号。在一些实例中,响应于指示不匹配的Match信号,半导体装置200可停用操作。在一些实例中,响应于指示不匹配的匹配信号,半导体装置200可执行一或多个后续熔丝读取操作,直到熔丝错误检测电路280检测到由连续熔丝数据集产生的匹配的签名值。在一些实例中,在未检测到与规定数目的匹配的情况下,半导体装置200可在停用操作之前限制熔丝读取操作的数目。在一些实例中,熔丝错误检测电路280可使用其它实施方案来实施,例如,经配置以执行循环冗余校验(CRC)作为数据的签名类型的电路。

[0045] 图3是根据本发明的实施例的实例签名寄存器354的示意图。签名寄存器354可表

示图1的熔丝错误检测电路180的签名寄存器及/或图2的签名寄存器254的实施方案。在一些实例中,图1的熔丝总线FB及/或熔丝总线FB<N:0>可实施熔丝总线FB<N:0>。在一些实例中,图2的MisrClk信号及OUT<N:0>信号可分别实施MisrEn信号及OUT<N:0>信号。

[0046] 签名寄存器354包含多个签名单元362(0)-362(N),其各自经配置以从签名单元362(0)-362(N)中的一个先前(例如,邻近、顺序、后续等)签名单元接收相应熔丝总线FB<N:0>数据及相应输出数据,其中接收输出数据的签名单元362(N)从签名单元362(0)接收输出数据。签名单元中的每一者可包含耦合到触发器FF的异或门XOR。XOR门可各自经配置以对来自邻近签名单元的熔丝总线FB<N:0>数据及输出数据的相应位执行XOR操作,以将信号提供到相应触发器的输入D。响应于MisrClk,每一触发器可经配置以将相应XOR门的输出传播到相应输出Q。签名单元362(0)-362(N)中的每一者的相应输出可被提供到签名单元362(0)-362(N)中的后续(例如,邻近、顺序、先前等)签名单元,并被提供到输出总线OUT<N:0>。因此,并非仅基于来自熔丝总线FB<N:0>的相应输入数据来更新签名单元的输出,而是签名单元362(0)-362(N)中的每一者基于来自熔丝总线FB<N:0>的相应输入数据与来自先前签名单元的输出数据的XOR组合来更新输出数据。由于使用XOR逻辑组合来导出签名数据的此过程在熔丝数据的数千个位的过程内继续,因此即使熔丝数据的单个位在两个熔丝读取操作之间不同,由签名寄存器354提供的签名也可不同,与对所有熔丝数据执行逐位比较相比,此可允许使用少得多的位来检测错误。

[0047] 虽然图3描绘将签名单元362(0)的输出提供到签名单元362(N)的XOR门以与熔丝总线FB<N>信号进行XOR运算,但另外或另一选择是,签名单元362(0)的输出可反馈回到经配置以在签名单元362(1)的输出与签名单元362(0)的输出之间执行XOR逻辑操作的额外XOR门。额外XOR门的输出被提供到签名单元362(0)的XOR门的输入(例如,替代签名单元362(1)的输出),且签名单元362(0)的XOR门可经配置以在熔丝总线FB<0>信号与额外XOR门的输出之间执行XOR逻辑操作。

[0048] 图4是根据本发明的实施例的控制块452的示意图。控制块452可表示图2的控制块252的实施方案。在一些实例中,图1的熔丝总线FB及/或熔丝总线FB<N:0>可实施熔丝总线FB<N:0>。在一些实例中,图2的FuseBroadcast、SEL<1:0>、ResetToken、Reset、MisrClk、MisrEn、MisrRst、RegClk、RegRst及ComClk信号可分别实施FuseBroadcast、SEL<1:0>、ResetToken、Reset、MisrClk、MisrEn、MisrRst、RegClk、RegRst及ComClk信号。

[0049] 控制块452可包含第一逻辑电路460、第二逻辑电路470及第三逻辑电路480。第一逻辑电路460可经配置以接收熔丝广播信号FuseBroadcast并基于FuseBroadcast信号提供MisrEn信号及ComClk信号。第一逻辑电路460可包含串联耦合的反相器461、462、463及464,所述反相器经配置以接收FuseBroadcast信号并提供具有逻辑值的MisrEn信号,所述逻辑值是FuseBroadcast信号的逻辑值的补数。第一逻辑电路460可进一步包含响应于FuseBroadcast,经由延迟电路465、反相器466、反相器467、NAND门468及反相器469,在ComClk信号上提供脉冲的逻辑电路。ComClk信号上的脉冲的长度可基于通过反相器467的转变延迟。

[0050] 第二逻辑电路470可经配置以基于来自第一逻辑电路460的MisrEn信号及选择时钟信号SEL<1:0>提供MisrClk信号。第二逻辑电路470包含:第一NAND门471,其与第一反相器473串联耦合以基于MisrEn信号及SEL<0>信号将第一输入提供到NOR门475;及第二NAND

门472,其与第二反相器474串联耦合以基于MisrEn信号及SEL<1>信号将第二输入提供到NOR门475。MisrClk信号可基于NOR门475的反相输出(经由反相器476)来提供。

[0051] 第三逻辑电路480可经配置以基于ResetToken、MisrEn(来自第一逻辑电路460)及Reset信号提供RegClk、MisrRst及RegRst信号。第三逻辑电路480包含经配置以基于ResetToken及MisrEn信号在RegClk信号上提供脉冲的第一电路;所述第一电路包含NAND门481,其与反相器482串联耦合且经配置以基于ResetToken及MisrEn信号提供输出,及各自耦合到反相器482的输出的反相器483及NAND门484。反相器483的输出也耦合到NAND门484。RegClk信号上的脉冲提供为NAND门484的反相输出(经由反相器485)。RegClk信号上的脉冲的长度基于反相器483的转变延迟。

[0052] 第三逻辑电路480包含经配置以基于ResetToken、MisrEn及Reset信号提供MisrRst信号的第二电路。第二电路包含延迟器486,其耦合于反相器482的输出与反相器487之间且经配置以延迟反相器482的输出。反相器487的输出耦合到反相器488及NAND门489中的每一者。反相器488的输出还耦合到NAND门489的输入。反相器488及NAND门489经配置以在MisrRst信号上提供脉冲(例如,以在熔丝读取操作之间复位签名寄存器)。反相输出(经由反相器490)被提供到NOR门492的第一输入。反相(经由反相器491)Reset信号被提供到NOR门492的第二输入。MisrRst信号提供为NOR门的反相输出(经由反相器493)。第一逻辑电路460可包含串联耦合的反相器491、494、及495,所述反相器经配置以接收Reset信号并提供具有逻辑值的RegRst信号,所述逻辑值是Reset信号的逻辑值的补数。

[0053] 因此,在操作中,第一逻辑电路460经配置以在FuseBroadcast信号指示熔丝广播有效时提供MisrEn信号以启用签名寄存器(例如,图2的签名寄存器254及/或图3的签名寄存器354)。第一逻辑电路460进一步经配置以在ComClk信号上提供脉冲以致使比较器(例如,图2的比较器电路258)响应于指示熔丝广播序列的结束的FuseBroadcast而更新Match信号上的值。

[0054] 第二逻辑电路470经配置以响应于两个SEL<1:0>信号在MisrEn信号启用签名寄存器时在MisrClk信号上提供脉冲。第三逻辑电路480经配置以在MisrEn信号启用签名寄存器时响应于ResetToken信号在RegClk信号上提供脉冲。第三逻辑电路480进一步经配置以在MisrEn信号启用签名寄存器时响应于ResetToken信号在MisrReset信号上提供经延迟(例如,相对于RegClk信号上的脉冲)脉冲。MisrRst信号上相对于RegClk信号上的脉冲的经延迟脉冲可允许存储寄存器(例如,图2的存储寄存器256)在复位签名寄存器值之前锁存签名寄存器的当前值。第三逻辑电路480还可响应于Reset信号(例如在电力循环之后)在MisrRst及RegRst信号上提供硬复位。

[0055] 图5是根据本发明的实施例的比较器电路558的示意图。比较器电路558可表示图1的熔丝错误检测电路180的比较器电路及/或图2的比较器电路258的实施方案。在一些实例中,图2的OUT<N:0>、RegOUT<N:0>、ComClk、Reset及Match信号可分别实施OUT<N:0>、RegOUT<N:0>、ComClk、Reset及Match信号。

[0056] 比较器电路558包含XOR门574(0)-574(N)、NOR门576(0)-576(M)、NAND门578,及触发器(FF)或锁存器电路582。XOR门574(0)-574(N)可在输出信号OUT<N:0>中的个别者与寄存器输出信号RegOut<N:0>中的个别者之间执行逐位比较。NOR门576(0)-576(M)可执行XOR门574(0)-574(N)的相应子集的输出的逐位比较。NAND门578可将NAND逻辑应用于NOR门576

(0)-576 (M) 的输出。NAND门578的输出可经由反相器579反相且被提供到触发器电路582的输入。触发器电路582可由经由反相器580及581接收的命令时钟信号ComClk及命令时钟信号ComClk的补数控制。触发器电路582可基于反相器579的输出提供匹配信号Match。触发器电路582可响应于经由反相器484接收的Reset信号复位Match信号。因此,响应于ComClk信号,比较器电路558经配置以基于输出信号OUT<N:0>与寄存器输出信号RegOut<N:0>之间的逐位比较设定Match信号。

[0057] 图6是表示根据本发明的实施例的存储器装置的框图。图6展示熔丝总线628从一对熔丝阵列625a及625b通过存储器阵列600的传输路径。在一些实施例中,存储器阵列600可为图1的存储器单元阵列118的实施方案。然而,存储器阵列600包含16个库630,而不是先前参考存储器阵列118描述的8个库。16个库630被组织为4个库群组 (BG0-BG3),每一群组4个库630。库630中的每一者与一组行锁存器619及列锁存器632相关联。

[0058] 地址可作为熔丝数据的一部分经由熔丝逻辑626沿着熔丝阵列总线FAB<15:0>及FAB<31:16>分别从熔丝阵列625a至625b扫描到熔丝总线FB<15:0>。在图6的特定实施例中,可存在一对熔丝阵列625a及625b。熔丝阵列625a可包含通常可用于存储行地址的第一部分的地址信息的一组反熔丝。熔丝阵列625b可包含通常可用于存储行地址的第二部分的地址信息的一组熔丝。在一些实施例中,可基于指派到地址的数字值在第一部分与第二部分之间划分行地址。举例来说,地址可通过数字值来分类,具有较小值的行地址可被指派到熔丝阵列625a,而具有较大值的行地址被指派到熔丝阵列625b。因为地址的值可表达为二进制数,因此对于具有高值的数字,数字中的大多数的位可在高逻辑电平处,而具有低值的数字可具有在低逻辑电平处的大多数的位。因此,将高值地址存储在包含默认为高逻辑电平的熔丝的熔丝阵列625b中且将低值地址存储在包含默认为低逻辑电平的反熔丝的熔丝阵列625a中可为更高效的。因此,与将需要在熔丝阵列625a中烧断反熔丝相比,指派到熔丝阵列625b的高值地址可需要烧断更少的熔丝。

[0059] 在一些实施例中,熔丝阵列625a可包含反熔丝且可为非反相熔丝阵列(因为反熔丝的默认值为低逻辑电平),且熔丝阵列625b可包含熔丝且为反相熔丝阵列。在一些实施例中,可有必要将从反相熔丝阵列625b提供的地址“反相”(例如,以低逻辑电平交换高逻辑电平且反之亦然)。

[0060] 虽然熔丝阵列625a及625b的组织将在本文中作为实例实施方案继续进行论述,但应理解,可在其它实施例中使用组织熔丝阵列中的地址的其它方法。举例来说,单个熔丝阵列可与仅熔丝,仅反熔丝或其混合一起使用。

[0061] 在广播操作期间,熔丝阵列625a至625b可沿着熔丝阵列总线FAB<15:0>及FAB<31:16>广播熔丝数据,所述熔丝数据可包含存储在熔丝阵列625a至625b中的行地址。在图6的特定实施例中,在广播操作期间,熔丝逻辑电路626可沿着熔丝阵列总线FAB<15:0>从熔丝阵列625a接收地址的一部分,且沿着熔丝阵列总线FAB<31:16>从熔丝阵列625b接收地址的一部分。熔丝逻辑电路626可通过将沿着熔丝总线FB<15:0>提供来自熔丝阵列总线FAB<15:0>的地址还是来自熔丝阵列总线FAB<31:16>的地址进行交替来将地址组合到熔丝总线FB<15:0>上。为清晰起见,沿着熔丝阵列总线FAB<15:0>提供的地址可被称为“偶数”地址且沿着熔丝阵列总线FAB<31:16>提供的地址可被称为“奇数”地址。应理解,偶数地址及奇数地址是指地址存储于其中的熔丝阵列625a至625b,且两个熔丝阵列总线FAB<15:0>及FAB<31:

16>可包含数字值为偶数及奇数两者的地址。

[0062] 熔丝逻辑电路626可沿着熔丝总线FB<15:0>提供数据。熔丝逻辑电路626可在沿着熔丝总线FB<15:0>在从熔丝阵列总线FAB<15:0>提供偶地址与从熔丝阵列总线FAB<31:16>提供奇地址之间交替。熔丝逻辑电路626还可基于熔丝总线的数据执行一或多个操作。举例来说,如果熔丝阵列625a至625b中的一者为反相熔丝阵列,那么熔丝逻辑电路626可将从反相熔丝阵列提供的地址的值反相。

[0063] 熔丝总线FB<15:0>可使数据通过一或多个选项电路640。选项电路640可包含存储器的各种设定,所述存储器可沿着熔丝总线FB<15:0>与地址交互。举例来说,选项电路640可包含熔丝设定,例如,测试模式及电力供应熔丝。存储在熔丝阵列625a至625b中的数据可由选项电路640锁存及/或读取,所述选项电路可接着基于沿着熔丝总线628提供的选项数据确定存储器的一或多个性质。

[0064] 在通过选项电路640之后,熔丝总线FB<15:0>可在通过用于所有存储器库630的列锁存器632之前通过用于所有存储器库630的行锁存器619。除了沿着熔丝总线FB<15:0>提供熔丝数据(包含地址数据),熔丝逻辑电路626还可沿着熔丝总线FB<15:0>提供一或多个选择信号。选择信号可与沿着熔丝总线的特定数据包相关联,且可确定特定数据包与沿着熔丝总线FB<15:0>的哪个电路相关联。举例来说,如果行锁存器选择信号处于有效状态,那么其可指示数据包将存储在行锁存器619中。在一些实施例中,此可使用来自熔丝总线FB<15:0>的地址覆写已经存储在行锁存器619中的地址。可使用其它选择信号(例如,库群组选择信号、库选择信号等)来规定打算存储数据包的特定行锁存器619的特定位置。

[0065] 通过监视熔丝总线FB<15:0>上的数据,提供具体选择信号,并选择性地变更熔丝总线FB<15:0>上的一些数据,熔丝逻辑电路626可对存储器执行各种修复操作。行锁存器619及列锁存器632可接收并存储在修复操作期间提供的地址,且存储器可基于存储在行锁存器及列锁存器中的地址及存储于其中的启用状态引导存取操作。

[0066] 沿着熔丝总线FB<15:0>的熔丝数据还可被提供到沿着熔丝总线FB<15:0>安置在不同位置处的一或多个熔丝错误检测电路680至683。在不违背本发明的范围的情况下,图6的存储器装置中可包含多于或少于4个熔丝错误检测电路680至683。在一些实施例中,熔丝错误检测电路680至683可各自实施图1的熔丝错误检测电路180、图2的熔丝错误检测电路280、图3的签名寄存器354、图4的控制块452、图5的比较器电路558或其任何组合。多路复用器690可在熔丝逻辑626的输出处(例如,在第一端附近)耦合到熔丝总线FB<15:0>且在传播通过列锁存器632(例如,在第二端附近)之后耦合到熔丝总线FB<15:0>。多路复用器690可经配置以选择性地将从熔丝总线FB<15:0>的第一端或第二端中的一者提供到熔丝错误检测电路680。虽然图6描绘具有16个位的熔丝总线FB<15:0>,但熔丝总线FB可在不违背本发明的范围的情况下包含多于或少于16个位。

[0067] 熔丝错误检测电路680至683中的每一者可经配置以基于在至少两个连续熔丝数据广播内从熔丝总线FB<15:0>接收的熔丝数据产生并存储签名数据,并在两个签名之间执行比较以检测差异。两个签名之间的差异可指示熔丝数据中的错误。具有沿着熔丝总线FB<15:0>安置于各种不同位置处的多个熔丝错误检测电路680至683可促进熔丝数据错误的检测,以及提供关于从何处引入熔丝数据错误的指示,例如,从熔丝阵列625a至625b、熔丝逻辑626、选项块640中的一者、行锁存器619、列锁存器632等。

[0068] 图7是根据本发明的实施例用以检测熔丝错误的方法的流程图。方法700可至少部分地由图1的熔丝错误检测电路180、图2的熔丝错误检测电路280、图3的签名寄存器354、图4的控制块452、图5的比较器电路558、图6的熔丝错误检测电路680至683中的一或多个或其任何组合执行。

[0069] 在701处,方法700可包含在半导体装置的熔丝错误检测电路处在第一熔丝数据广播期间从熔丝阵列接收第一数据集。在702处,方法700可包含编码第一数据集以提供第一签名数据。在一些实例中,方法700可包含经由签名寄存器(例如图2的签名寄存器254或图3的签名寄存器354)编码第一数据集。在一些实例中,方法700可进一步包含连续地接收第一数据集的子集并基于第一数据集的每一所接收子集更新第一签名数据。在一些实例中,第一签名数据包含比第一数据集更少的位。在一些实例中,方法700可进一步包含将第一签名数据存储(例如)在存储寄存器(例如,图2的存储寄存器256)中。

[0070] 在703处,方法700可包含在熔丝错误检测电路处在第二熔丝数据广播期间从熔丝阵列接收第二数据集。在704处,方法700可包含编码第二数据集以提供第二签名数据。在一些实例中,方法700可包含经由签名寄存器编码第二数据集。在一些实例中,方法700可进一步包含连续地接收第二数据集的子集,并基于第一数据集的每一所接收子集更新第一签名数据。在一些实例中,第一签名数据包含比第一数据集更少的位。

[0071] 在706处,方法700可包含比较第一签名数据与第二签名数据。比较可经由比较器电路(例如,图2的比较器电路258及/或图5的比较器电路558)执行。在一些实例中,方法700可进一步包含在第一签名数据与第二签名数据之间执行逐位XOR比较。在707处,方法700可包含基于第一签名数据与第二签名数据之间的比较提供具有某一值的匹配指示。匹配指示可包含匹配信号,例如,图2及5的Match信号。在一些实例中,方法700可进一步包含响应于匹配指示指示第一签名数据与第二签名数据之间的不匹配而导致第三熔丝数据广播或导致半导体装置暂停操作。

[0072] 尽管详细说明描述一些优选实施例及实例,但所属领域的技术人员将理解,本发明的范围超出特定揭示实施例扩展到其它替代实施例及/或对实施例及其明显修改及等效内容的使用。此外,所属领域的技术人员将容易地明了在本发明的范围内的其它修改。还预期,可做出对实施例的特定特征及方面的各种组合或子组合且其仍属于本发明的范围内。因此,应理解,所揭示实施例的各种特征及方面可彼此组合或替代,以便形成所揭示实施例的不同模式。因此,打算本发明中的至少一些的范围不应由上文所描述之特定揭示实施例限制。

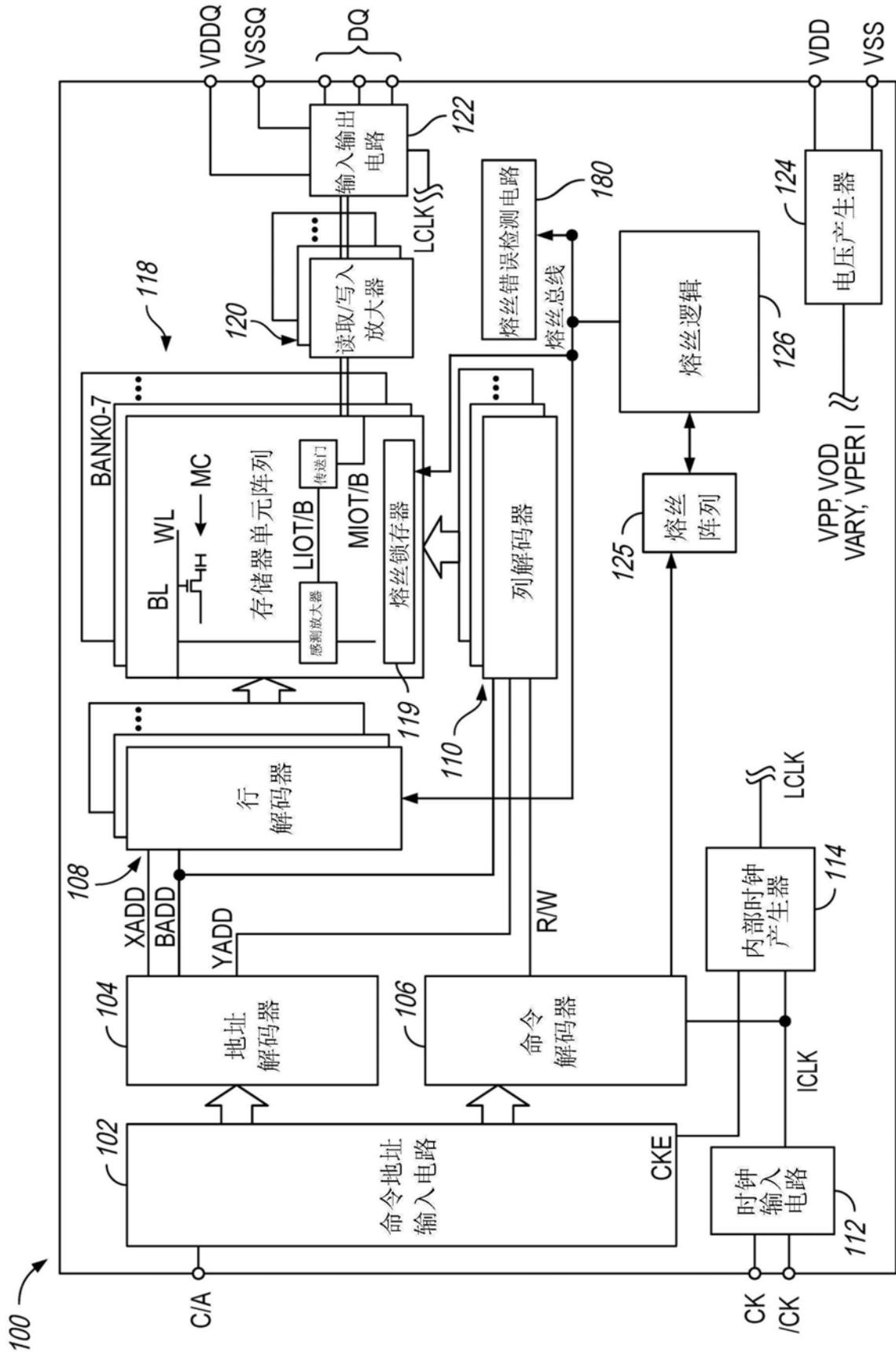


图1

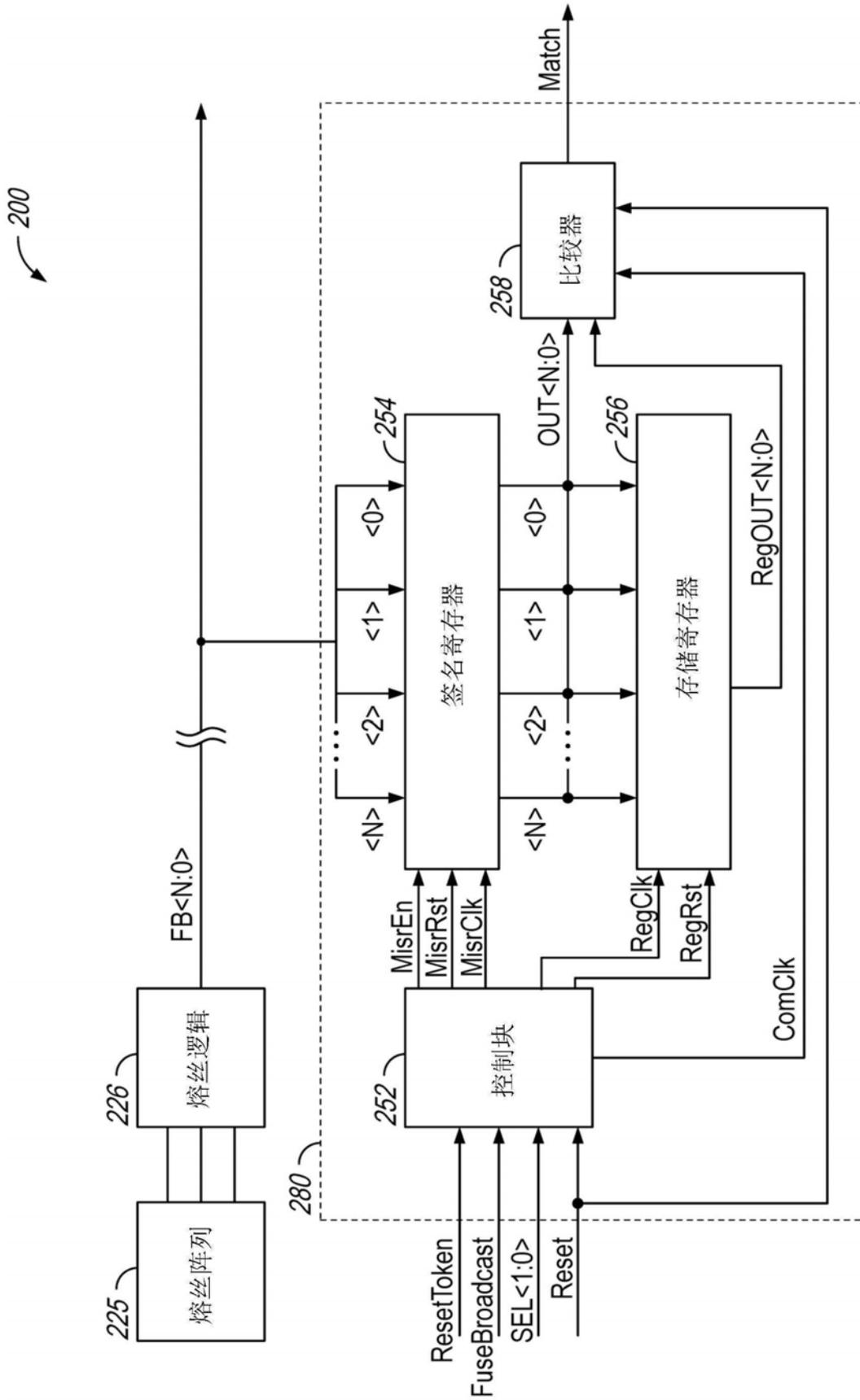


图2

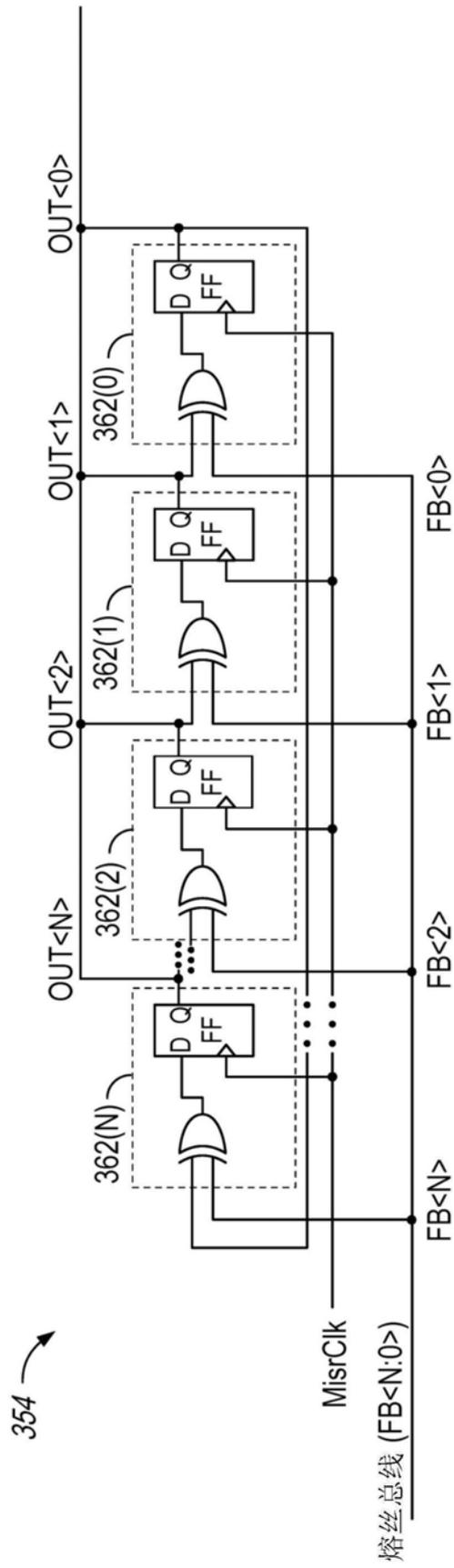


图3

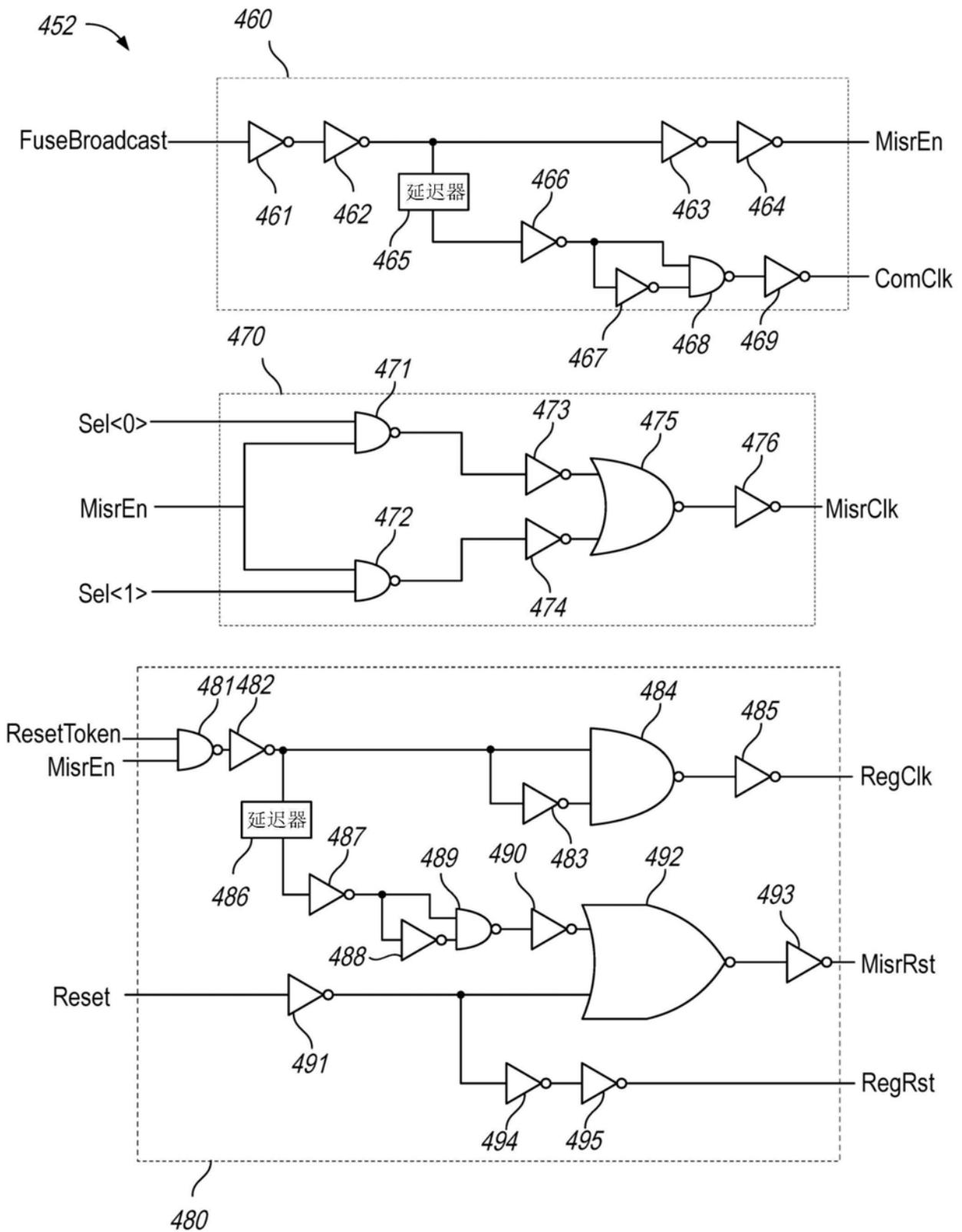


图4

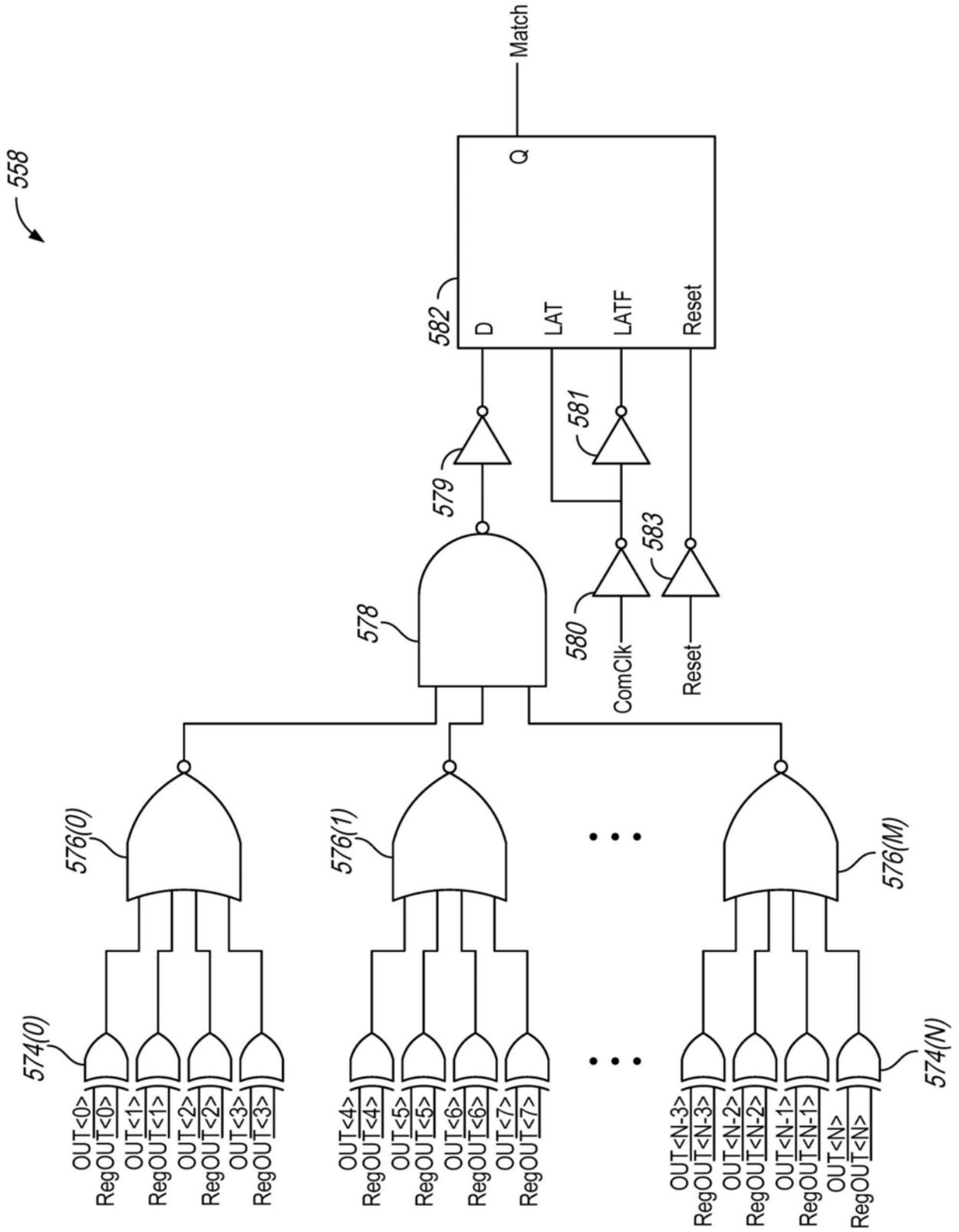


图5



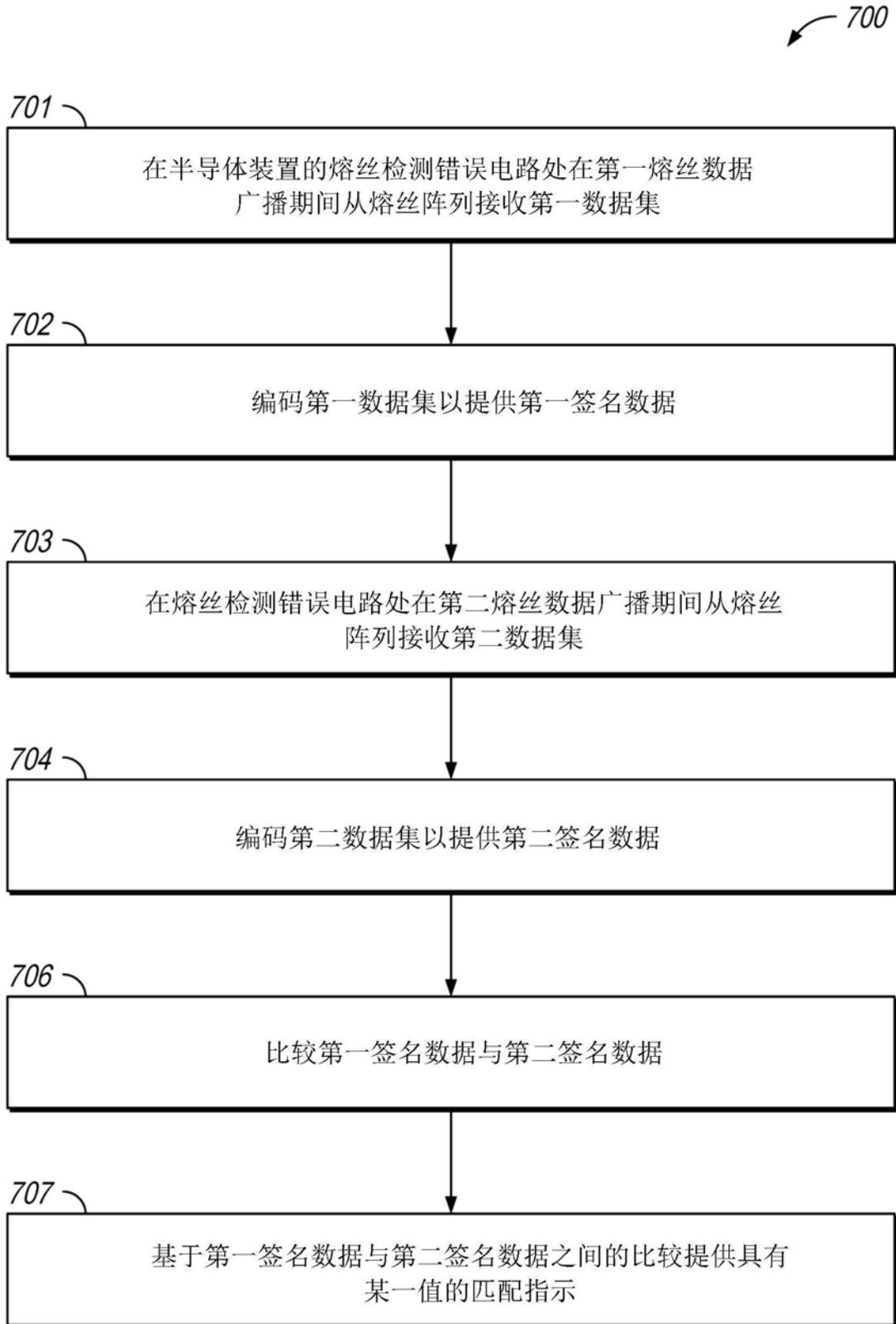


图7