

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3901004号

(P3901004)

(45) 発行日 平成19年4月4日(2007.4.4)

(24) 登録日 平成19年1月12日(2007.1.12)

(51) Int. Cl.		F I		
<b>GO 1 R</b>	<b>31/28</b>	<b>(2006.01)</b>	GO 1 R	31/28 V
<b>GO 2 F</b>	<b>1/13</b>	<b>(2006.01)</b>	GO 2 F	1/13 1 O 1
<b>GO 2 F</b>	<b>1/1345</b>	<b>(2006.01)</b>	GO 2 F	1/1345
<b>GO 2 F</b>	<b>1/1368</b>	<b>(2006.01)</b>	GO 2 F	1/1368

請求項の数 15 (全 31 頁)

(21) 出願番号	特願2002-122815 (P2002-122815)	(73) 特許権者	000002369
(22) 出願日	平成14年4月24日(2002.4.24)		セイコーエプソン株式会社
(65) 公開番号	特開2003-66113 (P2003-66113A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成15年3月5日(2003.3.5)	(74) 代理人	100095728
審査請求日	平成17年2月23日(2005.2.23)		弁理士 上柳 雅誉
(31) 優先権主張番号	特願2001-179042 (P2001-179042)	(74) 代理人	100107076
(32) 優先日	平成13年6月13日(2001.6.13)		弁理士 藤綱 英吉
(33) 優先権主張国	日本国(JP)	(74) 代理人	100107261
(31) 優先権主張番号	特願2001-179101 (P2001-179101)		弁理士 須澤 修
(32) 優先日	平成13年6月13日(2001.6.13)	(72) 発明者	江口 司
(33) 優先権主張国	日本国(JP)		長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	藤川 紳介
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 電気光学装置及びその製造方法、並びに電子機器

(57) 【特許請求の範囲】

【請求項1】

基板上に、画素電極と、該画素電極を駆動するための配線及び電子素子のうち少なくとも一方と、該少なくとも一方に接続された駆動回路の少なくとも一部分を構成すると共に前記基板上に配置される集積回路と、製造プロセスの評価、検査または監視のうちいずれかのために設けられた所定パターンと、を備え、

前記所定パターンは、該集積回路の下側に配置されていることを特徴とする電気光学装置。

【請求項2】

前記集積回路の入出力端子と、

前記集積回路の前記入出力端子が接合される接続用パッドと、  
をさらに有し、

前記所定パターンは、前記基板上の領域のうち前記接続用パッドを除く領域に形成されていることを特徴とする請求項2に記載の電気光学装置。

【請求項3】

基板上に、

画素電極と、

該画素電極を駆動するための配線及び電子素子のうち少なくとも一方と、

該少なくとも一方に接続された駆動回路の少なくとも一部分を構成すると共に前記基板上に設置される集積回路と、

10

20

該集積回路の下側に配置されており前記少なくとも一方と一緒に作り込まれた下側回路とを備えたことを特徴とする電気光学装置。

【請求項 4】

前記集積回路は、前記駆動回路の一部を構成し、

前記下側回路は、前記駆動回路の他の部分を構成することを特徴とする請求項 3 に記載の電気光学装置。

【請求項 5】

前記配線は、データ線及び走査線を含み、

前記集積回路は、前記データ線を駆動するデータ線駆動回路を含み、

前記下側回路は、前記走査線を駆動する走査線駆動回路及び画像信号をサンプリングして前記データ線に供給するサンプリング回路を含むことを特徴とする請求項 4 に記載の電気光学装置。

【請求項 6】

前記下側回路は、検査回路を含むことを特徴とする請求項 3 に記載の電気光学装置。

【請求項 7】

前記電子素子は、前記画素電極に接続された薄膜トランジスタを含み、

前記下側回路は、前記薄膜トランジスタと同一製造プロセスにより製造される薄膜トランジスタを含むことを特徴とする請求項 3 から 6 のいずれか一項に記載の電気光学装置。

【請求項 8】

前記集積回路と前記下側回路との間に、絶縁膜が形成されていることを特徴とする請求項 3 から 7 のいずれか一項に記載の電気光学装置。

【請求項 9】

前記集積回路は、前記画素電極が配置された画像表示領域の周辺に位置する周辺領域に設置されることを特徴とする請求項 1 から 8 のいずれか一項に記載の電気光学装置。

【請求項 10】

前記集積回路が設置される前記基板上の最上層は、平坦化されていることを特徴とする請求項 1 から 9 のいずれか一項に記載の電気光学装置。

【請求項 11】

請求項 1 に記載の電気光学装置を製造する電気光学装置の製造方法であって、

前記基板上の所定領域に前記所定パターンを形成する第 1 形成工程と、

前記所定パターンに基づいて検査、評価及び監視のうち少なくとも一つを行う検査工程と、

前記少なくとも一方及び前記画素電極を形成する第 2 形成工程と、

前記所定領域に前記集積回路を設置する工程と

を備えたことを特徴とする電気光学装置の製造方法。

【請求項 12】

請求項 3 から 8 のいずれか一項に記載の電気光学装置を製造する電気光学装置の製造方法であって、

前記基板上の所定領域に前記下側回路を形成し、前記少なくとも一方を形成し、前記画素電極を形成する形成工程と、

前記所定領域に前記集積回路を設置する工程と

を備えたことを特徴とする電気光学装置の製造方法。

【請求項 13】

前記所定パターンは、アライメントマーク及び識別マークのうち少なくとも一つを含むことを特徴とする請求項 1 に記載の電気光学装置。

【請求項 14】

前記下側回路には回路素子が含まれ、

該回路素子から引き出された引出配線と、

前記基板上の領域のうち前記集積回路に対向しない部分において前記引出配線に接続さ

10

20

30

40

50

れた下側回路用外部回路接続端子と

を更に備えたことを特徴とする請求項 3 から 10 のいずれか一項に記載の電気光学装置

。

【請求項 15】

請求項 1 から 10、請求項 13、及び 14 のいずれか一項に記載の電気光学装置を具備することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば液晶装置等の電気光学装置における TFT アレイ基板などとして好適に用いられる基板装置及びその電気的な検査方法の技術分野に属し、更にそのような基板装置を備えてなる液晶装置等の電気光学装置及びその製造方法、並びに、該電気光学装置を具備してなる各種電子機器の技術分野に属する。

10

【0002】

【背景技術】

薄膜トランジスタ（以下適宜、TFTと称す）駆動型の液晶装置等の電気光学装置では、ガラス基板、石英基板等の絶縁基板上に、高温又は低温ポリシリコン、アモルファスシリコン等を半導体層として用いた薄膜トランジスタが、画素電極のスイッチング制御用に各画素に作り込まれる。

【0003】

ポリシリコン型の TFT の場合には、概ねトランジスタ特性や消費電力に優れる。このため、多数の画素電極が配列された画像表示領域の周辺に位置する周辺領域に、このようなポリシリコン型の TFT からなる周辺回路を作り込めば、周辺回路として十分なトランジスタ特性や低消費電力が得られる。従って、同一製造工程により画像表示領域内における画素スイッチング用の TFT と周辺回路を構成する TFT とを同時形成できるので有利である。

20

【0004】

他方、アモルファスシリコン型の TFT の場合には概ねトランジスタ特性や消費電力に劣る。このため、周辺回路をアモルファスシリコン型の TFT で作るのでは周辺回路として十分なトランジスタ特性や低消費電力が得られないことが多い。このため、アモルファスシリコン型の TFT を画素スイッチング用の TFT として採用する場合には、周辺領域に外付け集積回路（以下適宜、ICと称す）を外付けする技術が一般的である。

30

【0005】

【発明が解決しようとする課題】

本願発明者の研究によれば、前述したポリシリコン型の TFT で周辺回路を作り込む技術では、表示画像の高品位化等の一般的要請下における駆動周波数の上昇や低消費電力化に対処可能な周辺回路を作り込むことが困難になりつつある。このため、周辺領域に外付け IC を外付けして、この外付け IC に周辺回路の一部の機能を担わせることが望ましいと考察される。例えば、特開平 04 - 242724 号公報に開示されている技術が知られている。

40

【0006】

しかしながら、前述のように、周辺回路を作り込んだ基板上に、更に外付け集積回路を外付けすると、製造後や出荷後において当該基板装置に故障や異常が生じた場合に、故障している或いは異常であるのが、周辺回路であるのか又は外付け IC であるのかを特定することが極めて困難となる。従って、このような故障或いは異常の際には、外付け IC を基板から剥がして、当該外付け IC 単独で、電気的な検査を行う必要があり、実用的ではないという問題点がある。

【0007】

このため、実際には、周辺回路が作り込まれた基板上に更に、外付け IC を外付けする技術は進んでいないのが実情である。

50

## 【 0 0 0 8 】

また、外付けＩＣに関する別の課題としては、周辺領域に外付けＩＣを外付けすると、前述した製造プロセスの検査、評価又は監視用或いは素子評価用の各種パターンと外付けＩＣとにより、相対的に広い周辺領域が必要となる。即ち、限られた基板上領域のうち、かなりの部分をこれらの各種パターンと外付けＩＣとで占めることになり、結果として、基板の小型化或いは限られた基板上領域での画像表示領域の大型化という一般的要請に応えることが困難になるということもある。

## 【 0 0 0 9 】

他方、周辺回路を作り込んだ基板上に、更に外付けＩＣを外付けすると、同様に、限られた基板上領域のうち、かなりの部分を周辺回路と外付けＩＣとで占めることになり、結果として、基板の小型化或いは限られた基板上領域での画像表示領域の大型化という一般的要請に応えることが困難になる。

## 【 0 0 1 0 】

このため、実際には、製造プロセスの検査、評価又は監視用或いは素子評価用の各種パターンや周辺回路が作り込まれた基板上に更に、外付けＩＣを外付けする技術は進んでいないのが実情である。

## 【 0 0 1 1 】

本発明は上記課題に鑑みなされたものであり、外付けＩＣを剥がすことなく、その電気的な検査が実行可能であると共に周辺回路による利益と外付けＩＣによる利益との両方を享受可能な基板装置、該基板装置の電気的な検査を比較的容易に実行可能である基板装置の検査方法、そのような基板装置を備えてなる電気光学装置及び該電気光学装置を具備してなる電子機器を提供することを課題とする。

## 【 0 0 1 2 】

また、本発明は上記別の課題に鑑みなされたものであり、外付けＩＣを外付けしつつ、限られた基板上領域における画像表示領域の広さを確保できる電気光学装置及びその製造方法、並びにそのような電気光学装置を具備してなる電子機器を提供することを課題とする。

## 【 0 0 1 3 】

## 【課題を解決するための手段】

本発明の基板装置は上記課題を解決するために、基板と、該基板上に作り込まれた周辺回路と、前記基板上に配線された第１配線と、前記基板上の前記第１配線上に設けられた接続用部分に接続された第１端子を有する集積回路と、前記基板上の領域のうち前記集積回路に対向する部分を通過するように前記接続用部分から引き出された第２配線と、前記基板上の領域のうち前記集積回路に対向しない部分において前記第２配線上に設けられた第１の外部回路接続端子とを備えることを特徴とする。

## 【 0 0 1 4 】

本発明の基板装置によれば、基板上には、周辺回路が作り込まれており、更に集積回路が設置されている。従って、周辺回路については、高温又は低温ポリシリコン、アモルファスシリコン等を半導体層として用いた薄膜トランジスタを基板上に形成する場合に、これと同一工程により、周辺回路を作り込むことができる。他方、このようなトランジスタよりもスイッチング特性や消費電力特性に優れたトランジスタを含んでなる集積回路を基板上に設置できる。従って、基板上の回路として必要な機能の一部分を周辺回路に担わせると共に基板上の回路として必要な機能の他の部分を、同一基板上に設置された集積回路に担わせることができる。これにより、周辺回路における主な利益たる製造及び積層構造の単純化及び小型薄型化と、集積回路における主な利益である高性能化及び低消費電力化との両方を、適当なバランスで享受可能となる。ここで特に、集積回路の第１端子は、第１配線上に設けられた接続用部分に接続されており、この接続用部分から第２配線が、基板上の領域のうち集積回路に対向する部分を通過するように引き出される。更に、基板上の領域のうち集積回路に対向しない部分において、このように引き出された第２配線上に、第１の外部回路接続端子が設けられている。従って、集積回路の第１端子に第２配線を介

10

20

30

40

50

して接続された第1の外部回路接続端子が、基板上における集積回路から外れた個所に設けられているので、この第1の外部回路接続端子を介して、集積回路と外部検査装置との間で任意の信号の入出力が可能となる。例えば、第1端子を集積回路の出力端子となるように配置すれば、第1の外部回路接続端子において、集積回路の出力特性を外部検査装置により検査できる。

【0015】

以上の結果、同一基板上に周辺回路と集積回路とが存在しても、特に集積回路を設置した後に装置故障或いは異常が発生した場合に、集積回路を基板から剥がす必要なく、集積回路から出力される信号を取り出すことが可能なので、どちらの回路が故障しているのかを検査することが可能となる。即ち、集積回路を剥がして、その出力端子に検査用プローブを当てるなどにより検査する必要はなく、実用上大変便利である。

10

【0016】

このように本発明の基板装置によれば、集積回路を剥がすことなくその電気的な検査が実行可能であると共に周辺回路による利益と集積回路による利益との両方を享受可能となる。

【0017】

本発明の基板装置の一態様では、前記接続用部分は、前記基板上に配置された接続用パッドからなることを特徴とする。

【0018】

この態様によれば、接続用パッドからなる接続用部分に、集積回路の第1端子を接合することにより、比較的簡単に、両者間に良好な電気的接続が取れる。

20

【0019】

本発明の基板装置の他の態様では、前記基板上の領域のうち前記集積回路に対向する部分を通過する第3配線と、前記基板上の領域のうち前記集積回路に対向しない部分において前記第3配線上に設けられた第2の外部回路接続端子とを更に備えており、前記集積回路は、第2端子を更に有すると共に該第2端子が前記第3配線上に設けられた他の接続用部分に接続されていることを特徴とする。

【0020】

この態様によれば、集積回路の第2端子は、第3配線上に設けられた接続用パッド等の接続用部分に接続されており、第3配線を介して第2の外部回路接続端子に接続されている。従って、集積回路の第2端子に接続された第2の外部回路接続端子が、基板上における集積回路から外れた個所に設けられているので、集積回路を基板上に設置した後に、この第2の外部回路接続端子を介して、集積回路と外部との間で任意の信号の入出力が可能となる。例えば、第2端子を入力端子となるように配置すれば、第2の外部回路接続端子において、集積回路に、画像信号、制御信号、電源信号等の各種信号を入力できる。

30

【0021】

この態様では、前記第1端子は、前記集積回路の出力端子であり、前記第2端子は、前記集積回路の入力端子であり、前記第1の外部回路接続端子は、前記集積回路の出力信号を取り出すための検査用端子であり、前記第2の外部回路接続端子は、当該基板装置を動作させる各種信号を入力するための動作用端子であるように構成してもよい。

40

【0022】

このように構成すれば、第2の外部回路接続端子において集積回路に外部から各種信号を入力できると共に、第1の外部回路接続端子において集積回路の出力を外部から検査できる。

【0023】

上記集積回路が第1端子及び第2端子を有する態様では、前記第1端子及び前記第2端子は、前記集積回路の前記基板に対向する面上に位置するように構成してもよい。

【0024】

このように構成すれば、集積回路の実装後には、集積回路の基板に対向する面上に配置されている出力端子や入力端子が、集積回路のパッケージ本体により隠れてしまっているも

50

の、第1の外部回路接続端子において、集積回路の出力を外部から検査可能となる。

【0025】

尚、本発明に適用できる集積回路の実装方法としては、COG (Chip on Glass) 法の他に、ワイヤボンディング法、フリップチップ法、ビームリード法等があり、当該方法で実装可能なDIP形、フラットパック形、チップキャリア形等の各種パッケージ形態の集積回路を本発明に適用することができる。いずれの場合にも、集積回路を設置した後も、第1の外部回路接続端子を介して集積回路を検査可能であるので、便利である。但し、上述の集積回路の場合には、第1端子或いは第2端子は、隠れてしまうので本発明は特に有効である。

【0026】

この場合更に、前記第1端子及び前記第2端子は夫々、複数設けられていると共に前記集積回路の前記基板に対向する面上において千鳥足状に位置するように構成してもよい。

【0027】

このように構成すれば、基板面上で第1端子の配列方向に直角に且つ第2端子の側に向けて第2配線を延設すれば、相隣接する第2端子の間隙を通して第2配線の先端を第2端子と反対の側まで至らせることが可能となる。従って、第2配線と第3配線とが交互に並びつつ夫々第1及び第2の外部回路接続端子に至る構成が得られる。

【0028】

尚、この場合、第1及び第2の外部回路接続端子は、千鳥足状に位置するように構成してもよく、このように構成すれば、第1及び第2の外部回路接続端子の形成面積を大きくして、両者が相互に重ならない構成が得られる。

【0029】

但し、複数の第1端子及び第2端子を、このように千鳥足状に配列しなくても、第2配線を第1配線や第2端子を避ける平面パターンを持つように配線すればよい。更に、複数の第1及び第2の外部回路接続端子についても、一列に配列してもよい。

【0030】

本発明の基板装置の他の態様では、前記周辺回路は、ポリシリコン薄膜トランジスタを含んでなることを特徴とする。

【0031】

この態様によれば、周辺回路は、高温又は低温ポリシリコン薄膜トランジスタを含んでなるので、トランジスタ特性及び消費電力特性に比較的優れた周辺回路を構築しつつ、トランジスタ特性及び消費電力特性に一層優れた集積回路を設置することで、全体として非常に優れた駆動回路等を周辺回路及び集積回路により実現できる。

【0032】

本発明の基板装置の他の態様では、前記周辺回路に代えて他の集積回路が前記基板上に設けられていることを特徴とする。

【0033】

この態様によれば、基板装置に必要な駆動回路等の機能を、二つの集積回路に分担させることにより、設計上の自由度が増大する。

【0034】

本発明の基板装置の検査方法は上記課題を解決するために、上述した本発明の基板装置（但し、その各種態様も含む）を検査する基板装置の検査方法であって、前記集積回路を設置した後に、前記第1の外部回路接続端子に検査用プローブを接触させる工程と、該検査用プローブを介して前記集積回路に対する電氣的検査を行う検査工程とを含むことを特徴とする。

【0035】

本発明の基板装置の検査方法によれば、当該基板装置の製造後或いは出荷後に、先ず、第1の外部回路接続端子に検査用プローブを接触させ、続いて、該検査用プローブを介して集積回路に対する電氣的検査を行う。従って、集積回路を剥がす必要なしに、非常に簡単に集積回路の電氣的な検査を実行できる。

10

20

30

40

50

## 【0036】

本発明の基板装置の検査方法の一態様では、前記集積回路を設置する前に、前記周辺回路に対する電氣的検査を行う他の検査工程を更に含む。

## 【0037】

この態様によれば、当該基板装置の製造工程の途中で、先ず、集積回路を設置する前に、例えば、周辺回路にも接続された第1の外部回路接続端子や、周辺回路に接続された他の外部回路接続端子に検査用プローブを接触させて、該検査用プローブを介して周辺回路に対する電氣的検査を行う。従って、集積回路を設置する前には、周辺回路に対する電氣的な検査を行うことが可能となり、集積回路を設置した後は、第1の外部回路接続端子を利用して、集積回路に対する電氣的な検査を行うことが可能となる。

10

## 【0038】

本発明の第1の電気光学装置は上記課題を解決するために、上述した本発明の基板装置（但し、その各種態様も含む）上に、画素電極と、該画素電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続されたデータ線及び走査線とを備えており、前記周辺回路及び前記集積回路は夫々、前記データ線及び前記走査線を駆動するための回路を部分的に含む。

## 【0039】

本発明の第1の電気光学装置によれば、データ線及び走査線を介して薄膜トランジスタで画素電極をスイッチング制御することにより、所謂アクティブマトリクス駆動が可能となる。ここで特に、周辺回路に含まれるデータ線及び走査線を駆動するためのデータ線駆動回路、走査線駆動回路等の回路は、部分的に周辺回路に含まれており、且つ部分的に集積回路に含まれている。従って、周辺回路を構成する薄膜トランジスタについては、画素電極をスイッチング制御する薄膜トランジスタと同一工程で作成可能となる。即ち、周辺回路における主な利益たる製造及び積層構造の単純化及び小型薄型化を図れる。他方で、集積回路における主な利益である高性能化及び低消費電力化も図れる。そして特に、上述した本発明の基板装置を備えているので、集積回路を基板上に設置した後であっても、第1の外部回路接続端子において、集積回路を外部から検査できる。

20

## 【0040】

本発明の第1の電気光学装置の一態様では、前記周辺回路及び前記集積回路は、前記画素電極が複数配列された画像表示領域の周辺に位置する周辺領域に配置されている。

30

## 【0041】

この態様によれば、周辺回路及び集積回路の両者が、周辺回路として設けられた基板装置を実現できる。

## 【0042】

本発明の第1の電気光学装置の他の態様では、前記周辺回路は、前記データ線に接続されたサンプリングスイッチ回路を含み、前記集積回路は、前記データ線及び前記走査線を駆動すると共にシフトレジスタを有する駆動回路を含む。

## 【0043】

この態様によれば、集積回路に含まれるシフトレジスタを有する駆動回路によりデータ線及び走査線を駆動しつつ、周辺回路に含まれたサンプリング回路により画像信号をサンプリングすることで、高品位の画像を表示可能となる。

40

## 【0044】

本発明の第2の電気光学装置は上記別の課題を解決するために、基板上に、画素電極と、該画素電極を駆動するための配線及び電子素子のうち少なくとも一方と、該少なくとも一方に接続された駆動回路の少なくとも一部分を構成すると共に前記基板上に配置される集積回路と、製造プロセスの評価、検査または監視のうちいずれかのために設けられた所定パターンと、を備え、前記所定パターンは、該集積回路の下側に配置されている。

## 【0045】

本発明の第2の電気光学装置によれば、画素電極を、例えば走査線、データ線、容量線等の配線や、薄膜トランジスタ、薄膜ダイオード、蓄積容量等の電子素子を介して、駆動回

50

路により、アクティブマトリクス駆動方式やパッシブマトリクス駆動方式で駆動できる。ここで、このような駆動回路の少なくとも一部は、基板上に設置される集積回路から構成されている。従って、電子素子を、例えば、アモルファスシリコン、低温又は高温ポリシリコン等を半導体層として用いた薄膜トランジスタで構成した場合にこの薄膜トランジスタと同一製造プロセスで作り込み可能な周辺回路から駆動回路を構成する場合と比較して、よりスイッチング性能や低消費電力性能等の各種性能を向上させることが可能となる。そして特に、このような集積回路の下側には、例えば集積回路を設置する前には光学的に或いは視覚的に読取り可能な製造プロセスの評価用のパターン、製造プロセスの検査用のパターン、製造プロセスの監視用のパターン、素子評価用のパターンなどの所定パターンが配置されている。よって、これらの所定パターンと集積回路とが重なる分だけ、当該所定パターンと集積回路とが占める基板上領域を狭めることが可能となる。従って、限られた基板上領域において画素電極が配置される画像表示領域を相対的に広げることが可能となる。

10

**【 0 0 4 6 】**

尚、このような所定パターンは、集積回路を設置する前の製造プロセスで使用されると共に集積回路を設置した後には使用されないように構成してもよい。このように構成によれば、集積回路を設置する領域の大部分に渡って所定パターンを形成することができる。そして、このように形成した所定パターンは、集積回路を設置した後には使用されないので、結局、所定パターンを形成する領域と集積回路を設置する領域とを完全に重ねることも可能となるので、これら両者が占める基板上領域を非常に効率的に狭めることが可能となる。

20

**【 0 0 4 7 】**

本発明の第2の電気光学装置の他の態様では、前記所定パターンは、製造プロセスの評価、検査及び監視用或いは素子評価用のパターンのうち少なくとも一つを含むと共に前記基板上の領域のうち前記集積回路の入出力端子が接合される接続パッドを除く領域に形成されている。

**【 0 0 4 8 】**

この態様によれば、集積回路の入出力端子が接合される接続用パッドを除く領域に、製造プロセスの評価、検査及び監視用或いは素子評価用のパターンのうち少なくとも一つが形成されているので、集積回路を設置する直前の工程に至るまで、所定パターンを利用して、製造プロセスの評価、検査、監視等を行うことができる。

30

**【 0 0 4 9 】**

本発明の第3の電気光学装置は上記別の課題を解決するために、基板上に、画素電極と、該画素電極を駆動するための配線及び電子素子のうち少なくとも一方と、該少なくとも一方に接続された駆動回路の少なくとも一部分を構成すると共に前記基板上に設置される集積回路と、該集積回路の下側に配置されており前記少なくとも一方と一緒に作り込まれた下側回路とを備える。

**【 0 0 5 0 】**

本発明の第3の電気光学装置によれば、画素電極を、例えば走査線、データ線、容量線等の配線や、薄膜トランジスタ、薄膜ダイオード、蓄積容量等の電子素子を介して、駆動回路により、アクティブマトリクス駆動方式やパッシブマトリクス駆動方式で駆動できる。ここで、このような駆動回路の少なくとも一部は、基板上に設置された集積回路から構成されている。従って、電子素子を、例えば、アモルファスシリコン、低温又は高温ポリシリコン等を半導体層として用いた薄膜トランジスタで構成した場合にこの薄膜トランジスタと同一製造プロセスで作り込み可能な周辺回路から駆動回路を構成する場合と比較して、よりスイッチング性能や低消費電力性能等の各種性能を向上させることが可能となる。そして特に、このような集積回路の下側には、例えば駆動回路の一部や検査回路などの下側回路が配置されている。よって、これらの下側回路と集積回路とが重なる分だけ、当該下側回路と集積回路とが占める基板上領域を狭めることが可能となる。従って、限られた基板上領域において画素電極が配置される画像表示領域を相対的に広げることが可能とな

40

50

る。

【0051】

本発明の第3の電気光学装置の一態様によれば、前記集積回路は、前記駆動回路の一部を構成し、前記下側回路は、前記駆動回路の他の部分を構成する。

【0052】

この態様によれば、集積回路から構成された駆動回路の一部と下側回路から構成された駆動回路の他の部分とが、基板上領域内で、重ねられているので、限られた基板上領域において画像表示領域を相対的に広げることが可能となる。

【0053】

この場合、前記配線は、データ線及び走査線を含み、前記集積回路は、前記データ線を駆動するデータ線駆動回路を含み、前記下側回路は、前記走査線を駆動する走査線駆動回路及び画像信号をサンプリングして前記データ線に供給するサンプリング回路を含むように構成してもよい。

10

【0054】

このように構成すれば、一般に駆動周波数が高く、高いスイッチング性能等が要求されるデータ線駆動回路については、高性能の集積回路で対処し、一般に駆動周波数が低く、余り高いスイッチング性能等が要求されない走査線駆動回路やサンプリング回路については、下側回路で対処するので、全体として、性能についての過不足を低減しつつ、画像表示領域を効率的に広げることができる。

【0055】

或いは本発明の第3の電気光学装置の他の態様によれば、前記下側回路は、検査回路を含む。

20

【0056】

この態様によれば、基板上に形成される電子素子、配線、下側回路等を検査するための検査回路が、集積回路の下側に設けられているので、集積回路を設置する前に、当該検査回路を用いて、これらの電子素子、配線、下側回路等を検査できる。即ち、集積回路を設置した後は、当該検査回路の役目が完了している構成をとることも可能となる。但し、当該検査回路の入出力端子を、基板上における集積回路から外れた個所に設けておけば、集積回路を設置した後であっても、当該検査回路を利用可能である。

【0057】

本発明の第3の電気光学装置の他の態様によれば、前記電子素子は、前記画素電極に接続された薄膜トランジスタを含み、前記下側回路は、前記薄膜トランジスタと同一製造プロセスにより製造される薄膜トランジスタを含む。

30

【0058】

この態様によれば、画像表示領域における画素電極に接続された薄膜トランジスタと、下側回路に含まれる薄膜トランジスタとを、同一製造プロセスにより製造するので、基板上における製造プロセス及び積層構造の単純化を図れる。尚、この場合、薄膜トランジスタは、例えばアモルファスシリコン若しくは低温又は高温ポリシリコンからなる半導体層を用いて製造される。

【0059】

本発明の第3の電気光学装置の他の態様によれば、前記集積回路と前記下側回路との間に、絶縁膜が形成されている。

40

【0060】

この態様によれば、集積回路のパッケージにおける絶縁性の高低によらずに、集積回路と下側回路との間に形成された絶縁膜により、両者間を確実に絶縁できる。

【0061】

本発明の第2又は第3の電気光学装置の他の態様によれば、前記集積回路は、前記画素電極が配置された画像表示領域の周辺に位置する周辺領域に設置される。

【0062】

この態様によれば、周辺領域に集積回路が設置されているので、画像表示領域を効率的に

50

広げられる。

【0063】

本発明の第2又は第3の電気光学装置の他の態様によれば、前記集積回路は、COG (Chip On Glass) 法により、基板上に設置される。

【0064】

この態様によれば、集積回路を設置した後即ち面接合した後は、その下側にある基板面は、パッケージ本体により完全に隠れるが、その下側には、所定パターン或いは下側回路が既に設けられている。従って、上述の如き、所定パターンや下側回路による各種利益を享受できる。

【0065】

本発明の第2又は第3の電気光学装置の他の態様によれば、前記集積回路が設置される前記基板の最上層は、平坦化されている。

【0066】

この態様によれば、集積回路の下側には、所定パターンや下側回路の存在に応じて、一般に積層構造中におけるいずれかの層には凹凸が存在するものの、その最上層は、例えばCMP (Chemical Mechanical Polishing: 化学的機械研磨) 処理により或いはスピコートを利用した平坦化膜の形成により、平坦化されている。従って、所定パターンや下側回路の上側に、簡単に集積回路を設置できる。特に、COG型集積回路、フラットパック型集積回路の如く、面実装型の集積回路であっても、平坦な面上に問題なく設置可能となる。

【0067】

本発明の第2の電気光学装置の製造方法は上記別の課題を解決するために、上述した本発明の第2の電気光学装置(但し、その各種態様を含む)を製造する電気光学装置の製造方法であって、前記基板の所定領域に前記所定パターンを形成する第1形成工程と、前記所定パターンに基づいて検査、評価及び監視のうち少なくとも一つを行う検査工程と、前記少なくとも一方及び前記画素電極を形成する第2形成工程と、前記所定領域に前記集積回路を設置する工程とを備える。

【0068】

本発明の第2の電気光学装置の製造方法によれば、まず基板の所定領域に所定パターンを形成し、その後、所定パターンに基づいて検査、評価及び監視のうち少なくとも一つを行い、これと相前後して、配線、電子素子、画素電極等を形成する。そして、これらの工程の後に、所定領域に集積回路を設置する。従って、集積回路を設置する前に所定パターンに基づいて実行可能な検査、評価や監視を完了させることにより、同一領域たる所定領域を、所定パターンを形成する領域及び集積回路を設置する領域として時間差利用できるので、限られた基板上領域を有効利用する観点から非常に有利となる。

【0069】

本発明の第3の電気光学装置の製造方法は上記別の課題を解決するために、上述した本発明の第3の電気光学装置(但し、その各種態様を含む)を製造する電気光学装置の製造方法であって、前記基板の所定領域に前記周辺回路を形成し、前記少なくとも一方を形成し、前記画素電極を形成する形成工程と、前記所定領域に前記集積回路を設置する工程とを備える。

【0070】

本発明の第3の電気光学装置の製造方法によれば、まず基板の所定領域に下側回路、配線、電子素子、画素電極等を形成する。そして、これらの工程の後に、所定領域に集積回路を設置する。従って、同一領域たる所定領域を、下側回路を形成する領域及び集積回路を設置する領域として二重に利用できるので、限られた基板上領域を有効利用する観点から非常に有利となる。

【0071】

本発明の第2の電気光学装置の他の態様では、前記所定パターンは、アライメントマーク及び識別マークのうち少なくとも一つを含む。

10

20

30

40

50

## 【0072】

この態様によれば、前記所定パターンは、基板の位置合わせ等に用いられるアライメントマークや、当該基板のロットナンバー等を識別する識別マーク等を含む。このような各種マーク等は、電気光学装置の製造段階において比較的后段に実施される外付け集積回路の取り付け工程以前において、その使命を果たし終えていることが通例である。ところが、従来、これら各種マーク等は、電気光学装置が最終的に製造を終えた段階にあっても、基板上に見える形で残存することがあったため、その分の基板上の領域を無駄に使用することとなっていた。

## 【0073】

そこで、本態様では、前記所定パターンがアライメントマークや識別マーク等を含むことにより、これら各種マークは、集積回路の下側に配置されることになるので、これら各種のマークと集積回路とが重なる分だけ、当該各種パターンと集積回路とが占める基板上領域を狭めることが可能となる。しかも、この場合、上述したように、もはや無用となったアライメントマークや識別マーク等が集積回路に覆われることとなるのみで、実質的な不都合が生じるおそれもない。

10

## 【0074】

従って、本態様によれば、限られた基板上領域において画素電極が配置される画像表示領域を相対的に広げることが可能となる。

## 【0075】

また、本発明の第3の電気光学装置の他の態様では、前記下側回路には回路素子が含まれ、該回路素子から引き出された引出配線と、前記基板上の領域のうち前記集積回路に対向しない部分において前記引出配線に接続された下側回路用外部回路接続端子とを更に備えている。

20

## 【0076】

この態様によれば、例えば検査回路等を含む下側回路に薄膜トランジスタ、薄膜ダイオード等の回路素子が含まれ、該回路素子からは引出配線、下側回路用外部回路接続端子が連なっている。したがって、本態様では、集積回路を基板上に取り付けた後においても、基板上の下側回路として又は下側回路中に作り込んだ回路素子の活用を図ることができる。例えば、該下側回路がTEG (Test Element Group) や検査回路を構成する場合においては、当該電気光学装置に対して前記集積回路を設置した後にも、その検査を実施することができる。

30

## 【0077】

本発明の第4の電気光学装置は上記課題を解決するために、基板と、該基板上に作り込まれた周辺回路と、前記基板上に配線された第1配線と、前記基板上の第1端子が前記第1配線上に設けられた接続用部分に接続された第1端子を有する集積回路と、前記基板上の領域のうち前記集積回路に対向する部分を通過するように前記接続用部分から引き出された第2配線と、前記基板上の領域のうち前記集積回路に対向しない部分において前記第2配線上に設けられた第1の外部回路接続端子とを備えるとともに、前記基板上に、画素電極と、該画素電極を駆動するための配線及び電子素子のうち少なくとも一方とを備えており、前記集積回路は、前記少なくとも一方に接続された駆動回路の少なくとも一部分を構成すると共に前記基板上に設置されており、前記集積回路の下側には所定パターン又は下側回路が配置されている。

40

## 【0078】

本発明の第4の電気光学装置によれば、上述の本発明の第1の電気光学装置が具備せる要件と第2又は第3の電気光学装置が具備せる要件とを併せもつ態様となる。したがって、本発明によれば、本発明の第1の電気光学装置に関する説明中既に述べた作用効果、すなわち集積回路を剥がすことなくその電氣的な検査が実行可能であると共に周辺回路による利益と集積回路による利益との両方を享受可能であると同時に、本発明の第2又は第3の電気光学装置に関する説明中既に述べた作用効果、すなわち集積回路の下側に所定パターン又は下側回路が配置されていることにより、これらの所定パターン又は下側回路と集積

50

回路とが重なる分だけ、当該所定パターン又は当該下側回路とが占める基板上領域を狭めることが可能となり、限られた基板上領域において画素電極が配置される画像表示領域を相対的に広げることが可能となる。

【0079】

つまり、本発明の第1及び第2又は第3の電気光学装置が具備せる要件を併せてもてば、上述の各作用効果が同時に奏されることは勿論、例えば、小型薄型化とともに画像表示領域の拡大化をも図れることにより、より小型でありながら、より大きな画像を表示するという相反する要請を同時に満たす電気光学装置を提供することができる。

【0080】

なお、本発明に言う「周辺回路」と「下側回路」とは、前者が後者に含まれ、又は後者が前者に含まれる関係にある形態と捉えてよい。

10

【0081】

本発明の電子機器は上記課題を解決するために、上述した本発明の第1の電気光学装置（但し、その各種態様を含む）、本発明の第2又は第3の電気光学装置（但し、その各種態様を含む）又は第4の電気光学装置を具備する。

【0082】

本発明の電子機器によれば、上述した本発明の第1の電気光学装置を具備するので、高品位の画像表示が可能であって、集積回路を剥がすことなく該集積回路を検査可能な、液晶テレビ、携帯電話、電子手帳、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、ワークステーション、テレビ電話、POS端末、タッチパネル、

20

【0083】

また、本発明の電子機器によれば、上述した本発明の第2又は第3の電気光学装置を具備するので、本体サイズに比べて画像表示領域が広い或いは小型化可能な、液晶テレビ、携帯電話、電子手帳、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、ワークステーション、テレビ電話、POS端末、タッチパネル、投射型表示装置などの各種電子機器を実現できる。

【0084】

さらに、本発明の電子機器によれば、上述した本発明の第4の電気光学装置を具備するので、前記の二つの作用効果が同時に奏される上記各種電子機器を実現できる。

30

【0085】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0086】

【発明の実施の形態】

（基板装置の第1実施形態）

先ず、本発明の基板装置に係る第1の実施形態において図1から図5を参照して説明する。ここに図1は、本発明の基板装置の第1実施形態における外付けIC付近の3次元的部分分解斜視図であり、図2は、この外付けICを設置する領域付近における基板装置の部分平面図であり、図3は、比較例における外付けICを設置する領域付近の部分平面図である。更に、図4は、一変形形態における外付けICを設置する領域付近の部分平面図であり、図5は、他の変形形態における外付けICを設置する領域付近の部分平面図である。

40

【0087】

第1実施形態の基板装置は、後述の電気光学装置の一例たる液晶装置における周辺回路とCOG型ICとを備えたTFTアレイ基板として好適に用いられるものである。即ち、第1実施形態の基板装置では、外付けICの一例としてCOG型ICが外付けされ、このCOG型ICと周辺回路とにより、液晶装置の駆動回路が構成される。

【0088】

図1及び図2において、第1実施形態の基板装置200Aは、TFTアレイ基板10と、TFTアレイ基板10上に作り込まれた周辺回路の一例としての走査線駆動回路104及

50

びサンプリング回路 118 と、TFT アレイ基板 10 上に配線された第 1 配線 201、第 2 配線 202 及び第 3 配線 203 と、TFT アレイ基板 10 上に外付けされた外付け IC の一例たる COG 型 IC から構成されたデータ線駆動回路 101 とを備える。

【0089】

走査線駆動回路 104 は、画像表示領域 10a 内に設けられた図示しない走査線を駆動する駆動回路である。サンプリング回路 118 は、図示しない画像信号線上の画像信号をサンプリングして、画像表示領域 10a 内に設けられた図示しないデータ線に供給するサンプリングスイッチを備えた回路である。データ線駆動回路 101 は、第 1 端子の一例たる出力端子 221 と、第 2 端子の一例たる入力端子 222 とを有する COG 型 IC から構成されている。周辺回路の一例を構成する走査線駆動回路 104 及びサンプリング回路 118 は、例えば、後述の如く画像表示領域 10a 内に作り込まれる画素スイッチング用の TFT と同一製造工程で製造される高温又は低温ポリシリコン TFT を含んでなる。

10

【0090】

これらの走査線駆動回路 104、サンプリング回路 118 及びデータ線駆動回路 101 並びに画像表示領域 10a については、後述の電気光学装置の実施形態のところで詳述する。

【0091】

データ線駆動回路 101 の出力端子 221 は、TFT アレイ基板 10 上でデータ線駆動回路 101 を設置する領域 101S (図 2 中、破線で示された長方形領域) 内において第 1 配線 201 上に設けられた接続用部分の一例たる接続パッド 211 に接続される。データ線駆動回路 101 の入力端子 222 は、TFT アレイ基板 10 上でデータ線駆動回路 101 を設置する領域 101S 内において第 3 配線 203 上に設けられた他の接続用部分の一例たる接続パッド 212 に接続される。

20

【0092】

第 1 配線 201 は、TFT アレイ基板 10 上の領域 101S を通過して、接続パッド 211 からサンプリング回路 118 まで配線されている。

【0093】

第 2 配線 202 は、TFT アレイ基板 10 上の領域 101S を通過して、接続パッド 211 から基板 10 の縁に沿って配列された第 1 の外部回路接続端子 102a まで配線されている。

30

【0094】

第 3 配線 203 は、TFT アレイ基板 10 上の領域 101S を通過して、接続パッド 212 から基板 10 の縁に沿って配列された第 2 の外部回路接続端子 102b まで配線されている。

【0095】

即ち、第 1 実施形態では、TFT アレイ基板 10 の縁に沿って、第 1 の外部回路接続端子 102a 及び第 2 の外部回路接続端子 102b を含む外部回路接続端子 102 が設けられている。そして、これらの外部回路接続端子 102 は、TFT アレイ基板 10 上の領域 101S から外れた位置に設けられている。

【0096】

次に、以上の如く構成された基板装置 200A の検査方法について説明する。

40

【0097】

先ず、COG 型 IC からなるデータ線駆動回路 101 を外付けする前に、第 1 の外部接続端子 102a 及び第 2 の外部接続端子 102b を介して、周辺回路たる走査線駆動回路 104 及びサンプリング回路 118 並びに画像表示領域 10a 内に設けられた後述のデータ線、走査線、画素スイッチング用 TFT、容量線、蓄積容量等に対する電氣的な検査を行う。

【0098】

その後、COG 型 IC からなるデータ線駆動回路 101 を外付けした後に、或いは当該基板装置 200A やこれを備えた電気光学装置の完成後に、更に出荷後における故障や異常

50

時に、第1の外部回路接続端子102aに検査用プローブを接触させる。そして、この検査用プローブを介して、外付けICたるデータ線駆動回路101に対する電氣的検査を行う。より具体的には、基本的な導通性検査、絶縁性検査の他に、データ線駆動回路101の入力端子222につながっている第2の外部回路接続端子102bに画像信号、制御信号、電源信号等の所定種類の入力信号を入力して、データ線駆動回路101の出力端子221につながっている第1の外部回路接続端子102aから出力される出力信号を正常時に得られる筈の出力信号と比較するなど各種の検査を行える。

#### 【0099】

これに対し、図3に示した比較例のように、第1実施形態の構成において第2配線202及び第1の外部回路接続端子102aが設けられていない構成の場合、外付けICたるデータ線駆動回路101を一旦外付けした後は、データ線駆動回路101をTFTアレイ基板10から剥がない限り、この出力を検査することは事実上不可能である。しかも、動作不良が生じた場合、内臓回路たる走査線駆動回路及びサンプリング回路等の周辺回路の故障があるいは外付けICの故障が分離できない。

#### 【0100】

以上説明したように第1実施形態の基板装置200Aによれば、TFTアレイ基板10上の回路として必要な機能の一部分を周辺回路たるサンプリング回路118及び走査線駆動回路104に担わせると共にTFTアレイ基板10上の回路として必要な機能の他の部分を外付けICたるデータ線駆動回路101に担わせることができる。そして、装置故障或いは異常が発生した場合に、外付けICをTFTアレイ基板10から剥がす必要なく、第1の外部回路接続端子102aを介して、外付けICたるデータ線駆動回路101の出力信号を外部検査装置により検査できる。

#### 【0101】

しかも、第1実施形態では、データ線駆動回路101は、COG型ICからなるので、その実装後には、COG型ICの実装面上に配置されている出力端子221や入力端子222が、COG型ICのパッケージ本体により隠れてしまっている。しかしながら、第1の外部回路接続端子102aにおいて、このようにデータ線駆動回路101を構成するCOG型ICの出力信号及び周辺回路を外部から問題なく検査できる。

#### 【0102】

尚、データ線駆動回路101を、COG型ICに代えて、ワイヤボンディング法、フリップチップ法、ビームリード法等で実装可能なDIP形、フラットパック形、チップキャリア形等の各種パッケージング形態の集積回路から構成して、TFTアレイ基板10に外付けすることも可能である。いずれの場合にも、データ線駆動回路101を外付け後にも、第1の外部回路接続端子102aを介してデータ線駆動回路101及び周辺回路を比較的簡単に検査できる。

#### 【0103】

更に、第1実施形態では、周辺回路からなるサンプリング回路118及び走査線駆動回路104に代えて、他の外付けICからなるサンプリング回路118及び走査線駆動回路104を外付けすることも可能である。このように構成しても、TFTアレイ基板10に必要な駆動回路の機能を、二つの外付けICに分担させることにより、設計上の自由度が増大する。尚、この場合、TFTアレイ基板10は、ガラス基板、石英基板の他に、テープ基板等でもよく、外付けICとしては、例えば、TAB (Tape Automated Bonding) 形を使用してもよい。このように構成しても、外付けICからなるデータ線駆動回路101を外付け後に剥がすことなく、該データ線駆動回路101を第1の外部接続端子102aにおいて外部から検査できるという利益は得られる。

#### 【0104】

第1実施形態では特に、データ線駆動回路101を構成するCOG型ICの複数の出力端子221及び複数の入力端子222は夫々、COG型ICの実装面において千鳥足状に位置している。従って、図1及び図2から分かるように、これらの出力端子221及び入力端子222に対応する接続パッド211及び212から直線的に延びる第2配線202及

10

20

30

40

50

び第3配線203は、交互に並ぶこととなり、しかも第1の外部回路接続端子102a及び第2の外部回路接続端子102bも交互に並ぶ。従って、配線同士や外部回路接続端子同士が重なるという不都合を効率的に未然防止できる。

#### 【0105】

但し、図4に示した変形形態のように、データ線駆動回路101を構成するCOG型ICの複数の出力端子221及び複数の入力端子222は夫々、COG型ICの実装面において正対して位置していてもよい。即ち、この場合には、接続パッド211'及び212'も正対するが、接続パッド211'から延びる第2配線202'を接続パッド212'や第3配線203を避ける平面パターンを持つように配線すればよい。

#### 【0106】

或いは、図5に示した変形形態のように、第1外部回路接続端子102a'及び第2の外部回路接続端子102b'を、TFTアレイ基板10の縁に沿って一列に配列してもよい。即ち、第1外部回路接続端子102a'及び第2の外部回路接続端子102b'のピッチが十分に大きい限りにおいて、これらの端子を全て一列に並べて、外部回路によるこれらの端子への接続を一層容易ならしめることが可能となる。

#### 【0107】

(基板装置の第2実施形態)

以下では、本発明の基板装置に係る第2の実施形態について図6から図9を参照して説明する。ここに、図6は、基板装置の第2の実施形態における外付けIC付近の3次元的部分分解斜視図であり、図7は、この外付けICを外付けする領域付近における基板装置の部分平面図であり、図8は、図6のC1-C1'断面図であり、図9は、図6のD-D'断面図における製造プロセスを示す工程図である。

#### 【0108】

図6から図8及び図9の工程(4)に示すように、第2実施形態の基板装置200Bは、TFTアレイ基板10を備えている。このTFTアレイ基板10上には、周辺回路の一例としての走査線駆動回路104及びサンプリング回路118が作り込まれている。データ線駆動回路101を外付けする領域101S(図7参照)内において、TFTアレイ基板10上に配線されたサンプリング回路駆動信号線114の先端には、接続パッド211が設けられている。データ線駆動回路101を外付けする領域101S内において、外部回路接続端子102から延びる配線203の先端には、接続パッド212が設けられている。

#### 【0109】

TFTアレイ基板10上に外付けされるデータ線駆動回路101は、出力端子221及び入力端子222を有するCOG型ICから構成されている。そして、出力端子221が接続パッド211に接合され、入力端子222が接続パッド212に接続されるように、データ線駆動回路101は、これを外付けする領域101Sに面実装される。

#### 【0110】

他方、走査線駆動回路104及びサンプリング回路118は、例えば、後述の如く画像表示領域10a内に作り込まれる画素スイッチング用のTFTと同一製造工程で製造される高温又は低温ポリシリコンTFTを含んでなり、TFTアレイ基板10上に周辺回路として作り込まれる。

#### 【0111】

第2実施形態では特に、データ線駆動回路101の下側には、製造プロセスの検査、評価又は監視用或いは素子評価用のパターン230が形成されている。パターン230は、データ線駆動回路101を外付けする前には、光学的に或いは視覚的に読取り可能なように構成されている。従って、データ線駆動回路101を外付けする直前の工程に至るまで、パターン230を利用して、製造プロセスの評価、検査、監視或いは素子評価等を行うことができる。また、第2実施形態では、パターン230は、データ線駆動回路101を外付した後には使用されない。従って、図6及び図7に示したように、データ線駆動回路101を外付けする領域101Sの大部分に渡ってパターン230を形成できる。即ち、パ

10

20

30

40

50

ターン 230 は、データ線駆動回路 101 を外付した後は、このパッケージ本体により隠れてしまうものの、製造プロセスの評価、検査又は監視用或いは素子評価用のパターンとしての役目は、この時点では完了しているので、何ら問題はない。

【0112】

以上のように第2実施形態では、パターン 230 とデータ線駆動回路 101 とが重なる分だけ、これらが占める基板上領域を狭められる。従って、TFTアレイ基板 10 上における周辺領域を狭めると共に相対的に画像表示領域 10a を広げられる。この結果、小型化及び大画面化が図られた電気光学装置を実現できる。

【0113】

第2実施形態では特に、図8及び図9の工程(4)に示すように、データ線駆動回路 101 の下側には、後述の画像表示領域における層間絶縁膜構造と同じく、下地絶縁膜 12、第1層間絶縁膜 41、第2層間絶縁膜 42 及び第3層間絶縁膜 43 が積層されている。更に、これらの層間絶縁膜間に積層された島状の膜片からパターン 230 が構成されており、これらの層間絶縁膜間に積層された導電膜から、サンプリング回路駆動信号線 114 及び配線 203 が形成されている。これらのパターンや配線も、画像表示領域内における配線や TFT 等を構成する導電膜と同一膜からなることが好ましい。即ち、このように構成すれば、TFTアレイ基板 10 上における製造プロセス及び積層構造を単純化できる。

【0114】

尚、図8及び図9の工程(4)では、TFTアレイ基板 10 と下地絶縁膜 12 との間の層間位置に、パターン 230 を形成している。しかしながら、パターン 230 の積層位置は任意であり、製造プロセスの検査、評価又は監視用或いは素子評価といった個別目的に適した、第1層間絶縁膜 41、第2層間絶縁膜 42 及び第3層間絶縁膜 43 のいずれかの層間位置に、パターン 230 を適宜形成すればよい。

【0115】

更に第2実施形態では特に、図8及び図9の工程(4)に示すように、COG型ICからなるデータ線駆動回路 101 の実装面となる第3層間絶縁膜 43 の上面は、例えばCMP処理により或いはスピコートを利用した平坦化膜の形成により、平坦化されている。従って、パターン 230 の上側に重ねてデータ線駆動回路 101 を面実装しても、実装面の凹凸により不安定化することはない。

【0116】

次に、以上の如く構成された第2実施形態に係る電気光学装置の製造方法について図9を参照して説明する。

【0117】

先ず図9の工程(1)では、ガラス基板、石英基板等の絶縁性基板を用意して、TFTアレイ基板 10 とする。

【0118】

次に、工程(2)では、TFTアレイ基板 10 上にパターン 230 を形成する。このようなパターン 230 は、例えば、高融点金属膜をスパッタリングにより形成した後、フォトリソグラフィ及びエッチングによりパターンニングすればよい。その後、このパターン 230 上に下地絶縁膜 230 を形成する。

【0119】

次に、工程(3)では、画像表示領域内において、各種の半導体膜、導電膜等から後述の如き構成を有するデータ線 6a、走査線 3a、TFT 30 等が形成される。そして、これらを層間絶縁する第1層間絶縁膜 41、第2層間絶縁膜 42 及び第3層間絶縁膜 43 が順次形成される。その後、第3層間絶縁膜 43 に対しては、CMP処理を施すことにより、平坦化する。或いは、スピコート等により、第3層間絶縁膜 43 を平坦化膜として形成する。

【0120】

第2実施形態では特に、これらの工程(2)から工程(3)において、各種の半導体膜、導電膜等から、後述の如き構成を有するデータ線 6a、走査線 3a、TFT 30 等を形成

10

20

30

40

50

する際に、パターン 230 を使用して、それらの位置決めや間隔などを検査、評価、監視したり、各導電膜や各絶縁膜の膜厚の変化を検査、評価、監視したり、画像表示領域内或いは周辺回路を構成する素子を評価等したりする。

【0121】

その後、工程(4)では、パターン 230 を用いたプロセスの検査、評価、監視或いは素子評価等が終了した後に、領域 101S に、データ線駆動回路 101 を外付けする。

【0122】

従って、本製造プロセスによれば、同一領域たるデータ線駆動回路 101 を外付けする領域 101S を、パターン 230 を形成する領域及びデータ線駆動回路 101 を外付けする領域として時間差利用できる。

10

【0123】

以上説明したように第 2 実施形態の電気光学装置によれば、TFT アレイ基板 10 上の回路として必要な機能の一部分を周辺回路たるサンプリング回路 118 及び走査線駆動回路 104 に担わせると共に TFT アレイ基板 10 上の回路として必要な機能の他の部分を外付け IC たるデータ線駆動回路 101 に担わせることができる。そして、データ線駆動回路 101 を外付けする領域 101S を、パターン 230 を形成する領域としても用いるので、限られた基板上領域の効率的な利用を図ることができ、画像表示領域を広げることが可能となる。

【0124】

次に、図 10 を参照して、変形形態について説明する。図 10 は、変形形態における図 7 の C1 - C1' 断面図である。

20

【0125】

図 10 において、COG 型 IC からなるデータ線駆動回路 101 の下側には、パターン 230 に代えて、TFT 240 を含んでなる周辺回路 250 を備えて構成されている。TFT 240 は、半導体層 241、ゲート絶縁膜 242、ゲート電極 243、ソース電極 244 及びドレイン電極 245 を備えるが、このような TFT 240 は、好ましくは画像表示領域 10a における TFT 30 と同一製造プロセスにより、同一膜から構成されるものである。周辺回路 250 は、例えば、サンプリング回路 118、走査線駆動回路 104 等の駆動回路の一部でもよいし、検査回路であってもよい。その他の構成については、上述した実施形態と同様である。

30

【0126】

従って、この変形形態によれば、画像表示領域 10a における例えば、低温又は高温ポリシリコン等を半導体層として用いた TFT 30 と同一製造プロセスで作り込み可能な周辺回路からデータ線駆動回路 101 を構成する場合と比較して、スイッチング性能や低消費電力性能に優るデータ線駆動回路 101 を外付け IC として構築できる。そして特に、このようなデータ線駆動回路 101 の下側には、スイッチング性能や低消費電力性能に対する要求の相対的に低い駆動回路の一部や検査回路などの周辺回路 250 が配置されている。従って、全体として無駄なく高性能の駆動回路や周辺回路を TFT アレイ基板 10 上に構築できると同時に、画像表示領域 10a を相対的に広げることが可能となる。

【0127】

尚、周辺回路 250 は、接続パッド 211 及び 212 並びに配線 203 及びサンプリング回路駆動信号線 114 を除く領域に形成されていてもよい。或いは、これらのいずれかの接続パッドや配線の下側に、絶縁膜を介して、周辺回路 250 を少なくとも部分的に形成してもよい。

40

【0128】

また、周辺回路 250 を、データ線駆動回路 101 を外付けする前に行われる検査専用の検査回路としてもよいし、データ線駆動回路 101 の外付けと前後を問わずに行われる検査専用の検査回路としてもよい。

【0129】

上述の第 2 実施形態及び変形形態では夫々、データ線駆動回路 101 を、COG 型 IC に代

50

えて、ワイヤボンディング法、フリップチップ法、ビームリード法等で実装可能なDIP形、フラットパック形、チップキャリア形等の各種パッケージング形態の集積回路から構成して、TFTアレイ基板10に外付けすることも可能である。いずれの場合にも、パターン230又は周辺回路250とデータ線駆動回路101とを同一領域に配置することによる省スペース化の利益は得られる。

#### 【0130】

更に、第2実施形態及び変形形態では夫々、周辺回路からなるサンプリング回路118及び走査線駆動回路104に代えて、他の外付けICからなるサンプリング回路118及び走査線駆動回路104を外付けすることも可能である。このように構成しても、TFTアレイ基板10に必要な駆動回路の機能を、二つの外付けICに分担させることにより、設計上の自由度が増大する。尚、この場合、TFTアレイ基板10は、ガラス基板、石英基板の他に、テープ基板等でもよく、外付けICとしては、例えば、TAB(Tape Automated Bonding)形を使用してもよい。このように構成しても、パターン230又は周辺回路250とデータ線駆動回路101とを同一領域に配置することによる省スペース化の利益は得られる。

10

#### 【0131】

(基板装置の第3実施形態)

以下では、本発明の基板装置に係る第3の実施形態について図11から図13を参照して説明する。ここに、図11は、本発明の基板装置の第3実施形態における外付けIC付近の3次元的部分分解斜視図であり、図12は、この外付けICを設置する領域付近における基板装置の部分平面図であり、図13は、図12のC2-C2'断面図である。

20

#### 【0132】

なお、この第3実施形態は、上述の第1及び第2実施形態に係るTFTアレイ基板10の応用形態的な側面を有している。したがって、第3実施形態に係る構成は、上記第1及び第2実施形態に係る構成と略同一の構成を有しているため、図11から図13において図10までで使用された符号と同一の符号が付されている構成については、その説明を省略ないし簡略化することとし、以下では、第3実施形態において特徴的な構成について特に説明を加えることとする。

#### 【0133】

図11ないし図13において、第3実施形態の基板装置200Cは、TFTアレイ基板10を備えている。そして、このTFTアレイ基板10上のデータ線駆動回路101を外付けする領域101S内、かつ、データ線駆動回路101の下側には、TFT240を含んでなる周辺回路250が備えられている。TFT240は、半導体層241、ゲート絶縁膜242、ゲート電極243、ソース電極244及びドレイン電極245を備えるが、このようなTFT240は、好ましくは画像表示領域10aにおけるTFT30と同一製造プロセスにより、同一膜から構成されるものである。

30

#### 【0134】

したがって、まず、この第3実施形態によっても上記第2実施形態と同様に、画像表示領域10aにおける例えば、低温又は高温ポリシリコン等を半導体層として用いたTFT30と同一製造プロセスで作り込み可能な周辺回路からデータ線駆動回路101を構成する場合と比較して、スイッチング性能や低消費電力性能に優るデータ線駆動回路101を外付けICとして構築できる。そして特に、このようなデータ線駆動回路101の下側には、スイッチング性能や低消費電力性能に対する要求の相対的に低い駆動回路の一部や検査回路などの周辺回路250が配置されている。従って、全体として無駄なく高性能の駆動回路や周辺回路をTFTアレイ基板10上に構築できると同時に、画像表示領域10aを相対的に広げることが可能となる。

40

#### 【0135】

そして第3実施形態では特に、このTFT240を構成するゲート電極242、ソース電極244及びドレイン電極245には引出配線900の一端が接続されている。また、TFTアレイ基板10上には、上記第1実施形態における基板装置200Aにおいて外部回

50

路接続端子102が配列されていたのと略同様にして、本発明にいう「下側回路用外部回路接続端子」の一例たるTFT用端子902、904及び906が形成されており、該TFT用端子902、904及び906にはそれぞれ引出配線900の他端が接続されている。

#### 【0136】

このように、第3実施形態の基板装置200Cによれば、データ線駆動回路101の下側にTFT240が作り込まれるとともに、該TFT240のゲート電極242、ソース電極244及びドレイン電極245はそれぞれ、TFT用端子902、904及び906を通じて、外部から制御可能とされている。したがって、第3実施形態によれば、データ線駆動回路101を取り付けた後においても、該TFT240の有効利用が可能となる。例えば、該TFT240が検査回路の一部を構成しているならば、基板装置200Cないし周辺回路250の動作検査等を、出荷時点において、あるいは出荷後使用中のメンテナンス時点等においても、なお実施することができる。

10

#### 【0137】

また、第3実施形態によれば、周辺回路250が含むTFT240等の回路素子に対して、上述のように引出配線及び下側回路用外部回路接続端子が設けられることにより、外付けICたるデータ線駆動回路101及び周辺回路250間の役割分担をより柔軟に設定することができ、設計の自由度を高めることができる。

#### 【0138】

なお、第3実施形態として示した上述のような構成例は、単なる一例を示しているに過ぎない。例えば、上述においては、TFT240のすべての電極に対して引出配線が接続され、かつ、それらすべてに対応するようにTFT用端子902、904及び906が設けられていたが、本発明は、このような形態に限定されない。外部から制御しようとする電極についてのみ、引出配線及び下側回路用外部回路接続端子が設けられていればよい。また、より広くは、引出配線が接続されるべき回路素子はTFTに限られない。薄膜ダイオードやコンデンサ等その他の回路素子がそれに該当し得ることも当然である。

20

#### 【0139】

また、上述においては、上記第1、第2及び第3実施形態それぞれが有する特徴に着目して、これらを別個の形態として説明したが、本発明は、このような別個の形態にのみ限定されるものではない。例えば、第1及び第2実施形態の特徴を併せもつ形態であるとか、第2及び第3実施形態、又は、第1及び第3実施形態の特徴を併せもつ形態となる電気光学装置であっても、それが本発明の範囲内にあることは当然である。むしろ、第1、第2及び第3実施形態の有する特徴すべてを併せもつ電気光学装置もまた、本発明の範囲内にある。

30

#### 【0140】

(電気光学装置の全体構成)

次に、本発明の電気光学装置に係る実施形態について図14から図18を参照して説明する。本実施形態の電気光学装置は、上述した基板装置200をTFTアレイ基板側に備えた液晶装置からなる。

#### 【0141】

先ず、本実施形態の電気光学装置の全体構成について、図14及び図15を参照して説明する。ここでは、電気光学装置の一例である駆動回路内蔵型のTFTアクティブマトリクス駆動方式の液晶装置を例にとる。図14は、TFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図であり、図15は、図14のH-H'断面図である。

40

#### 【0142】

図14及び図15において、本実施形態に係る電気光学装置では、TFTアレイ基板10と対向基板20とが対向配置されている。TFTアレイ基板10と対向基板20との間に液晶層50が封入されており、TFTアレイ基板10と対向基板20とは、画像表示領域10aの周囲に位置するシール領域に設けられたシール材52により相互に接着されてい

50

る。シール材 5 2 は、両基板を貼り合わせるために、例えば熱硬化樹脂、熱及び光硬化樹脂、光硬化樹脂、紫外線硬化樹脂等からなり、製造プロセスにおいて T F T アレイ基板 1 0 上に塗布された後、加熱、加熱及び光照射、光照射、紫外線照射等により硬化させられたものである。

#### 【 0 1 4 3 】

このようなシール材 5 2 中には、両基板間の間隔（基板間ギャップ）を所定値とするためのグラスファイバ或いはガラスビーズ等のギャップ材が混合されている。即ち、本実施形態の電気光学装置は、プロジェクタのライトバルブ用として小型で拡大表示を行うのに適している。但し、当該電気光学装置が液晶ディスプレイや液晶テレビのように大型で等倍表示を行う液晶装置であれば、このようなギャップ材は、液晶層 5 0 中に含まれてもよい

10

#### 【 0 1 4 4 】

対向基板 2 0 の 4 隅には、上下導通材 1 0 6 が設けられており、T F T アレイ基板 1 0 に設けられた上下導通端子と対向基板 2 0 に設けられた対向電極 2 1 との間で電気的な導通をとる。

#### 【 0 1 4 5 】

図 1 4 及び図 1 5 において、シール材 5 2 が配置されたシール領域の内側に並行して、画像表示領域 1 0 a を規定する遮光性の額縁 5 3 が対向基板 2 0 側に設けられている。額縁 5 3 は T F T アレイ基板 1 0 側に設けても良いことは言うまでもない。画像表示領域の周辺に広がる周辺領域のうち、シール材 5 2 が配置されたシール領域の外側部分には、データ線駆動回路 1 0 1 及び外部回路接続端子 1 0 2 が T F T アレイ基板 1 0 の一辺に沿って設けられており、走査線駆動回路 1 0 4 が、この一辺に隣接する 2 辺に沿って設けられている。更に T F T アレイ基板 1 0 の残る一辺には、画像表示領域 1 0 a の両側に設けられた走査線駆動回路 1 0 4 間をつなぐための複数の配線 1 0 5 が設けられている。

20

#### 【 0 1 4 6 】

図 1 5 において、T F T アレイ基板 1 0 上には、画素スイッチング用の T F T や走査線、データ線等の配線が形成された後の画素電極 9 a 上に、配向膜が形成されている。他方、対向基板 2 0 上には、対向電極 2 1 の他、最上層部分に配向膜が形成されている。また、液晶層 5 0 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなり、これら一対の配向膜間で、所定の配向状態をとる。

30

#### 【 0 1 4 7 】

本実施形態では、額縁 5 3 下にある T F T アレイ基板 1 0 上の領域に、サンプリング回路 1 1 8 が設けられている。サンプリング回路 1 1 8 は、画像信号線上の画像信号をデータ線駆動回路 1 0 1 から供給されるサンプリング回路駆動信号に応じてサンプリングしてデータ線に供給するように構成されている。

#### 【 0 1 4 8 】

本実施形態では特に、データ線駆動回路 1 0 1 は、C O G 型 I C からなり、T F T アレイ基板 1 0 上に外付けされたものである。他方、走査線駆動回路 1 0 4 及びサンプリング回路 1 1 8 は、T F T アレイ基板 1 0 に内蔵されており、後述の如く画像表示領域内において画素毎に設けられる画素スイッチング用 T F T と同一製造プロセスにより、形成された

40

#### 【 0 1 4 9 】

（電気光学装置の回路構成及び動作）

次に以上の如く構成された電気光学装置における回路構成及び動作について図 1 6 を参照して説明する。図 1 6 は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路と周辺回路とを示すブロック図である。

#### 【 0 1 5 0 】

図 1 6 において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には夫々、画素電極 9 a と当該画素電極 9 a をスイッチング制

50

御するためのTFT30とが形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電氣的に接続されている。

【0151】

画像表示領域10a外である周辺領域には、データ線6aの一端(図16中で下端)が、サンプリング回路118の例えばTFTからなる各スイッチング素子のドレインに接続されている。他方、画像信号線115は、引き出し配線116を介してサンプリング回路118のTFTのソースに接続されている。データ線駆動回路101に接続されたサンプリング回路駆動信号線114は、サンプリング回路118のTFTのゲートに接続されている。そして、画像信号線115上の画像信号S1、S2、...、Snは、データ線駆動回路101からサンプリング回路駆動信号線114を介してサンプリング回路駆動信号が供給されるのに応じて、サンプリング回路118によりサンプリングされて各データ線6aに供給されるように構成されている。

10

【0152】

このようにデータ線6aに書き込む画像信号S1、S2、...、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。

【0153】

また、画素スイッチング用のTFT30のゲートに走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2、...、Gmを、走査線駆動回路104により、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、...、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、対向基板に形成された対向電極21との間で一定期間保持される。液晶は、印加される電位レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極21との間に形成される液晶容量と並列に蓄積容量70を付加する。

20

30

【0154】

尚、TFTアレイ基板10上には、これらの走査線駆動回路104、サンプリング回路118等に加えて、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0155】

即ち、このような各種回路を、図1、図6及び図11に示した基板装置200A、200B及び200Cに周辺回路として作り込んでもよいし、外付けICとして外付けしてもよい。

40

【0156】

より具体的には、上述のようなプリチャージ回路、検査回路等の周辺回路を、走査線駆動回路104及びサンプリング回路118に加えて又は代えて、周辺回路として、TFTアレイ基板10に作り込んでもよい。或いは、このようなプリチャージ回路、検査回路等の周辺回路を、データ線駆動回路101に加えて或いは代えて、外付けICとして外付けしてもよい。いずれにせよ、本実施形態では、駆動回路のいずれかの部分が、外付けICから構成される。

【0157】

(画素部における構成)

50

次に、本実施形態における電気光学装置の画素部における構成について、図17及び図18を参照して説明する。図17は、データ線、走査線、画素電極等が形成された電気光学装置の相隣接する複数の画素群の平面図であり、図18は、図17のA-A'断面図である。尚、図18においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0158】

図17において、電気光学装置の基板10上には、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3aが設けられている。

【0159】

また、半導体層1aのうち図中右下がりの斜線領域で示したチャネル領域1a'に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。このように、走査線3aとデータ線6aとの交差する個所には夫々、チャネル領域1a'に走査線3aがゲート電極として対向配置された画素スイッチング用のTF T30が設けられている。

【0160】

本実施形態では、容量線300が、図中太線で示したように走査線3aの形成領域に重ねて形成されている。より具体的には容量線300は、走査線3aに沿って延びる本線部と、図17中、データ線6aと交差する各個所からデータ線6aに沿って上方に夫々突出した突出部と、コンタクトホールに対応する個所が僅かに括れた括れ部とを備えている。

【0161】

図17及び図18に示すように、高濃度ドレイン領域1eには、画素電極9aが、コンタクトホール83及び85を介して中継接続用の導電層としても機能するドレイン電極302により中継接続されている。高濃度ソース領域1dには、データ線6aが、コンタクトホール81及び82を介して中継接続用の導電層としても機能するソース電極303により中継接続されている。

【0162】

ドレイン電極302の一部からなる画素電位側容量電極上には、誘電体膜301を介して固定電位側容量電極を含む容量線300が形成されている。容量線300は、例えば、Al（アルミ）、Ag（銀）、Cu（銅）、Ti（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）、Pb（鉛）等の金属を含む、金属単体、合金、金属シリサイド、ポリサイド、これらを積層したもの等からなる。本実施形態では、このようにドレイン電極302の一部と、容量線300の一部とが誘電体膜301を介して対向配置されることにより、蓄積容量70が構築されている。

【0163】

容量線300上には、ソース電極303とデータ線6aとを通じるコンタクトホール81及びドレイン電極302と画素電極9aとを通じるコンタクトホール85が各々形成された第2層間絶縁膜42が形成されている。第2層間絶縁膜42は、例えばシリケートガラス膜、窒化シリコン膜、酸化シリコン膜等から形成され、その膜厚は、例えば約500～2000nm程度とする。

【0164】

第2層間絶縁膜42上には、データ線6aが形成されており、これらの上には更に、ドレイン電極302へのコンタクトホール85が形成された第3層間絶縁膜43が形成されている。係るデータ線6aは、例えば、スパッタリング、フォトリソグラフィ、エッチング等により、所定パターンを持つようにAl（アルミニウム）等の低抵抗金属膜から形成され、その膜厚は、配線幅に応じて必要な導電性が得られるように、例えば数百nm程度とされる。他方、第3層間絶縁膜43は、例えばシリケートガラス膜、窒化シリコン膜、酸化シリコン膜等から形成され、その膜厚は、例えば約500～2000nm程度とする。

【0165】

画素電極9aは、このように構成された第3層間絶縁膜7の上面に設けられている。画素

10

20

30

40

50

電極 9 a は、例えばスパッタリング、フォトリソグラフィ、エッチング等により、ITO (Indium Tin Oxide) 膜等の透明導電性膜から形成する。尚、後述の電気光学装置のように、ラビング処理を施された配向膜を形成してもよい。

【0166】

データ線 6 a は、ソース電極 3 0 3 を中継することにより、コンタクトホール 8 1 及びコンタクトホール 8 2 を介して半導体層 1 a のうち高濃度ソース領域 1 d に電氣的に接続されている。他方、画素電極 9 a は、ソース電極 3 0 3 と同一膜からなるドレイン電極 3 0 2 を中継層として利用して中継することにより、コンタクトホール 8 3 及び 8 5 を介して半導体層 1 a のうち高濃度ドレイン領域 1 e に電氣的に接続されている。

【0167】

このようにドレイン電極 3 0 2 を中継層として用いることにより、画素電極 9 a と TFT 3 0 を構成する半導体層 1 a との間の層間距離が例えば 1 0 0 0 nm 程度に長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つの直列なコンタクトホール 8 3 及び 8 4 で両者間を良好に接続でき、画素開口率を高めること可能となる。特にこのような中継層を用いれば、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。同様に、ソース電極 3 0 3 を用いることにより、データ線 6 a と TFT 3 0 を構成する半導体層 1 a との間の層間距離が長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つの直列なコンタクトホール 8 1 及び 8 2 で両者間を良好に接続できる。

【0168】

図 1 7 及び図 1 8 に示すように、ドレイン電極 3 0 2 と容量線 3 0 0 とが誘電体膜 3 0 1 を介して対向配置されることにより、平面的に見て走査線 3 a に重なる領域及びデータ線 6 a に重なる領域に、蓄積容量 7 0 が構築されている。

【0169】

即ち、容量線 3 0 0 は、走査線 3 a を覆うように延びると共に、データ線 6 a の領域下で、ドレイン電極 3 0 2 を覆うように突き出す突出部を有し櫛歯状に形成している。ドレイン電極 3 0 2 は、走査線 3 a とデータ線 6 a の交差部から、一方がデータ線 6 a の領域下にある容量線 3 0 0 の突出部に沿って延び、他方が走査線 3 a の領域上にある容量線 3 0 0 に沿って隣接するデータ線 6 a 近傍まで延びる L 字状の島状容量電極を形成している。そして、誘電体膜 3 0 1 を介して容量線 3 0 0 に L 字状のドレイン電極 3 0 2 が重なる領域で蓄積容量 7 0 が形成される。

【0170】

蓄積容量 7 0 の一方の容量電極を含むドレイン電極 3 0 2 は、コンタクトホール 8 5 で画素電極 9 a と接続されており且つコンタクトホール 8 3 で高濃度ドレイン領域 1 e と接続されており、画素電極電位とされる。

【0171】

蓄積容量 7 0 の他方の容量電極を含む容量線 3 0 0 は、画素電極 9 a が配置された画像表示領域からその周囲に延設され、定電位源と電氣的に接続されて、固定電位とされる。定電位源としては、TFT 3 0 を駆動するための走査信号を走査線 3 a に供給するための走査線駆動回路や画像信号をデータ線 6 a に供給するサンプリング回路を制御するデータ線駆動回路に供給される正電源や負電源の定電位源でも良いし、対向基板に供給される定電位でも構わない。

【0172】

蓄積容量 7 0 の誘電体膜 3 0 1 は、例えば膜厚 5 ~ 2 0 0 nm 程度の比較的小径の HTO 膜 (高温酸化膜)、LTO 膜 (低温酸化膜) 等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。誘電体膜 3 0 1 は、ドレイン電極 3 0 2 の表面を酸化することによって得た熱酸化膜でもよい。蓄積容量 7 0 を増大させる観点からは、膜厚の信頼性が十分に得られる限りにおいて、誘電体膜 3 0 1 は薄い程良い。

【0173】

図 1 8 に示すように、電気光学装置は、基板装置 2 0 0 A、2 0 0 B 又は 2 0 0 C と、こ

10

20

30

40

50

れに対向配置される透明な対向基板 20 とを備えている。対向基板 20 は、例えばガラス基板や石英基板からなる。基板 10 には、画素電極 9a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 16 が設けられている。また配向膜 16 は例えば、ポリイミド膜などの有機膜からなる。

【0174】

他方、対向基板 20 には、その全面に渡って対向電極 21 が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜 22 が設けられている。対向電極 21 は例えば、ITO 膜などの透明導電性膜からなる。また配向膜 22 は、ポリイミド膜などの有機膜からなる。

【0175】

基板 10 には、各画素電極 9a に隣接する位置に、各画素電極 9a をスイッチング制御する画素スイッチング用の TFT 30 が設けられている。

【0176】

対向基板 20 には、更に遮光膜を設けるようにしてもよい。このような構成を採ることで、対向基板 20 側から入射光が TFT 30 の半導体層 1a のチャンネル領域 1a' や低濃度ソース領域 1b 及び低濃度ドレイン領域 1c に侵入するのを抑制できる。更に、対向基板上の遮光膜は、入射光が照射される面を高反射な膜で形成することにより、電気光学装置の温度上昇を防ぐ働きをする。

【0177】

尚、本実施形態では、A1 膜等からなる遮光性のデータ線 6a で、各画素の遮光領域のうちデータ線 6a に沿った部分を遮光してもよいし、容量線 300 を遮光性の膜で形成することによりチャンネル領域 1a' 等を遮光することができる。

【0178】

このように構成され、画素電極 9a と対向電極 21 とが対面するように配置された基板 10 と対向基板 20 との間には、シール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層 50 が形成される。液晶層 50 は、画素電極 9a からの電界が印加されていない状態で配向膜 16 及び 22 により所定の配向状態をとる。

【0179】

以上説明した実施形態では、多数の導電層を積層することにより、データ線 6a や走査線 3a に沿った領域に段差が生じるが、第 1 層間絶縁膜 41、第 2 層間絶縁膜 42 に溝を掘って、データ線 6a 等の配線や TFT 30 等を埋め込むことにより平坦化処理を行ってもよいし、第 3 層間絶縁膜 43 や第 2 層間絶縁膜 42 の上面の段差を CMP 処理等で研磨することにより、或いは有機 SOG を用いて平らに形成することにより、当該平坦化処理を行ってもよい。

【0180】

更に以上説明した実施形態では、画素スイッチング用 TFT 30 は、好ましくは図 18 に示したように LDD 構造を持つが、低濃度ソース領域 1b 及び低濃度ドレイン領域 1c に不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線 3a の一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型の TFT であってもよい。また本実施形態では、画素スイッチング用 TFT 30 のゲート電極を高濃度ソース領域 1d 及び高濃度ドレイン領域 1e 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上で TFT を構成すれば、チャンネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。そして、周辺回路を構成する TFT についても同様に各種の TFT として構築可能である。

【0181】

以上図 14 から図 18 を参照して説明した実施形態では、対向基板 20 の投射光が入射する側及び基板 10 の出射光が出射する側には各々、例えば、TN (Twisted Nematic) モード、VA (Vertically Aligned) モード、PDL C (Polymer Dispersed Liquid Crysta

10

20

30

40

50

1)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【0182】

以上説明した実施形態における電気光学装置は、プロジェクタに適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、対向基板に遮光膜の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施形態における電気光学装置を適用できる。また、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

10

【0183】

(電子機器)

次に、以上詳細に説明した電気光学装置をライトバルブとして用いた電子機器の一例たる投射型カラー表示装置の実施形態について、その全体構成、特に光学的な構成について説明する。ここに図19は、投射型カラー表示装置の図式的断面図である。

20

【0184】

図19において、本実施形態における投射型カラー表示装置の一例たる液晶プロジェクタ1100は、駆動回路がTFTアレイ基板上に搭載された液晶装置100を含む液晶モジュールを3個用意し、夫々RGB用のライトバルブ100R、100G及び100Bとして用いたプロジェクタとして構成されている。液晶プロジェクタ1100では、メタルハライドランプ等の白色光源のランプユニット1102から投射光が発せられると、3枚のミラー1106及び2枚のダイクロイックミラー1108によって、RGBの3原色に対応する光成分R、G、Bに分けられ、各色に対応するライトバルブ100R、100G及び100Bに夫々導かれる。この際特にB光は、長い光路による光損失を防ぐために、入射レンズ1122、リレーレンズ1123及び出射レンズ1124からなるリレーレンズ系1121を介して導かれる。そして、ライトバルブ100R、100G及び100Bにより夫々変調された3原色に対応する光成分は、ダイクロイックプリズム1112により再度合成された後、投射レンズ1114を介してスクリーン1120にカラー画像として投射される。

30

【0185】

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨、あるいは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う基板装置、その検査方法、電気光学装置及びその製造方法、並びに電子機器もまた、本発明の技術的範囲に含まれるものである。

40

【図面の簡単な説明】

【図1】本発明の基板装置の第1実施形態における外付けIC付近の3次元的部分分解斜視図である。

【図2】本発明の基板装置の第1実施形態における外付けICを設置する領域付近における基板装置の部分平面図である。

【図3】比較例における外付けICを設置する領域付近の部分平面図である。

【図4】本発明の基板装置の一変形形態における外付けICを設置する領域付近の部分平面図である。

50

【図5】本発明の基板装置の他の変形形態における外付けICを設置する領域付近の部分平面図である。

【図6】本発明の基板装置の第2実施形態における外付けIC付近の3次元的部分分解斜視図である。

【図7】本発明の基板装置の第2実施形態における外付けICを設置する領域付近における基板装置の部分平面図である。

【図8】図7のC1 - C1'断面図である。

【図9】図7のD - D'断面図における製造プロセスを示す工程図である。

【図10】変形形態における図7のC1 - C1'断面図である。

【図11】本発明の基板装置の第3実施形態における外付けIC付近の3次元的部分分解斜視図である。 10

【図12】本発明の基板装置の第3実施形態における外付けIC付近を設置する領域付近における基板装置の部分平面図である。

【図13】図12のC2 - C2'断面図である。

【図14】本発明の実施形態の電気光学装置におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図15】図14のH - H'断面図である。

【図16】本発明の実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図17】実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。 20

【図18】図17のA - A'断面図である。

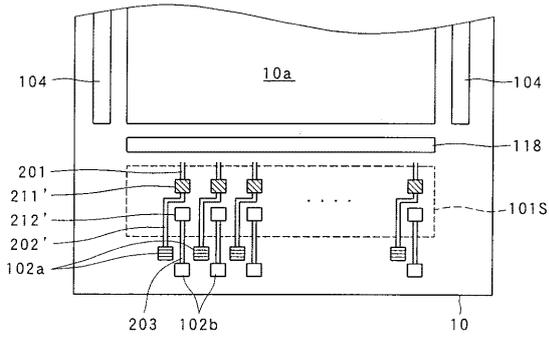
【図19】本発明の電子機器の実施形態である投射型カラー表示装置の一例たるカラー液晶プロジェクタを示す図式的断面図である。

#### 【符号の説明】

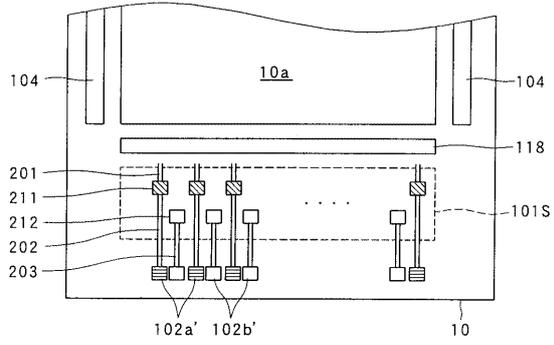
- 1 a ... 半導体層
  - 1 a' ... チャネル領域
  - 1 b ... 低濃度ソース領域
  - 1 c ... 低濃度ドレイン領域
  - 1 d ... 高濃度ソース領域
  - 1 e ... 高濃度ドレイン領域
  - 2 ... 絶縁膜
  - 3 a ... 走査線
  - 6 a ... データ線
  - 9 a ... 画素電極
  - 10 ... 基板
  - 11 a ... 下側遮光膜
  - 16 ... 配向膜
  - 20 ... 対向基板
  - 21 ... 対向電極
  - 22 ... 配向膜
  - 30 ... TFT
  - 50 ... 液晶層
  - 70 ... 蓄積容量
  - 81、82、83、85 ... コンタクトホール
  - 101 ... データ線駆動回路
  - 101S ... データ線駆動回路を設置する領域
  - 102 ... 外部回路接続端子
  - 104 ... 走査線駆動回路
  - 118 ... サンプリング回路
- 30  
40  
50



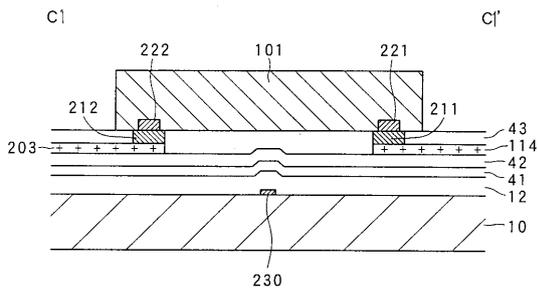
【 図 4 】



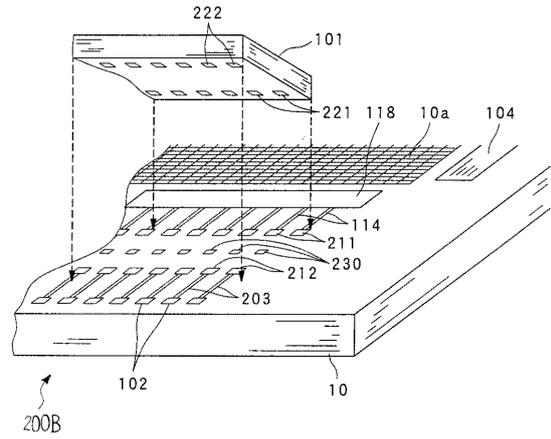
【 図 5 】



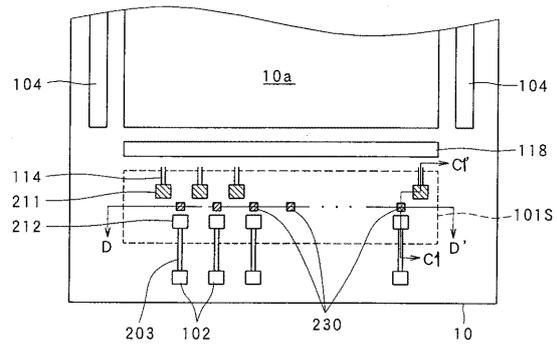
【 図 8 】



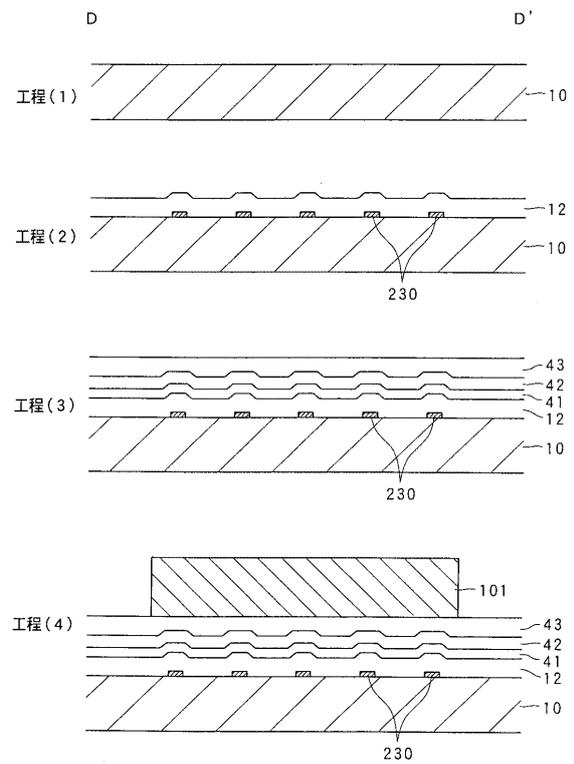
【 図 6 】



【 図 7 】

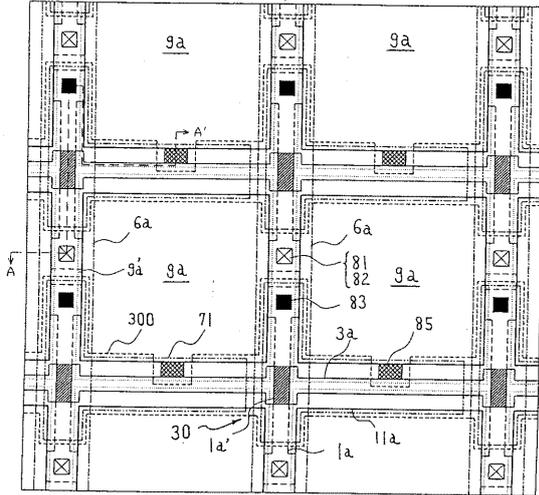


【 図 9 】

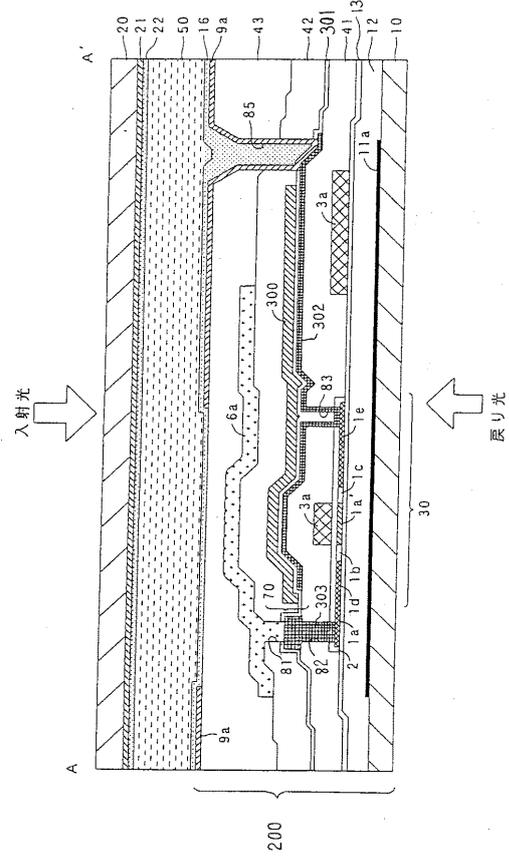




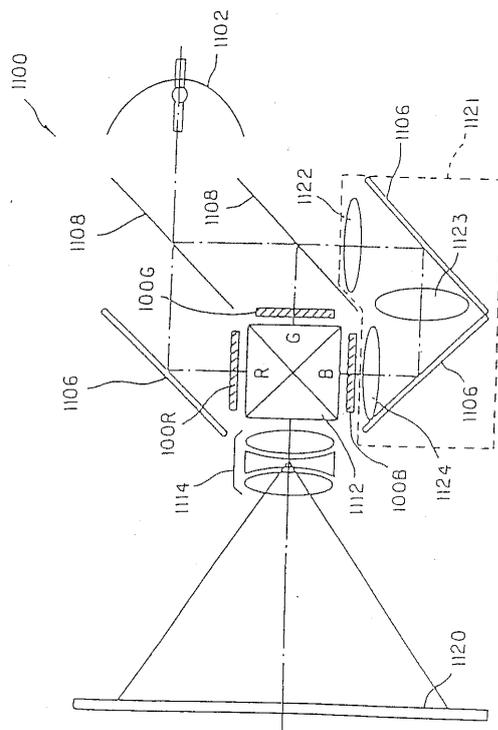
【 図 17 】



【 図 18 】



【 図 19 】



---

フロントページの続き

(72)発明者 小澤 徳郎  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 森 雅之

(56)参考文献 特開平04 - 242724 (JP, A)  
特開2000 - 321591 (JP, A)  
特開平03 - 029925 (JP, A)  
特開平06 - 230749 (JP, A)  
特開平11 - 15016 (JP, A)

(58)調査した分野(Int.Cl., DB名)  
工業所有権力センターが調査した主分野  
G01R 31/  
G02F 1/  
特許審査官は技術用語検索により追加調査した。