



(12) 发明专利申请

(10) 申请公布号 CN 104518798 A

(43) 申请公布日 2015. 04. 15

(21) 申请号 201410392642. 0

(22) 申请日 2014. 08. 11

(30) 优先权数据

14/045, 821 2013. 10. 04 US

(71) 申请人 瑞昱半导体股份有限公司

地址 中国台湾新竹

(72) 发明人 林嘉亮

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 余刚 吴孟秋

(51) Int. Cl.

H03M 1/12(2006. 01)

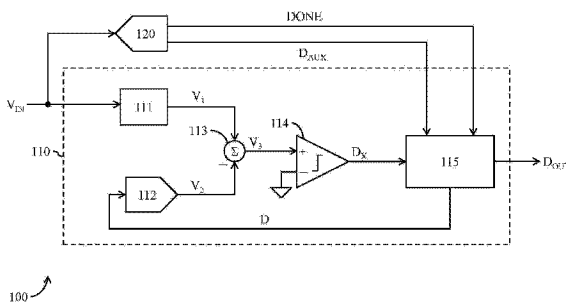
权利要求书2页 说明书7页 附图5页

(54) 发明名称

模拟数字转换装置及其方法

(57) 摘要

本公开提供了一种模拟数字转换装置及其方法, 该装置包括一主模拟数字转换器以及一辅模拟数字转换器。主模拟数字转换器用于将模拟输入信号转换成主数字数据, 而辅模拟数字转换器用于将同一模拟输入信号转换成辅数字数据。主模拟数字转换器具有一第一分辨率以及一第一转换速度, 而辅模拟数字转换器具有一第二分辨率以及一第二转换速度。其中第二分辨率低于第一分辨率, 并且第二转换速度快于第一转换速度。主模拟数字转换器藉由执行连续渐进程序产生主数字数据。于此, 连续渐进程序包括基于辅数字数据的值的快速追踪步骤。



1. 一种模拟数字转换装置,包括:

一主模拟数字转换器,具有一第一分辨率以及一第一转换速度,以部分基于一辅数字数据的值,将一模拟输入信号转换成一主数字数据;以及

一辅模拟数字转换器,具有一第二分辨率以及一第二转换速度,以将所述模拟输入信号转换成所述辅数字数据;

其中,所述第二分辨率低于所述第一分辨率,并且所述第二转换速度快于所述第一转换速度。

2. 根据权利要求1所述的模拟数字转换装置,其中所述主模拟数字转换器包括:

一启动加载式控制器,用于执行一第一程序来根据一决策信号以及所述辅数字数据更新一数字码并且在所述第一程序结束时基于所述数字码的最终值产生所述主数字数据。

3. 根据权利要求2所述的模拟数字转换装置,其中所述主模拟数字转换器更包括:

一取样保持电路,用于将所述模拟输入信号取样成一第一电压;

一数字模拟转换器,用于将所述数字码转换成一第二电压;

一加总电路,用于产生一第三电压,其中所述第三电压的大小等于所述第一电压与所述第二电压之间的差;以及

一比较器,用于基于所述第三电压的极性产生所述决策信号。

4. 根据权利要求3所述的模拟数字转换装置,其中所述比较器比较第三电压与一接地准位来产生所述决策信号。

5. 根据权利要求2所述的模拟数字转换装置,其中所述辅模拟数字转换器更输出一逻辑信号,并且所述启动加载式控制器在所述逻辑信号拉起时使用所述辅数字数据直接更新所述数字码并越过至少一位的数字码的至少一解析步骤。

6. 根据权利要求5所述的模拟数字转换装置,其中所述启动加载式控制器基于一逻辑表的值使用所述辅数字数据直接更新所述数字码。

7. 根据权利要求2所述的模拟数字转换装置,其中所述启动加载式控制器包括一有限状态机制。

8. 根据权利要求1所述的模拟数字转换装置,其中所述辅模拟数字转换器为一快闪模拟数字转换器或一连续渐进式暂存器模拟数字转换器。

9. 一种模拟数字转换方法,包括:

将一模拟输入信号转换成一主数字数据,其中所述主模拟数字转换器具有一第一分辨率以及一第一转换速度;

将所述模拟输入信号转换成所述辅数字数据,其中所述辅模拟数字转换器具有一第二分辨率以及一第二转换速度;以及

执行一第一程序,其中所述第一程序包括基于辅数字数据的值的一快速追踪步骤;

其中,所述第二分辨率低于所述第一分辨率,并且所述第二转换速度快于所述第一转换速度。

10. 根据权利要求9所述的模拟数字转换方法,其中所述第一程序的执行步骤包括:

根据一决策信号以及所述辅数字数据更新一数字码;以及

在所述第一程序结束时基于所述数字码的最终值产生所述主数字数据。

11. 根据权利要求10所述的模拟数字转换方法,其中所述主数字数据的转换步骤包

括：

将所述模拟输入信号取样成一第一电压；

将所述数字码转换成一第二电压；

产生一第三电压，其中所述第三电压代表所述第一电压与所述第二电压之间的差；以

及

基于所述第三电压的极性产生所述决策信号。

12. 根据权利要求 11 所述的模拟数字转换方法，其中所述决策信号的产生步骤包括：
比较所述第三电压与一接地准位来产生所述决策信号。

13. 根据权利要求 10 所述的模拟数字转换方法，其中所述数字码的更新步骤包括：
在所述逻辑信号拉起时使用所述辅数字数据直接更新所述数字码；以及
越过至少一位的数字码的至少一解析步骤。

14. 根据权利要求 13 所述的模拟数字转换方法，其中所述数字码的更新步骤包括：
基于一逻辑表的值使用所述辅数字数据直接更新所述数字码。

15. 一种模拟数字转换方法，包括：

接收一模拟输入信号；

取样所述模拟输入信号来产生一第一电压；

使用一数字模拟转换器依据一数字码产生一第二电压；

依据所述第一电压与所述第二电压之间的差的极性连续地更新所述数字码以造成所述第二电压逼近所述第一电压；以及

藉由依据一辅数字模拟转换器的输出直接更新所述数字码来越过所述数字码的连续地更新步骤。

模拟数字转换装置及其方法

技术领域

[0001] 本发明是关于一种连续渐进式暂存器 (successive-approximation-register ; SAR) 模拟数字转换器 (analog-to-digital converters ;ADC),特别是关于一种模拟数字转换装置及其方法。

背景技术

[0002] SAR ADC已广泛地使用在许多应用中。SAR ADC是将模拟输入信号转换成数字输出数据。SAR ADC具有一SAR控制器以及一数字模拟转换器 (digital-to-analog converter ; DAC)。SAR控制器用于连续逼近,而DAC用于将数字码转换成电压。为了使SAR ADC具有高分辨率的转换,通常需要使用高分辨率的DAC。这样于连续逼近时则需要的更多的步骤来更新数字码,即,需要较长的时间来完成连续逼近,因而限制SAR ADC的转换速度。简言之,现有技术难以达到同时具有高分辨率及高转换速度。

[0003] 于是,期望能提供一种装置及方法,其能提供具有在分辨率及转换速度之间的可接受的平衡的SAR ADC。

发明内容

[0004] 本发明的模拟数字转换装置及其方法可允许一连续渐进式暂存器 (successive-approximation-register ;SAR) 模拟数字转换器能具有转换速度及分辨率之间的可接收的平衡。

[0005] 在一实施例中,一种模拟数字转换装置包括一主模拟数字转换器以及一辅模拟数字转换器。主模拟数字转换器用于将模拟输入信号转换成主数字数据,而辅模拟数字转换器用于将同一模拟输入信号转换成辅数字数据。主模拟数字转换器具有一第一分辨率以及一第一转换速度,而辅模拟数字转换器具有一第二分辨率以及一第二转换速度。其中第二分辨率低于第一分辨率,并且第二转换速度快于第一转换速度。

[0006] 其中,主模拟数字转换器藉由执行连续渐进程序产生主数字数据。于此,连续渐进程序包括基于辅数字数据的值的快速追踪步骤。

[0007] 在一实施例中,一种模拟数字转换方法,包括:将模拟输入信号转换成主数字数据、将同一模拟输入信号转换成辅数字数据、以及执行包括基于辅数字数据的值的一快速追踪步骤的一第一程序。于此,主模拟数字转换器具有一第一分辨率以及一第一转换速度,而辅模拟数字转换器具有一第二分辨率以及一第二转换速度。其中第二分辨率低于第一分辨率,并且第二转换速度快于第一转换速度。

[0008] 在一实施例中,一种模拟数字转换方法包括:接收一模拟输入信号、取样模拟输入信号来产生一第一电压、使用一数字模拟转换器依据一数字码产生一第二电压、依据第一电压与第二电压之间的差的极性连续地更新数字码以造成第二电压逼近第一电压、以及藉由依据一辅数字模拟转换器的输出直接更新数字码来越过数字码的连续地更新步骤。

[0009] 在一些实施例中,较高分辨率但较低速度的主模拟数字转换器利用较低分辨率但

较高速度的辅模拟数字转换器来启动加载连续渐进程序来连续渐进取样的模拟输入信号。
 [0010] 在一些实施例中,模拟数字转换方法可包括连续执行较高分辨率但较低速度的模拟数字转换以及较低分辨率但较高速度的模拟数字转换、以及利用较低分辨率但较高速度的模拟数字转换的结果透过越过具有多个步骤的连续渐进程序中的至少一步骤来加速连续渐进程序。其中,较高分辨率但较低速度的模拟数字转换是基于连续渐进程序。

附图说明

[0011] 图 1 为根据本发明一实施例的连续渐进式暂存器 (successive-approximation-register ;SAR) 模拟数字转换器的示意图。

[0012] 图 2 为实现图 1 中的取样保持电路、数字模拟转换器、加总电路的整合功能的数字模拟转换电路的一实施例的示意图。

[0013] 图 3 为在主模拟数字转换器 (analog-to-digital converters ;ADC) 接收辅模拟数字转换器的帮助的范例下,图 2 中的数字模拟转换电路的范例波形的示意图。

[0014] 图 4 为图 1 的主 ADC 利用辅 ADC 的输出时所使用的逻辑表的一实施例的示意图。

[0015] 图 5 为图 1 的主 ADC 的运作流程图。

[0016] 附图标记

[0017] 100 模拟数字转换装置

[0018] 110 主数字模拟转换器

[0019] 111 取样保持电路

[0020] 112 数字模拟转换器

[0021] 113 加总电路

[0022] 114 比较器

[0023] 115 启动加载式 SAR 控制器

[0024] 120 辅 ADC

[0025] V_{IN} 模拟输入信号

[0026] D_{OUT} 主数字数据

[0027] D_{AUX} 辅数字数据

[0028] DONE 逻辑信号

[0029] V_1 第一电压

[0030] V_2 第二电压

[0031] V_3 第三电压

[0032] V_X 共模电压

[0033] D_X 决策信号

[0034] D 数位码

[0035] 200 数字模拟转换电路

[0036] 210 取样开关

[0037] 220 电容数组

[0038] 230 DAC 开关电路

[0039] 231 ~ 238 DAC 开关

- [0040] $C_1 \sim C_8$ 电容
- [0041] $N_1 \sim N_8$ 内部电路节点
- [0042] $D_1 \sim D_8$ 子码
- [0043] V_R 正参考电压
- [0044] $-V_R$ 负参考电压
- [0045] N_X 共同电路节点
- [0046] SAMP 取样信号
- [0047] 501 开始
- [0048] 503 初始化 $\{D_8, D_7, \dots, D_1\}$ 为 0
- [0049] 505 在 $C_1 \sim C_8$ 上取样 V_{IN}
- [0050] 507 将 n 设为 8
- [0051] 509 n 是否为 0 ?
- [0052] 511 n 是否大于 4 及 DONE 是否为 1 ?
- [0053] 513 侦测 D_X
- [0054] 515 基于 D_X 更新 D_n
- [0055] 517 等待电容稳定
- [0056] 519 n 减去 1
- [0057] 521 基于 D_{AUX} 更新 $\{D_8, D_7, \dots, D_1\}$
- [0058] 522 将 n 设为 5
- [0059] 523 侦测 D_X
- [0060] 525 基于 D_X 更新 D_0
- [0061] 527 基于 $\{D_8, D_7, \dots, D_1\}$ 或基于 $\{D_8, D_7, \dots, D_0\}$ 计算 D_{OUT}
- [0062] n 内部变数
- [0063] D_0 子码
- [0064] D_n 子码
- [0065] 320 ~ 324、326 ~ 328 时间点

具体实施方式

[0066] 以下的详细描述系参照附图,藉由附图说明,揭露本发明各种可实行的实施例。所记载的实施例是明确且充分揭露,以致使所属技术领域中具有通常知识者能据以实施。不同的实施例间并非相互排斥,某些实施例可与一个或一个以上的实施例进行合并而成为新的实施例。因此,下列详细描述并非用于限定本发明。

[0067] 图 1 是根据本发明一实施例的模拟数字转换装置的功能方块图。参照图 1,模拟数字转换装置 100 包括一主数字模拟转换器 (analog-to-digital converters ;ADC) 110 以及一辅 ADC 120。

[0068] 主 ADC 110 接收一模拟输入信号 V_{IN} 并输出主数字数据 D_{OUT} 。辅 ADC 120 接收同一模拟输入信号 V_{IN} , 但输出辅数字数据 D_{AUX} 以及一逻辑信号 DONE。于此,逻辑信号 DONE 用于信号通知模拟数字转换执行完成。来自辅 ADC 120 的逻辑信号 DONE 会提供给主 ADC 110 以启动加载 (bootstrap) 主 ADC 110 的模拟数字转换。来自主 ADC 110 的主数字数据 D_{OUT}

与来自辅 ADC 120 的辅数字数据 D_{AUX} 均为同一模拟输入信号 V_{IN} 的数字表示。

[0069] 然而,主 ADC 110 与辅 ADC 120 具有不同的模拟数字转换的分辨率。特别是,辅 ADC 120 的分辨率是低于主 ADC 110 的分辨率。由于辅 ADC 120 的分辨率较低,因此辅 ADC 120 较主 ADC 110 快完成模拟数字转换。在辅 ADC 120 完成模拟数字转换后,辅 ADC 120 拉起 (assert) 逻辑信号 DONE,并提供辅数字数据 D_{AUX} 给主 ADC 110 作为主数字数据 D_{OUT} 的粗估值,藉以允许主 ADC 110 跳过不必要的转换步骤,因而增加整体转换速度。

[0070] 于此,主 ADC 110 可为连续渐进式暂存器 (successive-approximation-register; SAR) ADC。主 ADC 110 包括一取样保持 (sample-and-hold; S/H) 电路 111、一数字模拟转换器 (digital-to-analog converter; DAC) 112、一加法电路 113、一比较器 114 以及一启动加载式 (bootstrapped) SAR 控制器 115。

[0071] 取样保持电路 111 将模拟输入信号 V_{IN} 取样成一第一电压 V_1 。DAC 112 将一数字码 D 转换成一第二电压 V_2 。加法电路 113 根据第一电压 V_1 与第二电压 V_2 产生一第三电压 V_3 。于此,第三电压 V_3 代表第一电压 V_1 与第二电压 V_2 的间的差。比较器 114 根据第三电压 V_3 的极性的侦测结果 (即,比较第三电压 V_3 与接地准位) 产生一决策信号 D_x 。启动加载式 SAR 控制器 115 接收决策信号 D_x 、辅数字数据 D_{AUX} 以及逻辑信号 DONE、依照决策信号 D_x 、辅数字数据 D_{AUX} 以及逻辑信号 DONE 执行一连续渐进程序来连续地更新数字码 D 以使第二电压 V_2 逐渐逼近第一电压 V_1 、以及在连续渐进程序结束时基于数字码 D 的最终值产生主数字数据 D_{OUT} 。于连续渐进程序的执行期间,当逻辑信号 DONE 被拉起时,启动加载式 SAR 控制器 115 以辅数字数据 D_{AUX} 直接更新数字码 D 并跳过原本应执行的至少一连续渐进步骤。

[0072] 在一实施例中,参照图 2,能藉由具有取样保持功能的数字模拟转换电路 200 来整合并实现取样保持电路 111、数字模拟转换器 112 及加法电路 113 的功能。数字模拟转换电路 200 包括一取样开关 210、一电容数组 220 以及一 DAC 开关电路 230。

[0073] 举例来说,但不限于此,电容数组 220 包括八个电容 $C_1 \sim C_8$,并且电容 $C_1 \sim C_8$ 中的每一者均具有一顶板和一底板。各电容 $C_1 \sim C_8$ 的顶板连接共同电路节点 N_x ,而各电容 $C_1 \sim C_8$ 的底板连接各自的内部电路节点。例如,电容 $C_1 \sim C_8$ 的底板分别连接内部电路节点 $N_1 \sim N_8$ 。DAC 开关电路 230 包括八个 DAC 开关 231 ~ 238,并且 DAC 开关 231 ~ 238 分别对应于电容 $C_1 \sim C_8$ 。数位码 D 为八个子码 $D_1 \sim D_8$ 的组合。子码 $D_1 \sim D_8$ 分别控制 DAC 开关 231 ~ 238。

[0074] 在一实施例中,子码 $D_1 \sim D_8$ 中的每一者均具有 3 种可能值:「-1」、「0」、「1」。当子码的值为「0」时,对应的 DAC 开关将对应的内部电路节点连接至接地。当子码的值为「1」时,对应的 DAC 开关将对应的内部电路节点连接至负参考电压 $-V_R$ 。而当子码的值为「-1」时,对应的 DAC 开关将对应的内部电路节点连接至正参考电压 V_R 。

[0075] 例如:当子码 D_1 (D_2 、 D_3 、、、或 D_8) 的值为「0」时,对应的 DAC 开关 231 (232、233、、、或 238) 将对应的内部电路节点 N_1 (N_2 、 N_3 、、、或 N_8) 连接至接地。当子码 D_1 (D_2 、 D_3 、、、或 D_8) 的值为「1」时,对应的 DAC 开关 231 (232、233、、、或 238) 将对应的内部电路节点 N_1 (N_2 、 N_3 、、、或 N_8) 连接至负参考电压 $-V_R$ 。当子码 D_1 (D_2 、 D_3 、、、或 D_8) 的值为「-1」时,对应的 DAC 开关 231 (232、233、、、或 238) 将对应的内部电路节点 N_1 (N_2 、 N_3 、、、或 N_8) 连接至正参考电压 V_R 。

[0076] 在 (应用图 2 中的数字模拟转换电路 200 的图 1 中的主 ADC 110 所执行的) 模拟数字转换的开始,所有子码 $D_1 \sim D_8$ 重置为「0」,因此所有内部电路节点 $N_1 \sim N_8$ 连接至接地。

[0077] 在取样期间（此时，取样信号 SAMP 被拉起），共同电路节点 N_x 经由取样开关 210 连接至模拟输入信号 V_{IN} ，因而藉由电容 $C_1 \sim C_8$ 取样模拟输入信号 V_{IN} 。

[0078] 在取样信号 SAMP 未拉起的情况下，取样开关 210 打开，以及模拟输入信号 V_{IN} 的准位被保持并储存在电容 $C_1 \sim C_8$ 上；因而有效地实现图 1 中的取样保持电路 111 的功能。换言之，图 1 中的第一电压 V_1 是隐含且储存在电容 $C_1 \sim C_8$ 上。

[0079] 于连续渐进程序的执行期间，依据决策信号 D_x （如图 1 所示）的值连续更新子码 $D_8, D_7, D_6, D_5, D_4, D_3, D_2, D_1$ ，以致使内部电路节点 $N_8, N_7, N_6, N_5, N_4, N_3, N_2, N_1$ 有条件地切换成连接至正参考电压 V_R 或负参考电压 $-V_R$ ；因而有效地实现图 1 中的 DAC 112 的功能。换言之，图 1 中的第二电压 V_2 为内隐式且储存在电容 $C_1 \sim C_8$ 上。

[0080] 由于第一电压 V_1 及第二电压 V_2 均为内隐式且储存在电容 $C_1 \sim C_8$ 上，因此其隐含地加总；因而有效地实现图 1 中的加总电路 113 的功能，并且在共同电路节点 N_x 的电压位准（以下称为共模电位 V_x ）则实现图 1 中的加总电路 113 的输出，即，第三电压 V_3 。

[0081] 请参照回图 1，在任一实施例中，使用辅 ADC 120 来加速主 ADC 110 的转换。因此，辅 ADC 120 的模拟数字转换的执行速度需快于主 ADC 110。

[0082] 在一实施例中，辅 ADC 120 的分辨率低于主 ADC 110。举例而言，较低分辨率的 ADC 使用较小的电容以加速比较及稳定 (settling)，并且其可快于较高分辨率的 ADC。辅 ADC 120 具有低于主 ADC 110 的分辨率但快于主 ADC 110，以至于逻辑信号 DONE 会在主 ADC 110 完成转换的前被拉起。

[0083] 在一实施例中，辅 ADC 120 为 4 位 ADC，因此其分辨率小于主 ADC 110 的 4 个最高有效位 (more significant bit ;MSB)。亦即，辅数字数据 D_{AUX} 为主 ADC 110 的 4 个最高有效位的子码 $\{D_8, D_7, D_6, D_5\}$ 的大概估计。

[0084] 图 3 为图 2 所示电路的范例波形的示意图。参照图 1、图 2 和图 3，在取样信号 SAMP 被拉起的取样期间，第二电压 V_2 内隐地为零，而第一电压 V_1 内隐地追踪模拟输入信号 V_{IN} （此时即等于共模电位 V_x ）。在时间点 320（此时取样信号 SAMP 未拉起），第一电压 V_1 内隐地保持并且因此为共模电位 V_x 。然后，共模电位 V_x 的极性被解析为子码 D_8 。在时间点 328，子码 D_8 被解析为 -1 （因共模电位 V_x 为负的）并更新，其导致 DAC 开关 238 将内部电路节点 N_8 连接至正参考电压 V_R （如图 2 所示），因而使得共模电位 V_x 更高。在每次按照子码 D_8 的值稳定共模电位 V_x 之后，共模电位 V_x 的极性被解析为子码 D_7 。在时间点 327，子码 D_7 被解析为 1 （因共模电位 V_x 为正的）并更新，其导致 DAC 开关 237 将内部电路节点 N_7 连接至负参考电压 $-V_R$ （如图 2 所示），因而使得共模电位 V_x 更低。于每次按照子码 D_8 的值稳定的期间，辅 ADC 120 完成其模拟数字转换。在时间点 326，逻辑信号 DONE 被拉起并且辅数字数据 D_{AUX} 的值为可接受的。在这一刻，只有子码 D_8 与子码 D_7 被解析；然而，在辅数字数据 D_{AUX} （其为子码 $\{D_8, D_7, D_6, D_5\}$ 的大概估计）为可接受的时候，即可直接使用辅数字数据 D_{AUX} 来更新子码 $\{D_8, D_7, D_6, D_5\}$ 。亦即，能跨过解析子码 D_6, D_5 的步骤，并且以基于辅数字数据 D_{AUX} 的值的“快速追踪”步骤取代这些解析步骤。反之，若辅数字数据 D_{AUX} 不存在或不恰当，则这些解析步骤都是必需的。

[0085] 在一实施例中，启动加载式 SAR 控制器 115 包括且使用图 4 所示的逻辑表，以按照每个辅数字数据 D_{AUX} 的值（0 至 15 的 4 位数字）更新子码 $\{D_8, D_7, D_6, D_5\}$ 。

[0086] 在另一实施例中，若逻辑表与在连续渐进程序中已解析的值（即在前述实施例

中,述及的子码 $\{D_8、D_7\}$ 之间有不一致,依据图 4 所示的逻辑表则无法完全映像子码 $\{D_8、D_7、D_6、D_5\}$ 。当侦测到不一致时,将维持已解析的值,并更新剩余的值(即,在前述实施例中的子码 $\{D_6、D_5\}$),以至于最小化子码 $\{D_8、D_7、D_6、D_5\}$ 与辅数字数据 D_{AUX} 的间的差异。

[0087] 举例而言,若子码 $\{D_8、D_7\}$ 已解析为 $\{-1、1\}$,但辅数字数据 D_{AUX} 为 8(依据图 5 的逻辑表应映像为子码 $\{D_8、D_7、D_6、D_5\} = \{1、-1、-1、-1\}$),因此维持子码 $\{D_8、D_7\}$ 为 $\{-1、1\}$ 并更新子码 $\{D_6、D_5\}$ 为 $\{-1、-1\}$ 。即,将子码 $\{D_8、D_7、D_6、D_5\}$ 设定成 $\{-1、1、-1、-1\}$,并且在未改变子码 $\{D_8、D_7\}$ 的已解析值的下此结果最相近于辅数字数据 D_{AUX} 为 8。

[0088] 虽然辅数字数据 D_{AUX} 与已由主 ADC 110 解析的最高有效位的间的差异可能造成错误的输出数据(即,主数字数据 D_{OUT}),然而只要在主 ADC110 的最低有效位(在图 2 的实施例中即对应子码 $D_1 \sim D_4$)的间实现及使用冗位(redundancy),此错误即能被容忍及修正。在最低有效位使用冗位来修正最高有效位的误错的原则为本领域所熟知,故于此不再赘述。

[0089] 图 1 所示的启动加载式 SAR 控制器 115 为有限状态机制(finite state machine)。图 5 为实现图 1 所示的启动加载式 SAR 控制器 115 的控制功能的一实施例的流程图。参照图 5,在 ADC 启动(步骤 501)后,ADC 初始化数位码 D ,即将子码 $\{D_8、D_7、\dots、D_1\}$ 均设为 0(步骤 503)。然后,ADC 以电容 $C_1 \sim C_8$ 取样模拟输入信号 V_{IN} 取样在(例如:透过拉起然后未拉起取样信号 SAMP,如图 2 所示)(步骤 505)。接着,ADC 藉由将一内部变量 n 设定为 8(表示使用的电容数量)来开始连续渐进程序(步骤 507)。

[0090] 然后,ADC 检查内部变量 n 是否为 0(步骤 509);若内部变量 n 不为 0,则表示连续渐进程序尚未完成。并且,ADC 检查内部变量 n 是否大于 4 以及逻辑信号 DONE 是否拉起(步骤 511)。若内部变量 n 不大于 4 或逻辑信号 DONE 未拉起,则侦测决策信号 D_x 的极性(步骤 513)并基于决策信号 D_x 的极性更新子码 D_n (步骤 515)。若内部变量 n 大于 4 且逻辑信号 DONE 亦拉起,则直接基于辅数字数据 D_{AUX} 更新子码 $\{D_8、D_7、D_6、D_5\}$ (步骤 521)并将内部变量 n 设为 5(步骤 522)以表示子码 D_5 已更新。

[0091] 在子码 D_n 或子码 $\{D_8、D_7、D_6、D_5\}$ 更新(步骤 515 或步骤 522)后,ADC 等待电容 $C_1 \sim C_8$ 稳定(步骤 517)。然后,ADC 减少内部变量 n (步骤 519),例如:ADC 将内部变数 n 减去 1。接着,循环回到检查内部变量 n 是否为 0(步骤 509);若内部变量 n 为 0,则表示连续渐进程序完成。然后,ADC 基于子码 $\{D_8、D_7、D_6、D_5\}$ 计算主数字数据 D_{OUT} 的值(步骤 527)。接着,ADC 藉由循环回到步骤 503 来继续往前执行下一模拟数字转换。

[0092] 在一实施例中,子码 D_0 的值将被包括在计算主数字数据 D_{OUT} 中。在一些实施例中,主数字数据 D_{OUT} 是依据下列公式计算。

$$[0093] \quad D_{OUT} = \frac{D_0}{2} + \sum_{n=1}^8 \frac{D_n C_n}{C_1} \quad (1)$$

[0094] 换言之,以由子码控制其连接性的电容的权重来决定子码 D_n 的权重,并且将额外的子码 D_0 的权重设定为 $1/2$ 。若未使用步骤 523 及步骤 525,那么则将公式(1)中额外的子码 D_0 的权重改为 0。

[0095] 辅 ADC 120 只要在主 ADC 110 完成解析预期由辅 ADC 120 协助解析的最高有效位之前完成模拟数字转换,辅 ADC 120 就可以由任意一种 ADC 实现。当辅 ADC 120 开始模拟数字转换时,逻辑信号 DONE 未拉起;当辅 ADC 120 完成模拟数字转换时,逻辑信号 DONE 拉起。

[0096] 在一实施例中,辅 ADC 120 为一快闪 ADC。

[0097] 在一实施例中,辅 ADC 120 亦可为一 SAR ADC。

[0098] 在一实施例中,辅 ADC 120 可包括如图 2 所示的数字模拟转换电路 200,但具有较小且较少的电容(以致使模拟数字转换可较快完成)。

[0099] 在一实施例中,辅 ADC 120 执行取样保持功能的速度略快于主 ADC110,以致使较快完成模拟数字转换。

[0100] 虽然本发明以前述的实施例揭露如上,然其并非用于限定本发明,任何熟习相像技术者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的专利保护范围须视本说明书所附的申请专利范围所界定者为准。

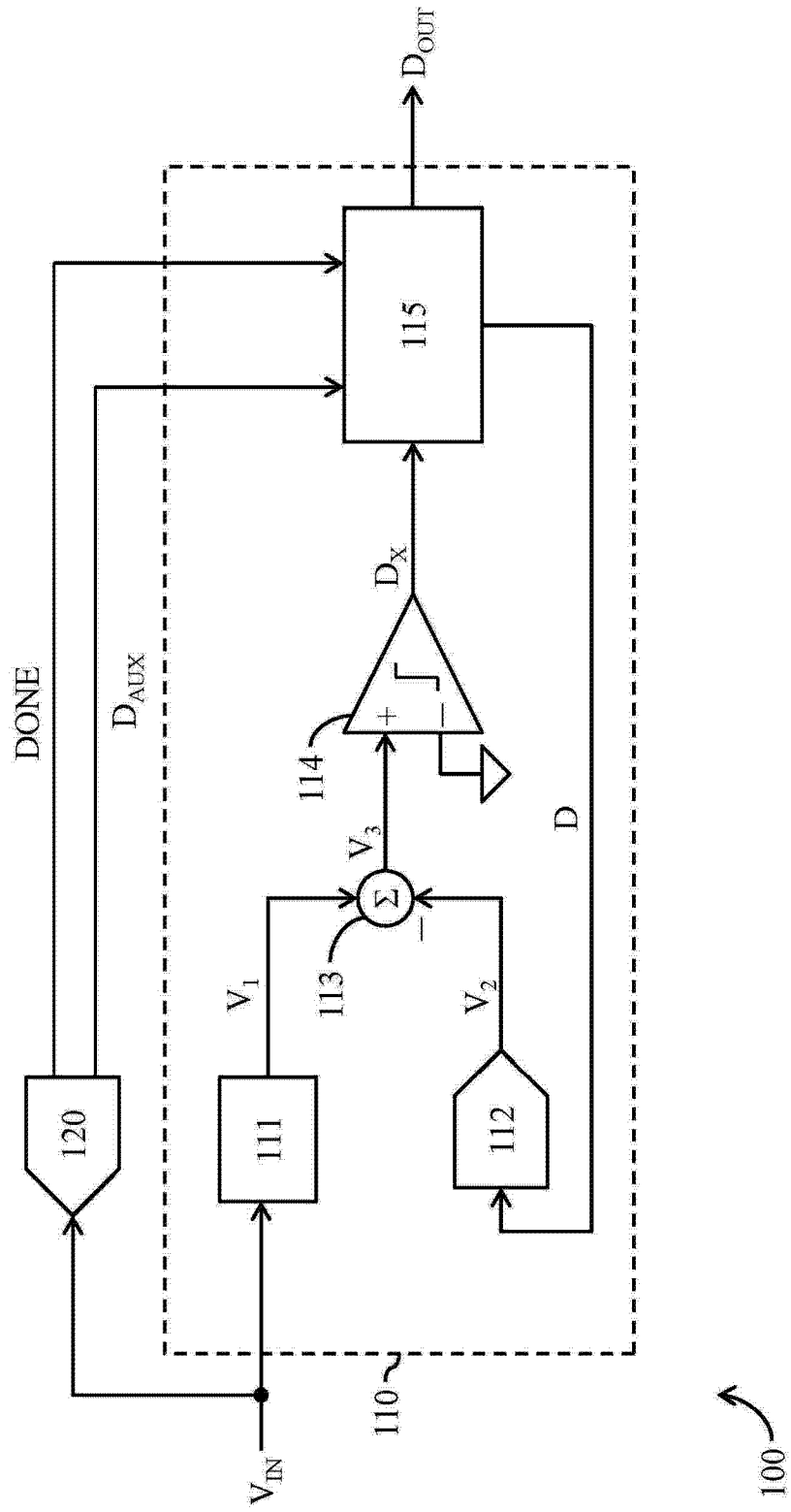


图 1

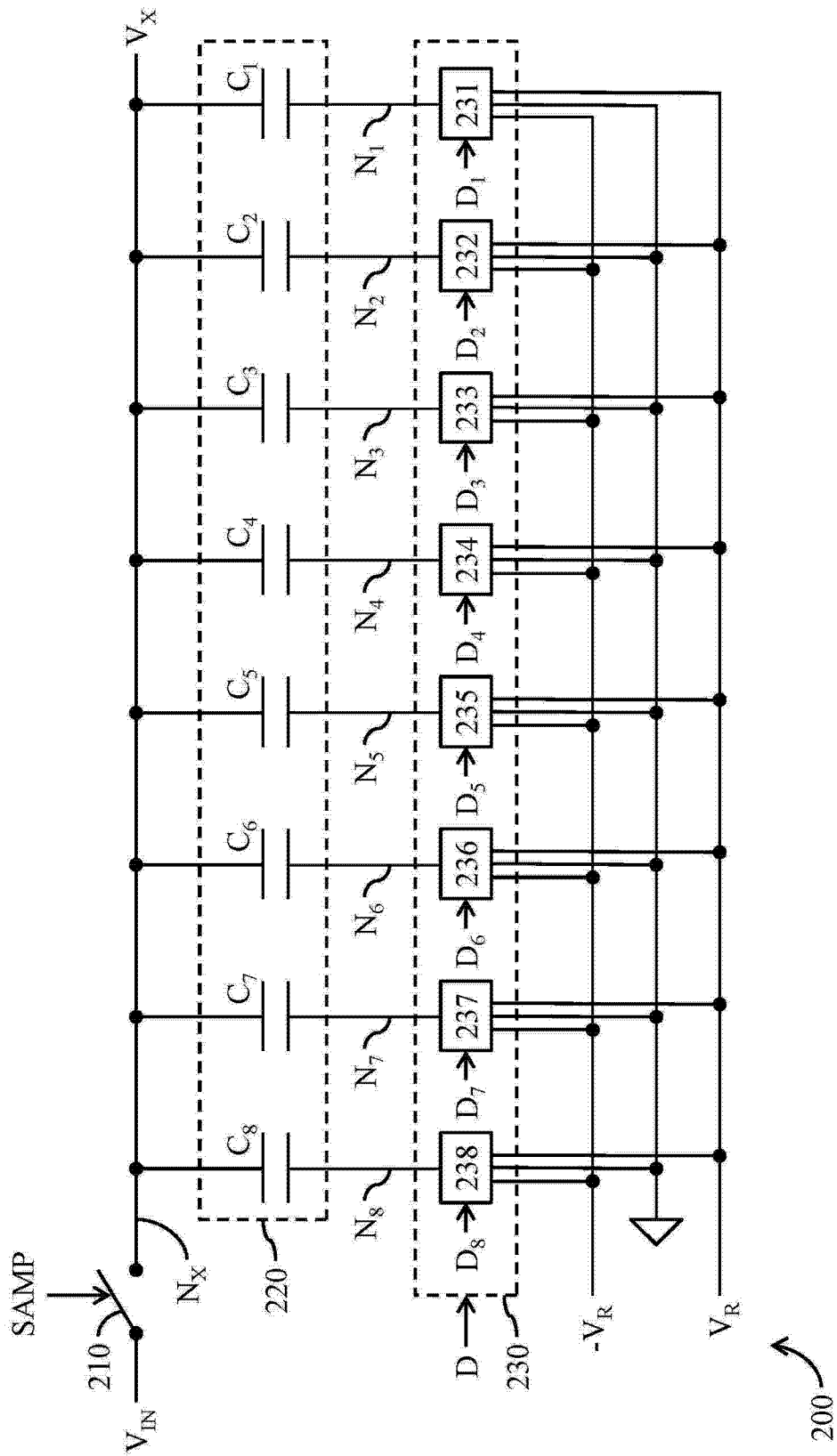


图 2

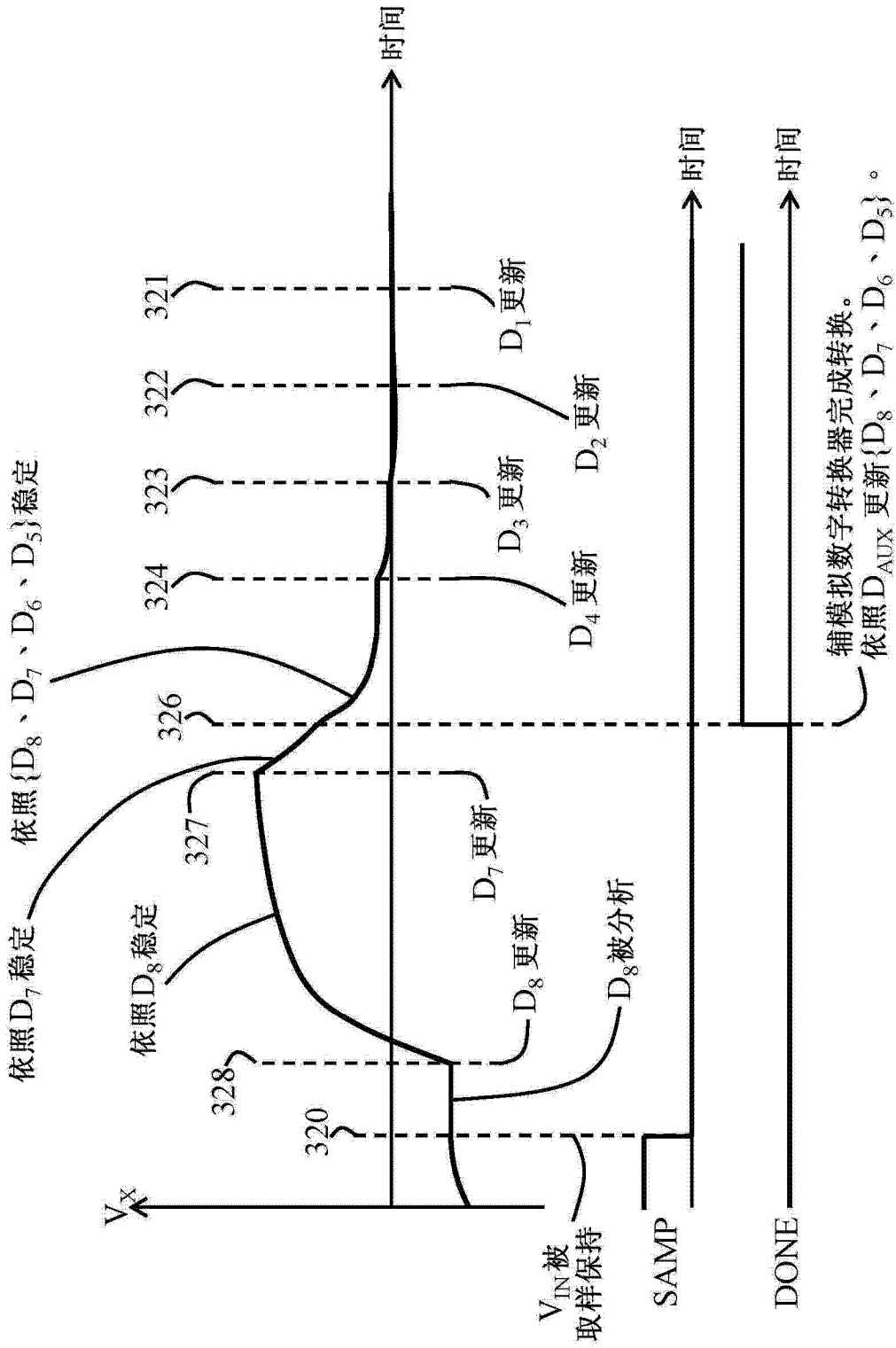


图 3

D_{AUX}	D_8	D_7	D_6	D_5
0	-1	-1	-1	-1
1	-1	-1	-1	1
2	-1	-1	1	-1
3	-1	-1	1	1
4	-1	1	-1	-1
5	-1	1	-1	1
6	-1	1	1	-1
7	-1	1	1	1
8	1	-1	-1	-1
9	1	-1	-1	1
10	1	-1	1	-1
11	1	-1	1	1
12	1	1	-1	-1
13	1	1	-1	1
14	1	1	1	-1
15	1	1	1	1

图 4

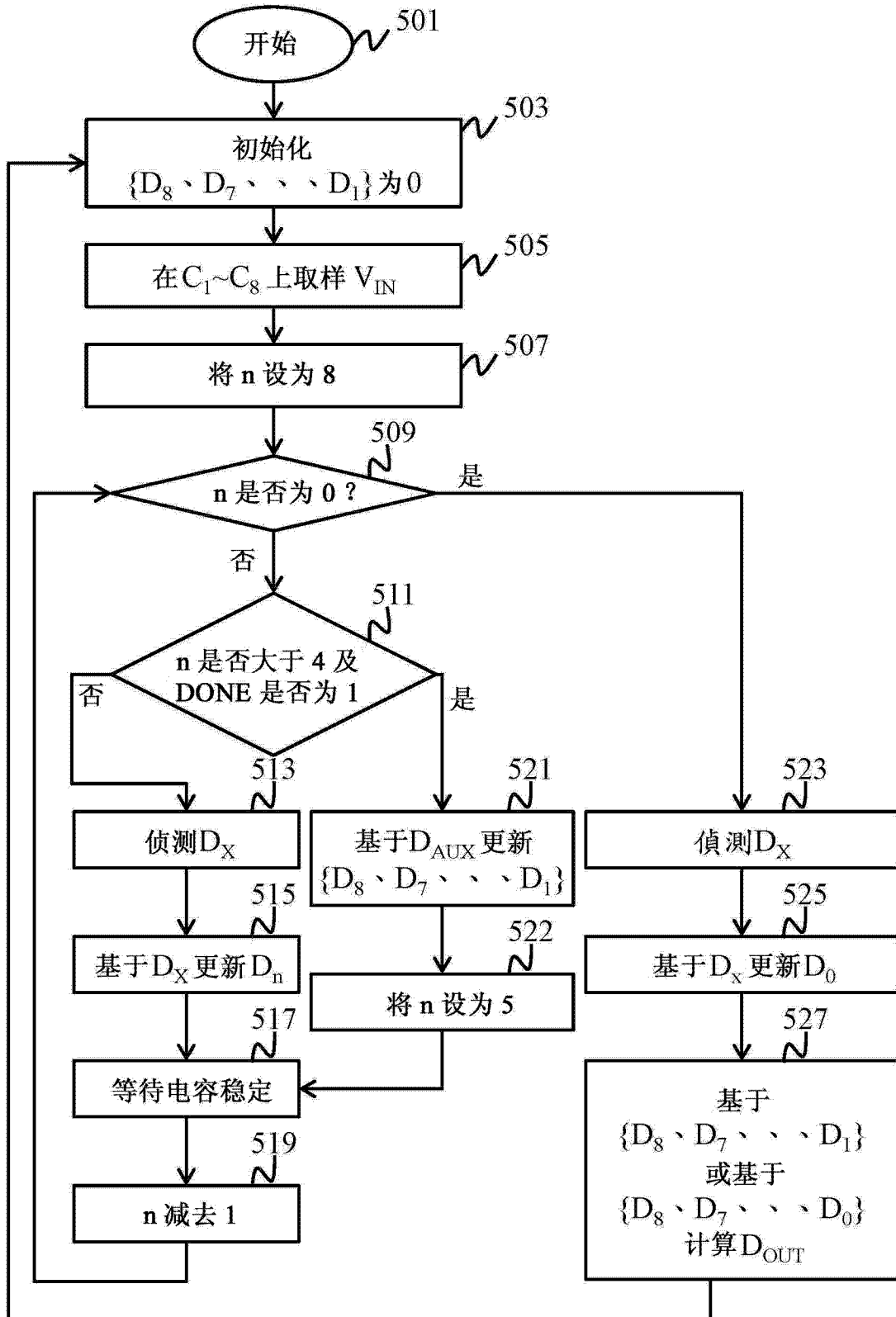


图 5