

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6745836号
(P6745836)

(45) 発行日 令和2年8月26日(2020.8.26)

(24) 登録日 令和2年8月6日(2020.8.6)

(51) Int.Cl.		F I			
H05K	3/34	(2006.01)	H05K	3/34	512Z
H05K	3/00	(2006.01)	H05K	3/00	Z
H01L	23/12	(2006.01)	H01L	23/12	501F

請求項の数 13 (全 16 頁)

(21) 出願番号	特願2018-95581 (P2018-95581)	(73) 特許権者	510284244
(22) 出願日	平成30年5月17日 (2018.5.17)		啓耀光電股▲分▼有限公司
(65) 公開番号	特開2018-195826 (P2018-195826A)		台湾74148台南市新市區豊華村堤塘港路5號
(43) 公開日	平成30年12月6日 (2018.12.6)	(74) 代理人	100076831
審査請求日	平成30年5月17日 (2018.5.17)		弁理士 伊藤 捷雄
(31) 優先権主張番号	106116725	(72) 発明者	楊 武璋
(32) 優先日	平成29年5月19日 (2017.5.19)		台湾74148台南市新市區豊華村堤塘港路5号
(33) 優先権主張国・地域又は機関	台湾 (TW)	審査官	ゆずりは 広行

最終頁に続く

(54) 【発明の名称】 電子装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

作動領域を有するフレキシブル基板と、前記フレキシブル基板上に設けられる複数の薄膜配線と、前記フレキシブル基板上に設けられるとともにこれら前記薄膜配線に電気的に接続されており、厚さが2~20μmである複数の電気的接続パッドと、を有するフレキシブル回路板と、

前記フレキシブル基板上に設けられるとともに前記作動領域に位置して、これら前記薄膜配線に電気的に接続される複数の薄膜素子と、

前記フレキシブル基板上に設けられるとともに前記作動領域に位置して、それぞれハンダを介してこれら前記電気的接続パッドに接続される複数の電極を有し、これら前記電気的接続パッド及びこれら前記薄膜配線を介してこれら前記薄膜素子に電気的に接続される複数の表面実装素子と、を備え、

これら前記薄膜素子とこれら前記表面実装素子とで画素アレイを形成することを特徴とする、電子装置。

【請求項2】

前記フレキシブル基板は、ガラス転移温度が400ないし600である有機高分子材料を含む、請求項1に記載の電子装置。

【請求項3】

前記薄膜配線の線幅が1~10μmである、請求項1に記載の電子装置。

【請求項4】

前記薄膜素子は半導体素子である、請求項 1 に記載の電子装置。

【請求項 5】

前記フレキシブル基板は作動領域と周辺領域とを有しており、前記薄膜素子は前記作動領域に位置し、前記表面実装素子は前記周辺領域に位置して、前記薄膜素子を駆動するのに用いられる、請求項 1 に記載の電子装置。

【請求項 6】

前記薄膜素子の個数は複数であり、前記薄膜素子が感知画素アレイを形成する、請求項 5 に記載の電子装置。

【請求項 7】

前記薄膜素子は少なくとも一つの薄膜トランジスタを有し、前記表面実装素子は少なくとも一つの発光ダイオードチップを有する、請求項 1 に記載の電子装置。

【請求項 8】

作動領域を有するフレキシブル基板を硬質キャリア基板上に形成するステップと、複数の薄膜素子を前記フレキシブル基板上に形成するとともに前記作動領域に位置するステップと、

これら前記薄膜素子に電氣的に接続される且つ薄膜で作られる複数の薄膜配線を前記フレキシブル基板上に形成するステップと、

厚さが 2 ~ 20 μm である複数の電氣的接続パッドを前記フレキシブル基板上に形成するとともに前記作動領域に位置して、これら前記薄膜配線に電氣的に接続するステップと

、
これら前記電氣的接続パッドにハンダを設けるステップと、

これら前記電氣的接続パッド及びこれら前記薄膜配線を介してこれら前記薄膜素子に電氣的に接続される且つそれぞれ前記ハンダを介してこれら前記電氣的接続パッドに接続される複数の電極を有する複数の表面実装素子を前記フレキシブル基板上に形成するとともに前記作動領域に位置して、これら前記薄膜素子とこれら前記表面実装素子とで画素アレイを形成する、ステップと、

前記硬質キャリア基板を除去するステップと、を含むことを特徴とする、電子装置の製造方法。

【請求項 9】

前記フレキシブル基板はガラス転移温度が 400 ないし 600 である有機高分子材料を含む、請求項 8 に記載の製造方法。

【請求項 10】

前記フレキシブル基板は、接着接合又は塗布方式で設けられるとともに、硬化後に前記硬質キャリア基板上に形成される、請求項 8 に記載の製造方法。

【請求項 11】

前記電氣的接続パッドは電気めっき、プリント又は蒸着剥離パターンニング製造工程で製作してなる、請求項 8 に記載の製造方法。

【請求項 12】

前記薄膜配線は銅箔を圧着した後にエッチング又は薄膜製造工程により形成される、請求項 8 に記載の製造方法。

【請求項 13】

前記薄膜製造工程は低温ポリシリコン製造工程、アモルファスシリコン製造工程又は金属酸化物半導体の製造工程を含む、請求項 12 に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子装置及びその製造方法に関する。

【背景技術】

【0002】

10

20

30

40

50

従来、電子装置（例えばディスプレイ）の製造過程において、半導体製造工程で一つずつの半導体素子を製造した後に、キャリア基板上に転置して、更にピックアップヘッド（pick-up head）を用いて、キャリア基板から一回に一つ又は複数の素子をピックアップした後に、例えば回路基板上に転置して、更に後続のその他の工程を行う。しかし、このような製造方式では、必要となる設備コストが相対的に高く、電子装置の高コストを招き、しかも設備の製造精度により、製造された電子装置の素子設置密度も制限されるという問題があった。

【発明の概要】

【発明が解決しようとする課題】

【0003】

本発明の目的は、上記した従来技術の問題点を解決して、コストダウンを図り、電子装置により高い素子設置密度を持たせることのできる電子装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0004】

上記目的を達成するために、本発明に係る電子装置は、作動領域を有するフレキシブル基板と、前記フレキシブル基板上に設けられる複数の薄膜配線と、前記フレキシブル基板上に設けられるとともにこれら前記薄膜配線に電氣的に接続されており、厚さが2～20μmである複数の電氣的接続パッドと、を有するフレキシブル回路板と、前記フレキシブル基板上に設けられるとともに前記作動領域に位置して、これら前記薄膜配線に電氣的に接続される複数の薄膜素子と、前記フレキシブル基板上に設けられるとともに前記作動領域に位置して、それぞれハンダを介してこれら前記電氣的接続パッドに接続される複数の電極を有し、これら前記電氣的接続パッド及びこれら前記薄膜配線を介してこれら前記薄膜素子に電氣的に接続される複数の表面実装素子と、を備え、これら前記薄膜素子とこれら前記表面実装素子とで画素アレイを形成することを特徴とする。

【0005】

上記目的を達成するために、本発明に係る電子装置の製造方法は、作動領域を有するフレキシブル基板を硬質キャリア基板上に形成するステップと、複数の薄膜素子を前記フレキシブル基板上に形成するとともに前記作動領域に位置するステップと、これら前記薄膜素子に電氣的に接続される且つ薄膜で作られる複数の薄膜配線を前記フレキシブル基板上に形成するステップと、厚さが2～20μmである複数の電氣的接続パッドを前記フレキシブル基板上に形成するとともに前記作動領域に位置して、これら前記薄膜配線に電氣的に接続するステップと、これら前記電氣的接続パッドにハンダを設けるステップと、これら前記電氣的接続パッド及びこれら前記薄膜配線を介してこれら前記薄膜素子に電氣的に接続される且つそれぞれ前記ハンダを介してこれら前記電氣的接続パッドに接続される複数の電極を有する複数の表面実装素子を前記フレキシブル基板上に形成するとともに前記作動領域に位置して、これら前記薄膜素子とこれら前記表面実装素子とで画素アレイを形成する、ステップと、前記硬質キャリア基板を除去するステップと、を含むことを特徴とする。

【0006】

一実施例において、フレキシブル基板は、ガラス転移温度が400ないし600である有機高分子材料を含む。

【0007】

一実施例において、前記薄膜配線の線幅が1～10μmである。

【0008】

一実施例において、薄膜素子は半導体素子である。

【0009】

一実施例において、フレキシブル基板は作動領域と周辺領域とを有しており、薄膜素子は作動領域に位置し、表面実装素子は周辺領域に位置して、薄膜素子を駆動するのに用いられる。

10

20

30

40

50

【0010】

一実施例において、薄膜素子の個数は複数であり、薄膜素子が感知画素アレイを形成する。

【0013】

一実施例において、薄膜素子は少なくとも一つの薄膜トランジスタを有し、表面実装素子は少なくとも一つの発光ダイオードチップを有する。

【0014】

一実施例において、電子装置は、指紋センサ、X線センサ又は発光ダイオードディスプレイとしてもよい。

【0015】

一実施例において、フレキシブル基板は、接着接合又は塗布方式で設けられるとともに、硬化後に硬質キャリア基板上に形成される。

【0016】

一実施例において、電気的接続パッドは、電気めっき、プリント又は蒸着剥離パターンニング製造工程で製作してなる。

【0017】

一実施例において、薄膜配線は、銅箔を圧着した後にエッチング又は薄膜製造工程により形成される。

【0018】

一実施例において、薄膜製造工程は、低温ポリシリコン製造工程、アモルファスシリコン製造工程又は金属酸化物半導体の製造工程を含む。

【発明の効果】

【0019】

上記により、本発明の電子装置において、薄膜配線と少なくとも一つの電気的接続パッドとは、フレキシブル基板上に設けられるものであり、電気的接続パッドの厚さは、2～20μmである。更に、少なくとも一つの薄膜素子は、フレキシブル基板上に設けられるとともに、薄膜配線及び電気的接続パッドに電気的に接続され、且つ、表面実装素子は、フレキシブル基板上に設けられるとともに、電気的接続パッド及び薄膜配線を介して薄膜素子に電気的に接続される。これにより、本発明の電子装置の製造方法を従来の技術で製造された電子装置と比べると、本発明の電子装置は、フレキシブル基板上に薄膜製造工程を通じて薄膜素子を製造した後に、さらに、表面実装技術(SMT)を用いて表面実装素子(SMD)を設けるので、精細な配線及び素子を多く製作できることにより、素子設置密度を向上することができる。

【図面の簡単な説明】

【0020】

【図1】本発明の好ましい実施例の電子装置の製造方法の手順概略図である。

【図2A】本発明の一実施例の電子装置の製造過程概略図である。

【図2B】本発明の一実施例の電子装置の製造過程概略図である。

【図2C】本発明の一実施例の電子装置の製造過程概略図である。

【図2D】本発明の一実施例の電子装置の製造過程概略図である。

【図2E】本発明の一実施例の電子装置の製造過程概略図である。

【図3】本発明の他の実施例の電子装置の概略図である。

【図4A】本発明の他の実施例の電子装置の概略図である。

【図4B】本発明の一実施例の電子装置の回路概略図である。

【図5A】本発明の他の実施例の電子装置の平面概略図である。

【図5B】一実施例の図5Aの電子装置の側面概略図である。

【発明を実施するための形態】

【0021】

以下にて関連する図面を参照して、本発明の好ましい実施例に係る電子装置及びその製造方法を説明する。なお、実施例において、同じ構成要素については同じ符号を付して説

10

20

30

40

50

明する。

【実施例】

【0022】

本発明の好ましい実施例の電子装置の製造方法の手順概略図である図1を参照されたい。以下の実施例にて述べる「電子装置」は、発光ダイオード(LED)ディスプレイ、マイクロ発光ダイオードディスプレイ(Micro-LED Display)、感知装置(例えば指紋センサ、指紋識別器、X線センサ)、半導体装置又は照明装置等としてもよく、本発明に特別な制限はない。

【0023】

図1に示すように、電子装置1の製造方法は、フレキシブル基板(Flexible Substrate)を硬質キャリア基板上に形成する(ステップS01)と、少なくとも一つの薄膜素子をフレキシブル基板上に形成する(ステップS02)と、薄膜素子に電氣的に接続される薄膜配線をフレキシブル基板上に形成する(ステップS03)と、厚さが2~20 μ mである少なくとも一つの電氣的接続パッドをフレキシブル基板上に形成するとともに薄膜配線に電氣的に接続する(ステップS04)と、電氣的接続パッド及び薄膜配線を介して薄膜素子に電氣的に接続される少なくとも一つの表面実装素子(SMD)をフレキシブル基板上に形成する(ステップS05)と、硬質キャリア基板を除去する(ステップS06)とを含む。

10

【0024】

以下に図1を参照するとともに図2Aないし図2Eを合わせて参照して、上記ステップS01ないしステップS06の詳細な内容を説明する。図2Aないし図2Eは、それぞれ本発明の一実施例の電子装置1の製造過程概略図である。

20

【0025】

ステップS01にて、図2Aに示すように、フレキシブル基板111を硬質キャリア基板9上に形成する。硬質キャリア基板9は、透光性又は不透光性の材料、例えば、ガラス板、セラミック板、金属板又は石英板としてもよいが、それらに限定されない。本実施例では、ガラス板を例とする。また、フレキシブル基板111は、可撓性を有するとともに、有機高分子材料を含んでもよく、有機高分子材料のガラス転移温度(Glass Transition Temperature、Tg)は、400ないし600の間としてもよい。このような高いガラス転移温度により、フレキシブル基板111は、後続の製造工程にて特性が失われることがなくなる。このうち、有機高分子材料は、熱可塑性材料、例えば、ポリイミド(PI)、ポリエチレン(Polyethylene、PE)、ポリ塩化ビニル(Polyvinylchloride、PVC)、ポリスチレン(PS)、アクリル(アクリル酸、acrylic)、フルオロポリマー(Fluoropolymer)、ポリエステル繊維(polyester)又はナイロン(nylon)としてもよい。本実施例のフレキシブル基板111の材料は、ポリイミド(PI)を例とする。

30

【0026】

フレキシブル基板111は、例えば、接着接合方式又は塗布方式で設けられるとともに、硬化(熱硬化又は光硬化)後に、硬質キャリア基板9上に形成される。本実施例においては、まず、硬質キャリア基板9上に接着層91を塗布した後に、更に、フレキシブル基板111を接着層91上に貼り合わせて、ラミネートして、硬化した後に、硬質キャリア基板9と接着層91とフレキシブル基板111が積層された構造が構成される。このうち、接着層91の材料は、例えば、エポキシ樹脂又はシランカップリング剤(Silane coupling agent、SCA)としてもよいが、それらに限定されない。また、塗布方式でフレキシブル基板111を設ける場合には、有機高分子材料を硬質キャリア基板9上に直接塗布して、それが硬化した後に、フレキシブル基板111を硬質キャリア基板9上に直接形成できるので、接着層を必要としない。

40

【0027】

続いて、ステップS02にて、図2Bに示すように、薄膜製造工程を用いて、少なくとも

50

も一つの薄膜素子12をフレキシブル基板111上に形成する。ここで、薄膜製造工程は、半導体製造工程としてもよい。薄膜素子12は、半導体素子としてもよい。薄膜素子12は、フレキシブル基板111上に直接的に形成して設けられる。また、薄膜素子12は、フレキシブル基板111上に間接的に形成してもよい。例えば、フレキシブル基板111と薄膜素子12の両者の間にバッファ層又は絶縁層を含むが、これに限定されない。一部の実施例において、薄膜素子12は、例えば、薄膜トランジスタ(TFT transistor)、フォトトランジスタ(photo transistor)、ダイオード(diode)、発光ダイオード(LED)、マイクロ発光ダイオード(μ LED)、有機発光ダイオード(OLED)、フォトダイオード(photo diode)、キャパシタ(capacitor)、電圧制御キャパシタ(voltage controlled capacitor)、抵抗器(resistor)、フォトレジスタ(photo resistor)、熱抵抗器(thermal resistor)、...等、又はそれらの組合せとしてもよいが、それらに限定されない。また、上記した薄膜製造工程は、例えば、低温ポリシリコン(LTPS)製造工程、アモルファスシリコン(a-Si)製造工程、又は金属酸化物(例えばIGZO)半導体製造工程等を含んでもよい。一部の実施例において、薄膜素子12をフレキシブル基板111上に形成する以外に、その他の絶縁膜層又は導電膜層を形成してもよい。

【0028】

続いて、ステップS03にて、薄膜素子12に電氣的に接続される薄膜配線112をフレキシブル基板111上に形成する。薄膜配線112の線幅は、1~10 μ mとしてもよい。薄膜配線112の材料は、金属(例えばアルミニウム、銅、銀、モリブデン、又はチタン)又はその合金により構成される単層又は多層構造のものを使用してもよい。薄膜配線112は、銅箔を圧着した後に、エッチング又は薄膜製造工程により形成されるが(薄膜素子12の製造の工程中に合わせて製造されることができ)、これに限定されない。このうち、薄膜配線112は、薄膜素子12中に含まれる導電膜層と、同一製造工程又は同一材料を使用してもよい。一部の実施例において、薄膜配線112は、直接的又は間接的に、その他の導電層を介して薄膜素子12に電氣的に接続されて、また、薄膜配線112は、二つの薄膜素子12の間を互いに電氣的に接続させる導電線としてもよく、これに限定されない。本実施例は、二つの薄膜配線112がフレキシブル基板111上に形成されており、且つ、このうちの一つの薄膜配線112が薄膜素子12に電氣的に接続されるものを例としている。

【0029】

また、ステップS04にて、図2Cに示すように、少なくとも一つの電氣的接続パッド(pad)113をフレキシブル基板111上に形成する。電氣的接続パッド113は、薄膜配線112に電氣的に接続される。ここで本実施例は、電氣的接続パッド113を二つの薄膜配線112上にそれぞれ製作して、電氣的接続パッド113と薄膜配線112とが電氣的に接続されるものを例としている。電氣的接続パッド113の材料は、例えば銅、銀、金、又はそれらの組合せとしてもよいが、それらに限定されない。

【0030】

表面実装素子13を電氣的接続パッド113に接合して電氣的に接続しやすくするために、本実施例における電氣的接続パッド113の厚さdは、例えば2~20 μ mの間とするように厚めにする必要がある。厚めの電氣的接続パッド113を製作するために、一部の実施例においては、例えば、電気めっき、プリント、又は蒸着剥離パターンニング(Lift-off patterning)等の方法で、薄膜配線112上に電氣的接続パッド113を製作してもよい。他の一部の実施例においては、薄膜製造工程を用いて製作してもよい。薄膜配線112及び電氣的接続パッド113は、製造工程にて異なる膜層としてもよく、同一の膜層としてもよい。また、電氣的接続パッド113の製造工程(ステップS04)と、薄膜素子12の製造工程(ステップS02)とを入れ替えてもよい。言い換えるならば、先に薄膜素子の製造工程を行った後に、更に電氣的接続パッドの製造工程を行うことができ、薄膜素子の製造工程と電氣的接続パッドの製造工程の順番を逆にして行

10

20

30

40

50

うこともできる。

【0031】

また、表面実装素子13の設置ステップS05の前には、図2Dに示すように、表面実装素子13を電氣的接続パッド113に接合する必要性から、予め、電氣的接続パッド113上に導電体114をそれぞれ設ける必要がある。ここで、導電体114の材料は、例えば、ハンダ又は接着材料であるが、それらに限定されない。このうち、接着材料は、使用する接合方式に応じて選択することができ、光硬化の方式（例えばUV光）を用いて表面実装素子13を接合する場合には、接着材料はUV接着剤としてもよい。熱硬化方式を使用する場合には、接着材料は熱硬化性接着材料、例えば、異方向性導電フィルム（Anisotropic Conductive Film、ACF）等のフィルムタイプ（film type）接着材料とするか、又は異方導電ペースト（anisotropic conductive paste、ACP）としてもよい。

10

【0032】

その後、更にステップS05を実行する：電氣的接続パッド113及び薄膜配線112を介して、薄膜素子12に電氣的に接続される少なくとも一つの表面実装素子13をフレキシブル基板111上に設ける。ここで、表面実装素子13は、表面実装技術（SMT）を用いて導電体114上に設けられることで、導電体114を介して電氣的接続パッド113に接続される。表面実装素子13は、二電極素子としてもよく、例えば、発光ダイオード（LED）、マイクロ発光ダイオードディスプレイ（ μ LED）、フォトダイオード（photo diode）、又はイメージセンサ（image sensor）とすることができるが、それらに限定されない。また、表面実装素子13は、三電極素子（例えばトランジスタ）、若しくは集積回路（IC、例えばCPU）、能動素子、受動素子、コネクタ、又はその他の機能のSMDとしてもよく、本発明では限定しない。本実施例の表面実装素子13は、二つの電極131、132を有するLEDを例としている。一部の実施例において、例えば材料となるハンダを加熱方式で溶融してなる導電体114により、表面実装素子13の電極131が、それぞれ導電体114、電氣的接続パッド113及び薄膜配線112を介して、薄膜素子12に電氣的に接続されて、電極132が、他の導電体114、他の電氣的接続パッド113を介して他の薄膜配線112に接続される（他の薄膜配線112は、例えば、グランド又は電源側に接続されるか、又はその他の薄膜素子に接続されてもよい）。本実施例において、表面実装技術（SMT）を用いて表面実装素子13をフレキシブル基板111上に設けることで、公知技術のチップ転置工程を必要としないので、製造工程が簡単になり、コストも削減される。

20

30

【0033】

最後に、ステップS06を実行して、図2Eに示すように、硬質キャリア基板9を除去する。このうち、レーザ剥離（Laser lift-off）又は機械式剥離の技術により、硬質キャリア基板9を除去して、その後、更に、接着層91を除去した後に、システム・オン・フィルム（system on film、SOF）を有する電子装置1を得ることができる。

【0034】

よって、本実施例の電子装置1は、フレキシブル回路板11と、少なくとも一つの薄膜素子12と、少なくとも一つの表面実装素子13とを備えることができる。薄膜配線112は、フレキシブル基板111上に設けられており、電氣的接続パッド113は、フレキシブル基板111上に設けられるとともに薄膜配線112に電氣的に接続されており、電氣的接続パッド113の厚さは、2~20 μ mであり、薄膜素子12は、フレキシブル基板111上に設けられるとともに薄膜配線112に電氣的に接続されており、表面実装素子13は、フレキシブル基板111上に設けられ、且つ、表面実装素子13は、電氣的接続パッド113及び薄膜配線112を介して、薄膜素子12に電氣的に接続される。フレキシブル基板111上には、薄膜製造工程を通じて薄膜素子12を製作して薄膜配線112を設けており、更に、表面実装技術を用いて表面実装素子13を設けているため、電氣的接続パッド113及び薄膜配線112を介して、薄膜素子12に表面実装素子13が電

40

50

氣的に接続される。これにより、精細な配線及び素子を多く製作できることにより、電子装置 1 に、より高い素子設置密度を持たせることができる。

【 0 0 3 5 】

また、本発明の他の実施例の電子装置 2 の概略図である図 3 を参照されたい。電子装置 2 は、指紋センサ又は X 線センサとしてもよく、ここでは、指紋センサを例とするとともに、上記の製造方法を用いて製造される。

【 0 0 3 6 】

本実施例において、電子装置 2 は、フレキシブル回路板 2 1 と、複数の薄膜素子 2 2 と、少なくとも一つの表面実装素子 2 3 とを備える。このうち、表面実装素子 2 3 は、フレキシブル基板 2 1 1 上に設けられるとともに、薄膜素子 2 2 に電氣的に接続される（図には薄膜配線及び電氣的接続パッドは図示しない）。本実施例のフレキシブル回路板 2 1 のフレキシブル基板 2 1 1 は、作動領域 A 1（破線領域で示す）と、周辺領域 A 2（破線領域で示す）とを有する。このうち、薄膜素子 2 2 を駆動するために、薄膜素子 2 2 は、作動領域 A 1 内に位置し、且つ、表面実装素子 2 3 は、周辺領域 A 2 内（作動領域 A 1 ではないものはいずれも周辺領域 A 2 と見なしてもよい）に位置する。異なる実施例において、薄膜素子 2 2 は、周辺領域 A 2 内に位置し、且つ、表面実装素子 2 3 は、作動領域 A 1 内に位置することで、薄膜素子 2 2 により表面実装素子 2 3 を駆動してもよい。また、保護層 2 4 を設けて、それにより薄膜素子 2 2 及び表面実装素子 2 3 を被覆することで、外部の異物により、薄膜素子 2 2 又は表面実装素子 2 3 が汚損したり損傷したりするのを回避することができる。

【 0 0 3 7 】

本実施例において、薄膜素子 2 2 は指紋識別素子であり、且つ、その個数は複数である。薄膜素子 2 2 は、感知画素アレイ 2 5（指紋感知画素アレイ）を形成する。また、表面実装素子 2 3 は、作動領域 A 1 の感知画素アレイ 2 5 を駆動するためのものであって、手の指を、感知画素アレイ 2 5（作動領域 A 1）上の保護層 2 4 に押し付けるか、又は位置させると、感知画素アレイ 2 5 及び表面実装素子 2 3 を通じて指紋を検出して、識別することができる。

【 0 0 3 8 】

また、本発明の他の実施例の電子装置 3 の概略図である図 4 A を参照されたい。ここで、電子装置 3 は、アクティブマトリクスディスプレイを例とするとともに、同様に上記した製造方法を用いて製造される。

【 0 0 3 9 】

本実施例において、電子装置 3 は、フレキシブル回路板（図示せず）と、複数の薄膜素子 3 2 と、フレキシブル回路板のフレキシブル基板 3 1 1 上に設けられる複数の表面実装素子 3 3 とを備えている。表面実装素子 3 3 は、薄膜素子 3 2 にそれぞれ電氣的に接続される（図には薄膜配線及び電氣的接続パッドは図示しない）。また、本実施例の電子装置 3 は、走査駆動回路 3 4 と、データ駆動回路 3 5 と、複数の走査線及び複数のデータ線とを更に備えてもよい。これら複数のデータ線及びこれら複数の走査線は、フレキシブル基板 3 1 1 上にそれぞれ設けられ、且つ、走査駆動回路 3 4 は、それら複数の走査線を介して薄膜素子 3 2 に電氣的に接続され、データ駆動回路 3 5 は、それらのデータ線を介して薄膜素子 3 2 に電氣的に接続される。このうち、走査駆動回路 3 4 又はデータ駆動回路 3 5 は、少なくとも一つの集積回路チップを備えてもよい。集積回路チップは、フリップチップ技術（例えば C O F）でフレキシブル基板 3 1 1 上に設けられる。また、薄膜製造工程にてフレキシブル基板 3 1 1 上に走査駆動回路 3 4 又はデータ駆動回路 3 5 を直接形成してもよく、これに限定されない。

【 0 0 4 0 】

本実施例のフレキシブル回路板と、薄膜素子 3 2 と、表面実装素子 3 3 と、複数の走査線及び複数のデータ線とで、アクティブマトリクス回路が構成される。ここで、薄膜素子 3 2 は、少なくとも一つの薄膜トランジスタを備えており、且つ、表面実装素子 3 3 は、少なくとも一つの発光ダイオード（L E D C h i p）又は少なくとも一つのマイクロ発

10

20

30

40

50

光ダイオード (μ LED Chip) を有する。本実施例は、フレキシブル基板 311 上に、作動領域 A1 を有している。薄膜素子 32 及び表面実装素子 33 は、その個数がいずれも複数であり、且つ、いずれも作動領域 A1 内に位置して表示画素アレイを形成させる。このうち、各画素は、薄膜素子 32 と表面実装素子 33 とを有してもよい。言い換えれば、各々の表面実装素子 33 の発光ダイオードチップ (又はマイクロ発光ダイオードチップ) は、複数種類の組合せがあってもよい。例えば、各々の表面実装素子 33 は、一つの発光ダイオードチップ (又はマイクロ発光ダイオードチップ) を有するか、又は、色が異なる複数の発光ダイオードチップ (例えば三つのチップ又はマイクロチップが R、G、B の三種類の色である) を有するか、又は、四つのチップを有して三種類の色 (例えば R、R、G 及び B、又は W、R、G 及び B を有する) を有してもよい。ここでは、限定はしない。

10

【0041】

本発明の一実施例の電子装置 3 における隣接する三つの画素 P1 ~ P3 の回路概略図である図 4B を参照されたい。

【0042】

図 4B の実施例において、各表面実装素子 33 は、それぞれ一つの色の発光ダイオードであるものを例としている。ここで、画素 P1 の表面実装素子 33 は、例えば赤色 (R)、画素 P2 の表面実装素子 33 は例えば緑色 (G)、画素 P3 の表面実装素子 33 は例えば青色 (B) であることを例としている。また、各発光ダイオードチップ (表面実装素子 33) の一端は、電源 V_S にそれぞれ接続されており、そして各発光ダイオードチップ (表面実装素子 33) の他端は、薄膜素子 32 に、それぞれ電氣的に接続される。

20

【0043】

各画素において、例えば、画素 P1、薄膜素子 32 は、一本の走査線 S1、一本のデータ線及び一つの表面実装素子 33 (発光ダイオードチップ) に電氣的に接続される。特に言及しておくべきは、本実施例の発光ダイオードチップは、無機発光ダイオードであり、従来の薄膜製造工程で製作された発光ダイオードとは異なる。且つ、この発光ダイオードチップは、試験を経て良品となるものであるとともに、SMT によりフレキシブル基板 311 上に設けられているため、使用者の必要性に応じて所望の形状又はサイズに組合せることができ、且つ、完成した後の電子装置 3 の良品率が従来の薄膜製造工程で製作されたディスプレイよりも高くなるが、生産コストを低くすることができる。

30

【0044】

本実施例の画素 P1、P2、P3 において、各データ線 D1、D2、D3 は、それぞれデータ信号を受取って、これらに電氣的に接続されている表面実装素子 33 (発光ダイオードチップ) をそれぞれ制御することができる。しかし、その他の実施例において、一つの薄膜素子 32 で複数の表面実装素子 33 をそれぞれ制御してもよい。また、本実施例の画素 P1、P2、P3 の薄膜素子 32 は、少なくとも一つのスイッチングトランジスタ M と、駆動トランジスタ T と、キャパシタ C をそれぞれ有する。ここで、2T1C の回路構成を例とするが、その他の回路構成、例えば 4T2C 又は 5T1C としてもよい。以下は、画素 P1 の回路構造のみを説明する。

【0045】

画素 P1 において、スイッチングトランジスタ M のゲートは、走査線 S1 に接続されて、スイッチングトランジスタ M の第 1 端 M1 は、画素 P1 のデータ線 D1 に接続される。そして、スイッチングトランジスタ M の第 2 端 M2 は、駆動トランジスタ T のゲート及びキャパシタ C の一端にそれぞれ接続される。また、駆動トランジスタ T の第 1 端 T1 は、画素 P1 に電氣的に接続される発光ダイオードチップ (R) に接続され、そして、駆動トランジスタ T の第 2 端 T2 及びキャパシタ C の第 2 端は、それぞれグランドに接続される。ここで、薄膜素子 32 は、発光ダイオードチップの電流制御回路である。走査線 S1 が駆動されて導通すると、データ線 D1 は、データ信号を送信して、駆動トランジスタ T の第 1 端 T1 に接続される発光ダイオードチップ (R) の発光輝度を制御することができる。同じ原理で、データ線 D2 は、他のデータ信号を送信して、発光ダイオードチップ (G

40

50

)の発光輝度を制御することができ、そしてデータ線D3は、また一つのデータ信号を送信して、発光ダイオードチップ(B)の発光輝度を制御することができる。ここで、データ信号は、アナログ信号又はデジタル信号としてもよい。

【0046】

また、上記実施例にて記載する電子装置3において、その上に設けられる発光ダイオードチップがもし単色光(例えば青色光)を発光可能な発光ダイオードであれば、製造された電子装置3は、モノクロディスプレイ(monochrome display)となる。

【0047】

よって、本発明の電子装置3は、これら走査線をそれぞれ導通するとともに、薄膜素子32により、これらデータ線が送信したデータ信号をそれぞれ受取って、これらデータ信号に基づいて、これら表面実装素子33の発光ダイオードチップの発光状態を制御することができる。このうち、薄膜素子32は、それぞれこれら表面実装素子33の動作周期(duty cycle)又は電流値を制御することで、これら表面実装素子33の発光ダイオードチップの発光輝度を制御することができる。言い換えれば、薄膜素子32は、これら表面実装素子33の発光ダイオードの導通時間を制御するか、又は導通する電流を制御することで、発光ダイオードチップの発光輝度を制御することができるということである。

【0048】

従来のパッシブマトリクス式(PM)発光ダイオードディスプレイでは、発光ダイオードの駆動方式により発光時間が短くなることから、有効輝度が低く且つ瞬間電流が大きくなりがちで、走査信号の周波数への要求が高くなる。そのため、高輝度を達成するには、発光ダイオードのサイズも大きくなり、ディスプレイのサイズも大きくなってしまふ。しかし、本実施例の電子装置3は、アクティブマトリクス式発光ダイオードディスプレイであるうえ、フレキシブル基板311上に薄膜素子32及び表面実装素子33が設けられ、且つ、表面実装素子33は、電氣的接続パッド及び薄膜配線(図示せず)を介して薄膜素子32に電氣的に接続される。これにより、駆動電流を小さくしても同じ輝度を達成することができるため、発光ダイオードチップのサイズも小さくなり、電子装置3のサイズ及びコストを削減することができ、同時に高い製品信頼性を備えることができる。

【0049】

また、図5A及び図5Bを参照されたい。このうち、図5Aは本発明の他の実施例の電子装置4の平面概略図であり、そして図5Bは一実施例の電子装置4の側面概略図である。

【0050】

図5Aにおいて、電子装置4は、フレキシブル回路板41と、少なくとも一つの薄膜素子と、少なくとも一つの表面実装素子とを備える。薄膜素子は、フレキシブル基板411の作動領域A1に設けられ、表面実装素子は、フレキシブル基板411の周辺領域A2に設けられるとともに、電氣的接続パッド及び薄膜配線を介して、薄膜素子に電氣的に接続される(図には薄膜素子、表面実装素子、薄膜配線及び電氣的接続パッドは図示しない)。

【0051】

本実施例の薄膜素子の個数は、複数としてもよく、しかも、一つの画素アレイを組成することができる。このうち、薄膜素子は、例えばマイクロ発光ダイオード(μ LED)又は有機発光ダイオード(OLED)としてもよく、しかも、低温ポリシリコン(LTPS)薄膜製造工程で作動領域A1上に製作することとなり、電子装置4をマイクロ発光ダイオードディスプレイ又は有機発光ダイオードディスプレイとするが、それらに限定されない。また、周辺領域A2には、作動領域A1を駆動するこれら薄膜素子の駆動回路が設けられており、前記駆動回路は、複数の表面実装素子を備えてもよい。これら表面実装素子は、集積回路、例えばCPU、その他の機能の表面実装素子、リード線又は回路を有してもよい。このうち、周辺領域A2の表面実装素子も、例えば、低温ポリシリコン(LTP

10

20

30

40

50

S) 薄膜製造工程で製作してもよく、これに限定されない。

【0052】

一実施例において、図5Bに示すように、周辺領域A2をフレキシブル基板411の下側に折り曲げて(図5Aの破線箇所を先に半分カットして、折り曲げしやすくしてもよい)、周辺領域A2と作動領域A1とを、フレキシブル基板411の垂直投影方向上で少なくとも一部を重ならせる。

【0053】

従来のディスプレイでは、一般的に、軟質プレート(例えばCOF)を介してプリント回路板及び表示パネルがそれぞれ接続され、プリント回路板上に設けられる駆動回路が軟質プレートを介して表示パネルに電氣的に接続されることで、表示パネルの動作を駆動する。組付け時に、プリント回路板と表示パネルとの間の軟質プレートが折り曲げ可能であるため、一般的な手法として、軟質プレートによりプリント回路板を表示パネルの下側に折り曲げることで、省スペース化を図る。しかし、このような手法ではディスプレイの全体的な厚さが厚くなってしまう。

10

【0054】

しかし、図5Bの実施例において、電子装置4は、薄膜製造工程で作動領域A1に薄膜素子が製作されるとともに、表面実装技術を用いて周辺領域A2に表面実装素子が設けられている。薄膜素子、表面実装素子、薄膜配線及び電氣的接続パッドは、いずれもフレキシブル基板411の同一表面上に設けられている。そのため、フレキシブル基板411上に精細な配線及び素子を多く製作することができる。しかも、その製造工程は、容易、簡単で、且つコストも低くなる。また、フレキシブル基板411を直接折り曲げて、周辺領域A2上の駆動回路を作動領域A1の下側に位置させることができるため、上記した従来の手法に比べて、電子装置4をより薄型化できるという長所を備える。

20

【0055】

上記をまとめるに、本発明の電子装置及びその製造方法において、薄膜配線と少なくとも一つの電氣的接続パッドとをフレキシブル基板上に設けるものであり、電氣的接続パッドの厚さは、2~20µmであって、更に少なくとも一つの薄膜素子を設けるとともに薄膜配線及び電氣的接続パッドに電氣的に接続し、且つ、表面実装素子を設けるとともに、電氣的接続パッド及び薄膜配線を介して薄膜素子に電氣的に接続する。これにより、従来の技術で製造された電子装置に比べて、本発明の電子装置は、フレキシブル基板上に薄膜製造工程を通じて薄膜素子を製造した後に、更に表面実装技術(SMT)を用いて表面実装素子(SMD)を設けるので、精細な配線及び素子を多く製作できることにより、素子設置密度を向上することができる。

30

【0056】

上記は単に例示に過ぎず、限定するものではない。本発明の技術思想及び範囲を超えることなく、これに対して行う等価の修正又は変更のいずれも、別紙の特許請求の範囲に含まれるものである。

【産業上の利用可能性】

【0057】

本発明が提供する電子装置及びその製造方法は、フレキシブル基板上に薄膜製造工程を通じて薄膜素子を製造した後に、更に表面実装技術(SMT)を用いて表面実装素子(SMD)を設けるので、精細な配線及び素子を多く製作できることにより、素子設置密度を向上することができる。

40

【符号の説明】

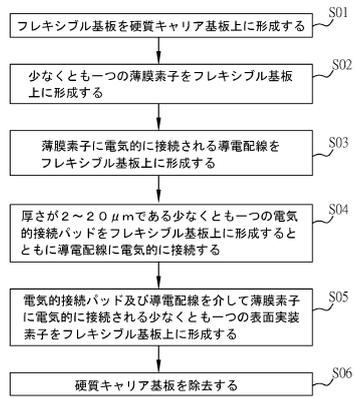
【0058】

- 1、2、3、4 電子装置
- 11、21、41 フレキシブル回路板
- 111、211、311、411 フレキシブル基板
- 112 薄膜配線
- 113 電氣的接続パッド

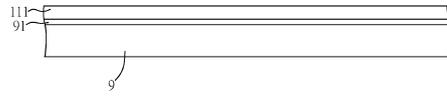
50

1 1 4	導電体	
1 2、2 2、3 2	薄膜素子	
1 3、2 3、3 3	表面実装素子	
1 3 1、1 3 2	電極	
2 4	保護層	
2 5	感知画素アレイ	
3 4	走査駆動回路	
3 5	データ駆動回路	
9	硬質キャリア基板	
9 1	接着層	10
A 1	作動領域	
A 2	周辺領域	
B	青色	
C	キャパシタ	
d	厚さ	
D 1、D 2、D 3	データ線	
G	緑色	
M	スイッチングトランジスタ	
M 1、T 1	第 1 端	
M 2、T 2	第 2 端	20
P 1、P 2、P 3	画素	
R	赤色	
S 0 1ないしS 0 6	ステップ	
S 1、S 2、S 3	走査線	
T	駆動トランジスタ	
V _s	電源	

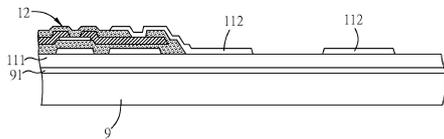
【図 1】



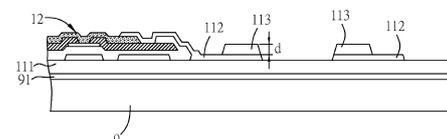
【図 2 A】



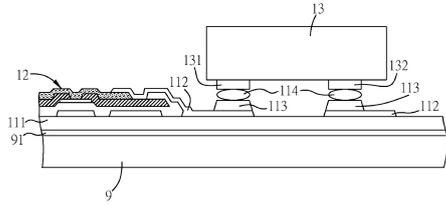
【図 2 B】



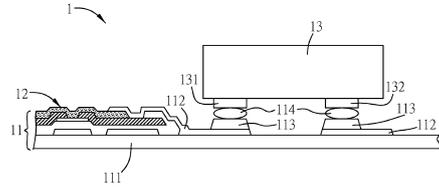
【図 2 C】



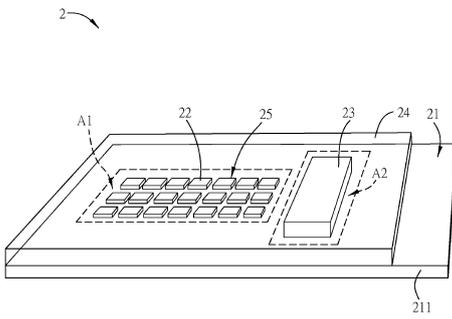
【図 2 D】



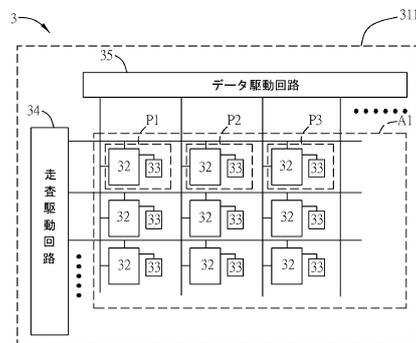
【図 2 E】



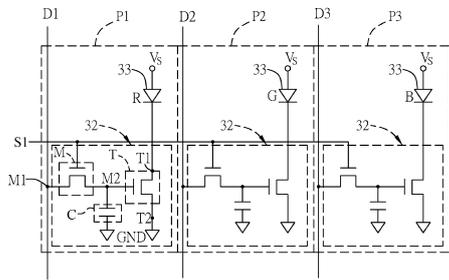
【図 3】



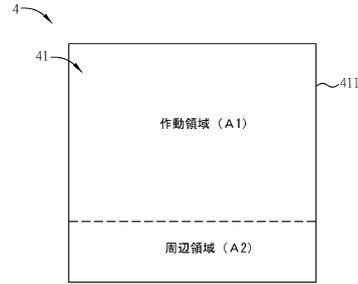
【図 4 A】



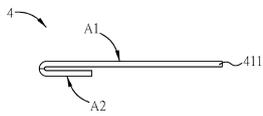
【図4B】



【図5A】



【図5B】



フロントページの続き

- (56)参考文献 特開2005-338179(JP,A)
特開2008-147328(JP,A)
特開2008-302514(JP,A)
特開2005-035285(JP,A)
特開2006-269615(JP,A)
特表2014-512556(JP,A)
特開2015-072361(JP,A)
特開2007-034315(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 3/00
H01L 23/12