



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

PATENTCHRIFT

(19) **DD** (11) **225 022 A1**

4(51) H 03 K 19/088
H 03 K 17/30
H 03 K 3/295

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP H 03 K / 264 619 0

(22) 28.06.84

(44) 17.07.85

(71) VEB Halbleiterwerk Frankfurt (Oder), 1200 Frankfurt (Oder), DD

(72) Kühnel, Dieter, Dipl.-Ing.; Kühn, Rainer, Dr.-Ing.; Maasch, Günter, Dipl.-Ing.; Böttcher, Wolfgang, Dipl.-Ing., DD

(54) **Schaltungsanordnung mit Hystereseverhalten in digitalen Schaltkreisen**

(57) Die Erfindung bezieht sich auf digitale Schaltungen, deren Übertragungskennlinie ein Hystereseverhalten aufweist, insbesondere Schaltungen mit TTL-Logik. Die Erfindung ist darauf gerichtet, störsichere Eingangsstufen für digitale Schaltkreise mit Hystereseverhalten zu schaffen, die den logischen TTL-Pegelbereich ohne Einschränkungen sicher erkennen. Erfindungsgemäß wird eine Schottkydiode in den für die Lage der Schaltschwellen verantwortlichen Referenzweig eingefügt.

Frankfurt (Oder), den 27.6.84

Erfinder: Böttcher, Wolfgang, Dipl.-Ing.
Maasch, Günter, Dipl.-Ing.
Kühn, Rainer, Dr.-Ing.
Kühnel, Dieter, Dipl.-Ing.

Titel der Erfindung

Schaltungsanordnung mit Hystereseverhalten in digitalen Schaltkreisen

Anwendungsgebiet der Erfindung

Die Erfindung bezieht sich auf eine digitale Schaltungsanordnung, die es ermöglicht, Schaltungen aufzubauen, deren Übertragungskennlinie ein Hystereseverhalten aufweist, insbesondere Schaltungen mit TTL-Logik.

Charakteristik der bekannten technischen Lösungen

Herkömmliche TTL-Schaltungen, wie sie aus der Literatur hinreichend bekannt sind, verwenden in vielen Fällen Multiemitter-npn- oder pnp-Transistoren als Bauelemente am Eingang der Schaltung. Durch die Art der Verbindung dieser Eingangstransistoren mit den Transistoren der nachfolgenden Schaltung erfolgt die Festlegung der Schaltschwelle für die gesamte Struktur. Da für TTL-Standardschaltungen Eingangsspannungen $\leq 0,8$ V

als "Low" und $\geq 2,0$ V als "High" erkannt werden sollen, liegt die Schaltschwelle U_{IS} am günstigsten bei etwa 1,4 V; d. h. es existieren etwa gleiche Störsicherheiten bezüglich des Low- und des High-Pegels. Eine Erhöhung dieser Störsicherheiten kann erreicht werden, wenn die Eingangsschaltung Hystereseeigenschaften besitzt; d. h. die Einschaltspannung U_{ISL} (Übergang Low - High am Eingang) größer als die Ausschaltspannung U_{ISH} (Übergang High - Low am Eingang) ist. Eine Möglichkeit der Erzeugung einer solchen Hysterese wird im EP 0 041 363 dargestellt. Die dort gezeigte Schaltungsvariante besitzt jedoch den Nachteil, daß sie nicht mit den oben genannten TTL-Eingangsbedingungen arbeiten kann, da die erreichte Hysterese nicht symmetrisch zur günstigsten Umschaltswelle von 1,4 V liegt. Die erreichten Schwellenspannungen liegen bei etwa 1,3 V (U_{ISL}) und 0,9 V (U_{ISH}). Der maximal zulässige Low-Pegel am Eingang der Schaltung muß damit auf etwa 0,6 V begrenzt werden, da er sonst bei geringen Flußspannungen der im Referenzweig liegenden Transistoren und/oder erhöhten Umgebungstemperaturen nicht mehr sicher erkannt wird.

Ziel der Erfindung

Das Ziel der vorliegenden Erfindung besteht in der Schaffung störsicherer Eingangsstufen für digitale Schaltkreise, die ein Hystereseverhalten aufweisen und den logischen TTL-Pegelbereich ohne Einschränkungen sicher erkennen.

Darlegung des Wesens der Erfindung

Die Aufgabe der Erfindung besteht darin, die gesamte Spannungshysterese in positiver Richtung zu verschieben, so daß die Erhöhung der Störsicherheiten für beide logische Eingangspegel wirksam und ein sicheres Arbeiten der Schaltung bei Einhaltung der oben genannten TTL-Eingangspegel gewährleistet wird. Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß eine Schottkydiode in den für die Lage der Schaltschwellen verant-

wortlichen Referenzzweig eingefügt ist. Je nach der Auslegung dieser Schottkydiode; d. h. nach ihren geometrischen Abmessungen und der Höhe der Potentialbarriere werden die Schwellspannungen um den Wert der Diodenflußspannung in positiver Richtung verschoben. Es ergeben sich die Schaltschwellen

$$U_{ISH} = -U_{EBX1} + U_{BEX4} + U_{BEX2} + U_{BEX3} + U_F;$$

$$U_{ISL} = -U_{EBX1} + U_{CEX5} + U_{BEX2} + U_{BEX3} + U_F.$$

Die eingeführte Schottkydiode ist dabei vorzugsweise direkt an den Emitter des für die Erzeugung der Hysterese verantwortlichen Transistors anzuschließen, um eine Auswirkung der Potentialverschiebung auf die Funktion der der Eingangsstufe nachfolgenden Schaltung zu vermeiden. Weiterhin ist sie mit einer Eingangsschaltung verbunden.

Damit werden beide Störsicherheiten erhöht, wobei ausreichende Sicherheitsabstände zu den minimal bzw. maximal zulässigen Eingangsspannungspegeln für die beiden logischen Zustände vorhanden sind.

Ausführungsbeispiel

Die erfindungsgemäße Lösung ist nachfolgend an einem Ausführungsbeispiel beschrieben.

- Figur 1 Prinzipschaltbild
- Figur 2 Treiberstufe unter Verwendung der erfindungsgemäßen Lösung
- Figur 3 Übertragungskurven der Treiberstufen bei unterschiedlichen Umgebungstemperaturen
- Figur 4 - 6 Verschiedene Varianten der Eingangsschaltung

Im folgenden soll die Wirkungsweise der Schaltung gemäß Figur 2 beschrieben werden.

Bei Low-Pegel am Eingang leitet der pnp-Transistor T1; die Referenzstrecke T4 (T5) - D2-T2-T3 ist gesperrt. Der Darling-tontransistor T8/T9 wird durchgesteuert. Damit liegt am Ausgang der Schaltung hohes Potential. Als Referenzpunkt für das Zuschalten der Rückkopplung wirkt der Basisanschluß von T7. Es gilt:

$$U_{D4} + U_{BET6} + U_{BCT7} = U_{BET7} + U_{CET2} + U_{BET3}$$

Ist T2 gesperrt, so fließt der gesamte Basisstrom von T7 in die Basis von T6 und steuert diesen durch. Damit wird dem Transistor T5 der Basisstrom entzogen; er ist gesperrt. Bei Erhöhung der Eingangsspannung bis zum Wert der Einschalt-schwelle wird T2 durchgesteuert; am Ausgang der Schaltung liegt niedriges Potential. Gleichzeitig öffnet die Basis-Emitter-Diode von T7; T6 bekommt keinen Basisstrom mehr und sperrt. Dadurch leitet T5, und die Basis-Emitter-Diode von T4 wird mit der durchgesteuerten Kollektor-Emitter-Strecke des Transistors T5 überbrückt. Damit verändert sich die Referenz-strecke am Eingang der Schaltung, so daß erst bei einer Aus-schaltspannung U_{ISL} , die etwa 0,3 - 0,5 V niedriger als die Einschalt-schwellenspannung U_{ISH} ist, das Low-Signal am Eingang erkannt wird. Dann stellt sich der oben beschriebene Anfangs-zustand wieder ein; d. h., auch T5 sperrt wieder und besitzt damit keinen Einfluß auf die Eingangsreferenzstrecke.

Ein entsprechendes Diagramm mit der Darstellung von Übertra-gungskurven dieser Schaltung bei verschiedenen Umgebungstem-peraturen wird in Figur 3 gezeigt.

Neben der in Figur 1 dargestellten Eingangskonfiguration sind auch Varianten mit anderen Eingangselementen möglich, die in Verbindung mit der Schottkydiode D2 die gleiche Wirkung wie oben beschrieben hervorrufen.

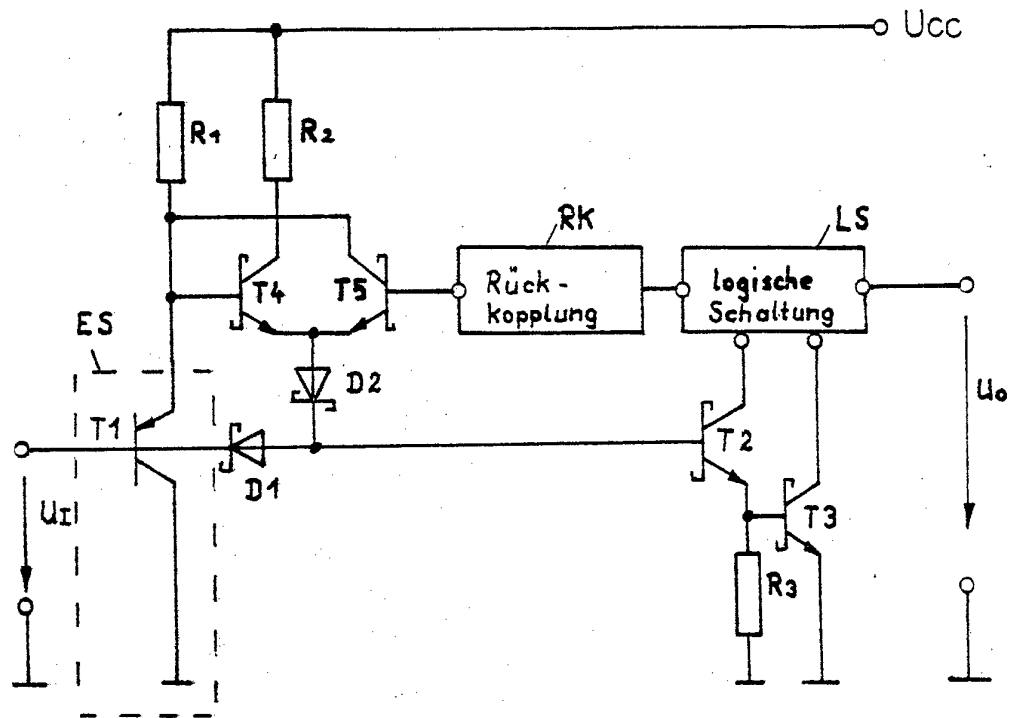
Solche Eingangselemente sind:

- der Multiemitter-pnp-Transistor T11 (Fig. 4),
- der npn-Transistor T21 (Fig. 5),
- die Schottkydiode D11 (Fig. 6).

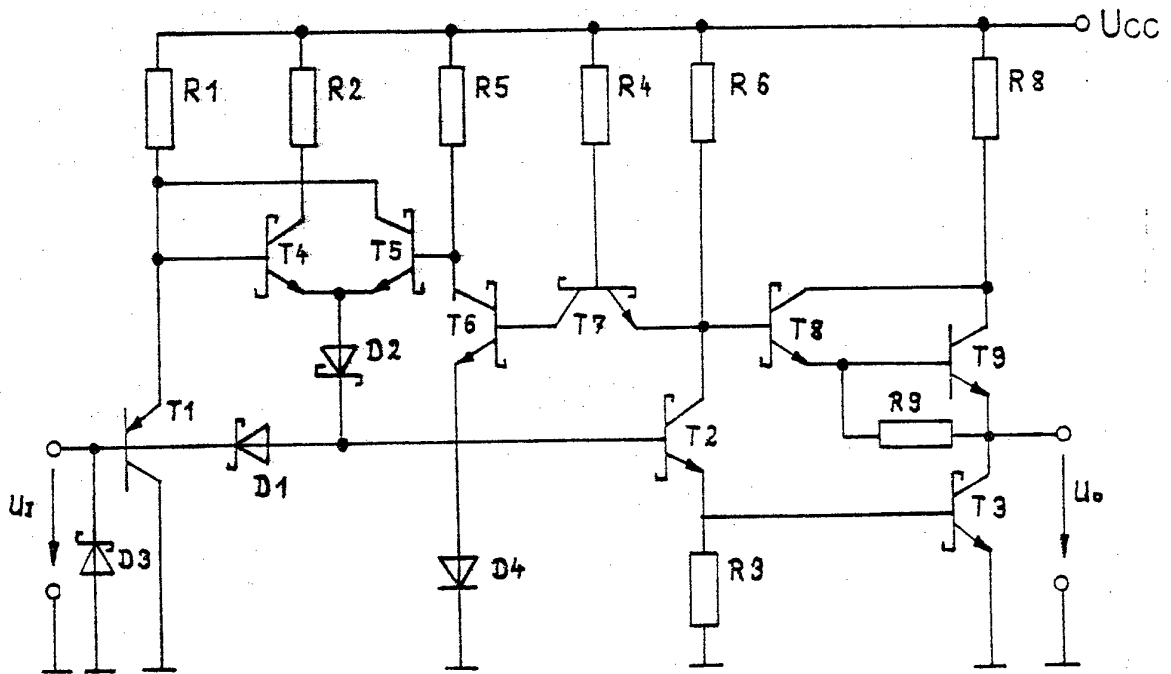
Erfindungsanspruch

1. Schaltungsanordnung mit Hystereseverhalten in digitalen Schaltungen mit 2 Transistoren, wobei der Kollektor des zweiten Transistors und die Basis des ersten Transistors verbunden sind, gekennzeichnet dadurch, daß die Emitter beider Transistoren (T4; T5) gemeinsam über eine Schottkydiode (D2) mit der Basis nachgeschalteter Treibertransistoren (T2; T3) und über weitere Schaltelemente (LS; RK) mit der Basis von (T5) verbunden sind, wobei die Katode der Diode (D2) weiterhin mit einer Eingangsschaltung (ES) zusammengeschaltet ist.
2. Schaltungsanordnung nach Punkt 1, gekennzeichnet dadurch, daß die Eingangsschaltung (ES) durch einen pnp-Transistor (T1) realisiert ist.
3. Schaltungsanordnung nach Punkt 1, gekennzeichnet dadurch, daß die Eingangsschaltung (ES) durch einen Multiemitterpnp-Transistor (T11) realisiert ist.
4. Schaltungsanordnung nach Punkt 1, gekennzeichnet dadurch, daß die Eingangsschaltung (ES) durch einen npn-Transistor (T21) realisiert ist.
5. Schaltungsanordnung nach Punkt 1, gekennzeichnet dadurch, daß die Eingangsschaltung (ES) durch eine Schottkydiode (D11) realisiert ist.

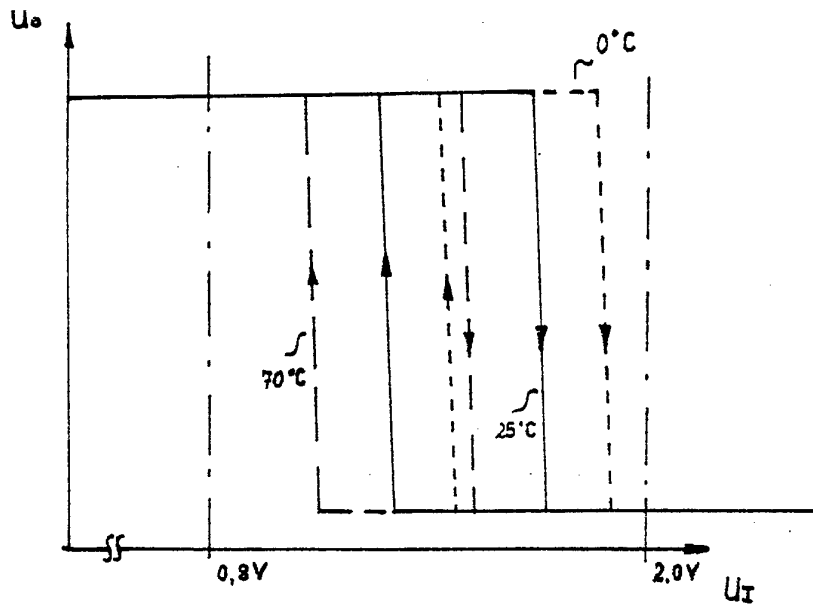
Hierzu 2 Seiten Zeichnungen



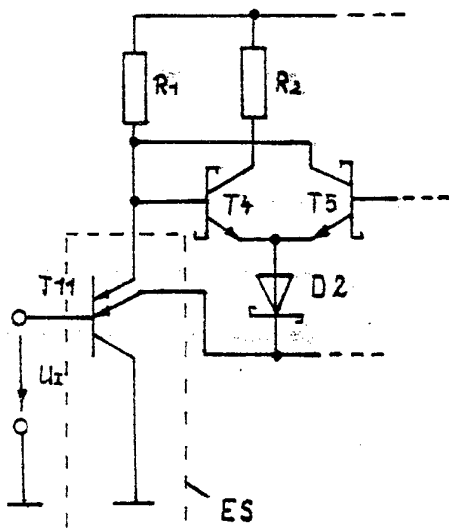
Figur 1



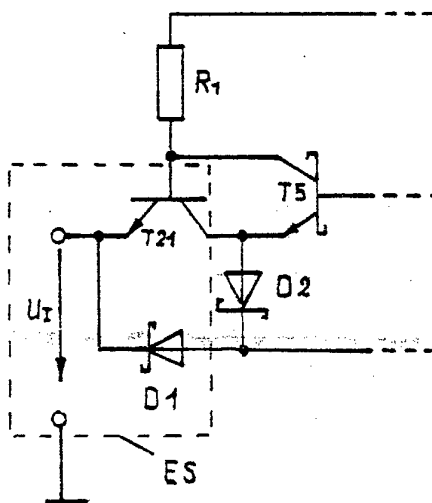
Figur 2



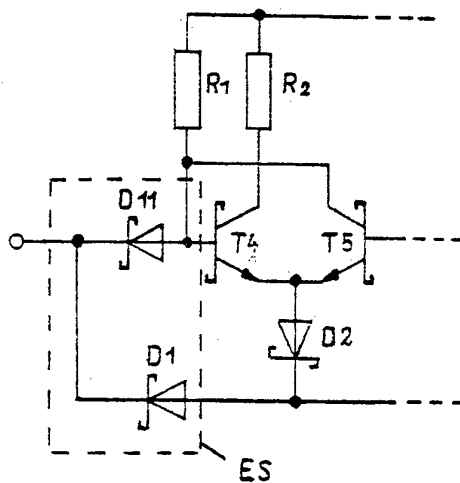
Figur 3



Figur 4



Figur 5



Figur 6