

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3631463号

(P3631463)

(45) 発行日 平成17年3月23日(2005.3.23)

(24) 登録日 平成16年12月24日(2004.12.24)

(51) Int. Cl.⁷

F I

G 1 1 C 16/02

G 1 1 C 17/00

6 1 1 E

G 1 1 C 16/06

G 1 1 C 17/00

6 4 1

H O 1 L 21/8247

G 1 1 C 17/00

6 1 1 A

H O 1 L 27/115

G 1 1 C 17/00

6 3 4 F

H O 1 L 29/788

H O 1 L 27/10

4 3 4

請求項の数 31 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2001-397446 (P2001-397446)
 (22) 出願日 平成13年12月27日(2001.12.27)
 (65) 公開番号 特開2003-196988 (P2003-196988A)
 (43) 公開日 平成15年7月11日(2003.7.11)
 審査請求日 平成13年12月27日(2001.12.27)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (73) 特許権者 592012513
 サンディスク コーポレーション
 SanDisk Corporation
 アメリカ合衆国、94089、カリフォル
 ニア州、サニーバール、カスピアン コー
 ト 140
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100068814
 弁理士 坪井 淳

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

電氣的にデータの書き換えが可能な不揮発性半導体メモリセルと、
 前記メモリセルにデータを書き込む書き込み回路であり、前記メモリセルに書き込み電圧
 と書き込み制御電圧とを供給して前記メモリセルに書き込みを行い、前記メモリセルが第
 1の書き込み状態に達したら前記書き込み制御電圧の供給状態を変えて前記メモリセルに
 書き込みを行い、前記メモリセルが第2の書き込み状態に達したら前記書き込み制御電圧
 の供給状態をさらに変えて前記メモリセルの書き込みを禁止する書き込み回路とを具備し
 、
 書き込み回路は、前記メモリセルに継続して前記書き込み電圧が供給されている間は前記
 書き込み制御電圧の供給状態を変えないことを特徴とする不揮発性半導体記憶装置。

10

【請求項2】

電氣的にデータの書き換えが可能な不揮発性半導体メモリセルと、
 前記メモリセルにデータを書き込む書き込み回路であり、前記メモリセルに書き込み電圧
 と第1の値を有する書き込み制御電圧とを供給して前記メモリセルに書き込みを行い、前
 記メモリセルが第1の書き込み状態に達したら前記書き込み制御電圧の値を前記第1の値
 とは異なる第2の値に変えて前記メモリセルに書き込みを行い、前記メモリセルが第2の
 書き込み状態に達したら前記書き込み制御電圧の値を前記第1及び第2の値とはそれぞれ
 異なる第3の値に変えて前記メモリセルの書き込みを禁止する書き込み回路とを具備し、
 前記書き込み回路は、前記メモリセルに継続して前記書き込み電圧が供給されている間は

20

前記書き込み制御電圧の供給状態を変えないことを特徴とする不揮発性半導体記憶装置。

【請求項 3】

前記第 2 の値が前記第 1 の値よりも大きく、前記第 3 の値が前記第 2 の値よりも大きいことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】

前記第 3 の値が電源電圧の値であることを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】

電氣的にデータの書き換えが可能な不揮発性半導体メモリセルと、
前記メモリセルにデータを書き込む書き込み回路であり、前記メモリセルに書き込み電圧を供給した状態で第 1 の値を有する書き込み制御電圧を第 1 の期間だけ供給して前記メモリセルに書き込みを行い、前記メモリセルが第 1 の書き込み状態に達したら前記メモリセルに前記書き込み電圧を供給した状態で前記第 1 の値を有する書き込み制御電圧を前記第 1 の期間とは異なる第 2 の期間だけ供給して前記メモリセルに書き込みを行い、前記メモリセルが第 2 の書き込み状態に達したら前記書き込み制御電圧の値を前記第 1 の値よりも大きい第 2 の値に変えて前記メモリセルの書き込みを禁止する書き込み回路とを具備したことを特徴とする不揮発性半導体記憶装置。

10

【請求項 6】

前記第 2 の期間が前記第 1 の期間よりも短いことを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

20

【請求項 7】

前記第 2 の値が電源電圧の値であることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】

前記不揮発性半導体メモリセルは n 値 (n は 3 以上の正の整数) のデータを記憶する請求項 1、2、5 のいずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 9】

前記書き込み回路は、前記不揮発性半導体メモリセルに対して書き込みを行う際に前記書き込み電圧の値を変化させて書き込みを行うことを特徴とする請求項 1、2、5 のいずれか 1 項記載の不揮発性半導体記憶装置。

30

【請求項 10】

前記書き込み回路は、前記不揮発性半導体メモリセルに対して書き込みを行う際に前記書き込み電圧の値が順次増加するように変化させて書き込みを行うことを特徴とする請求項 1、2、5 のいずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 11】

前記書き込み回路は、前記不揮発性半導体メモリセルに対して書き込みを行う際に前記書き込み電圧の値が一定の割合で順次増加するように変化させて書き込みを行うことを特徴とする請求項 1、2、5 のいずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 12】

前記不揮発性半導体メモリセルが浮遊ゲート、制御ゲート、ソース、及びドレインを有する不揮発性トランジスタであり、
前記書き込み回路は前記書き込み電圧を前記不揮発性トランジスタの制御ゲートに供給し、前記書き込み制御電圧を前記不揮発性トランジスタのドレインに供給することを特徴とする請求項 1、2、5 のいずれか 1 項記載の不揮発性半導体記憶装置。

40

【請求項 13】

それぞれ電氣的にデータの書き換えが可能な複数の不揮発性半導体メモリセルと、
前記複数のメモリセルに共通に接続された複数のワード線と、
前記複数のメモリセルのそれぞれに接続された複数のビット線と、
前記複数のメモリセルにデータを書き込む書き込み回路とを具備し、
前記書き込み回路は、前記複数のビット線のそれぞれに対応して設けられ、第 1 及び第 2

50

の制御データを記憶するデータ記憶回路を有し、

前記書き込み回路は、

対応するメモリセルに書き込むべきデータに応じて前記データ記憶回路に第1の制御データを設定し、

前記ワード線に書き込み電圧を供給すると共に前記第1の制御データとして書き込みが必要なデータが記憶されている前記データ記憶回路に対応するビット線に書き込み制御電圧を供給して対応するメモリセルに書き込みを行い、

書き込みが行われている前記メモリセルのうち第1の書き込み状態に達したメモリセルに対応する前記データ記憶回路に前記第2の制御データとして第1の書き込み状態が終了したことを表すデータを設定した後、前記書き込み制御電圧の供給状態を変えて前記第1の書き込み状態に達した前記メモリセルに書き込みを行い、

書き込みが行われているメモリセルのうち第2の書き込み状態に達したメモリセルに対応する前記データ記憶回路に第1の制御データとして第2の書き込み状態が終了したことを表すデータを設定した後、前記書き込み制御電圧の供給状態をさらに変えて前記第2の書き込み状態に達した前記メモリセルの書き込みを禁止し、前記メモリセルに継続して前記書き込み電圧が供給されている間は前記書き込み制御電圧の供給状態を変えないことを特徴とする不揮発性半導体記憶装置。

10

【請求項14】

前記書き込み回路は、前記データ記憶回路に第2の制御データとして第1の書き込み状態が終了したことを表すデータを設定した後はそのデータを保持させることを特徴とする請求項13記載の不揮発性半導体記憶装置。

20

【請求項15】

前記書き込み回路は、前記データ記憶回路に前記第2の制御データとして第1の書き込み状態が終了したことを表すデータを設定した後に、前記書き込み制御電圧の値を変えて前記第1の書き込み状態に達した前記メモリセルに書き込みを行うことを特徴とする請求項13記載の不揮発性半導体記憶装置。

【請求項16】

前記書き込み回路は、前記データ記憶回路に前記第2の制御データとして第1の書き込み状態が終了したことを表すデータを設定した後に、前記書き込み制御電圧の値を大きくして前記第1の書き込み状態に達した前記メモリセルに書き込みを行うことを特徴とする請求項13記載の不揮発性半導体記憶装置。

30

【請求項17】

電氣的にデータの書き換えが可能な不揮発性半導体メモリセルと、

前記メモリセルにデータを書き込む書き込み回路であり、前記メモリセルにその値が順次増加する書き込み電圧と第1の実効電圧を有する書き込み制御電圧とを供給して前記メモリセルに書き込みを行い、前記メモリセルが第1の書き込み状態に達したら前記書き込み制御電圧を前記第1の実効電圧とは異なる第2の実効電圧に変えて前記メモリセルに供給して前記メモリセルに書き込みを行い、前記メモリセルが第2の書き込み状態に達したら前記メモリセルの書き込みを禁止する書き込み回路とを具備し、

書き込み回路は、前記メモリセルに継続して前記書き込み電圧が供給されている間は前記書き込み制御電圧の供給状態を変えないことを特徴とする不揮発性半導体記憶装置。

40

【請求項18】

電氣的にデータの書き換えが可能な不揮発性半導体メモリセルと、

前記メモリセルにデータを書き込む書き込み回路であり、前記メモリセルに一定値ずつ値が順次増加するような書き込み電圧と第1の実効電圧を有する書き込み制御電圧とを供給して前記メモリセルに書き込みを行い、前記メモリセルが第1の書き込み状態に達したら前記書き込み制御電圧を前記第1の実効電圧とは異なる第2の実効電圧に変えて前記メモリセルに供給して前記メモリセルに書き込みを行い、前記メモリセルが第2の書き込み状態に達したら前記メモリセルの書き込みを禁止する書き込み回路とを具備し、

前記第2の実効電圧と前記第1の実効電圧との差が、前記書き込み電圧の値を増加させる

50

一定値よりも大きく設定されているとともに、前記書き込み回路は、前記メモリセルに継続して前記書き込み電圧が供給されている間は前記書き込み制御電圧の供給状態を変えないことを特徴とする不揮発性半導体記憶装置。

【請求項 19】

前記不揮発性半導体メモリセルは n 値 (n は 3 以上の正の整数) のデータを記憶する請求項 17 または 18 記載の不揮発性半導体記憶装置。

【請求項 20】

前記不揮発性半導体メモリセルが浮遊ゲート、制御ゲート、ソース、及びドレインを有する不揮発性トランジスタであり、

前記書き込み回路は前記書き込み電圧を前記不揮発性トランジスタの制御ゲートに供給し、前記書き込み制御電圧を前記不揮発性トランジスタのドレインに供給することを特徴とする請求項 18 または 19 記載の不揮発性半導体記憶装置。

10

【請求項 21】

電氣的に書き換えが可能な不揮発性半導体メモリセルと、

前記メモリセルにデータを書き込む書き込み回路であり、前記メモリセルに書き込み電圧と書き込み制御電圧とを供給して前記メモリセルに書き込みを行い前記メモリセルの書き込み状態を変化させ、前記書き込み制御電圧の供給状態を変えて前記書き込み状態の変化速度を緩和し、前記書き込み状態の変化速度が緩和されている間に前記メモリセルに対する書き込みを終了させる書き込み回路とを具備し、

前記書き込み回路は、前記メモリセルに継続して前記書き込み電圧が供給されている間は前記書き込み制御電圧の供給状態を変えないことを特徴とする不揮発性半導体記憶装置。

20

【請求項 22】

電氣的に書き換えが可能な不揮発性半導体メモリセルと、

前記メモリセルにデータを書き込む書き込み回路であり、前記メモリセルに書き込み電圧と書き込み制御電圧とを供給して前記メモリセルに書き込みを行い前記メモリセルの書き込み状態を変化させ、前記書き込み制御電圧の供給状態を変えて前記書き込み状態の変化速度を緩和し、前記書き込み状態の変化速度が緩和されている間にさらに前記書き込み制御電圧の供給状態を変えて前記メモリセルに対する書き込みを終了させる書き込み回路とを具備し、

前記書き込み回路は、前記メモリセルに継続して前記書き込み電圧が供給されている間は前記書き込み制御電圧の供給状態を変えないことを特徴とする不揮発性半導体記憶装置。

30

【請求項 23】

前記書き込み回路は、前記メモリセルに対して書き込みを行う際に前記書き込み電圧の値を順次増加するように変化させて書き込みを行うことを特徴とする請求項 21 あるいは 22 記載の不揮発性半導体記憶装置。

【請求項 24】

前記書き込み回路は、前記メモリセルの書き込み状態が第 1 のレベルに達したかを検出し、前記メモリセルの書き込み状態が第 1 のレベルに達したと検出すると前記書き込み制御電圧の供給状態を変えて前記書き込み状態の変化速度を緩和することを特徴とする請求項 21 あるいは 22 記載の不揮発性半導体記憶装置。

40

【請求項 25】

前記書き込み回路は、前記メモリセルの書き込み状態が第 2 のレベルに達したかを検出し、前記メモリセルの書き込み状態が第 2 のレベルに達したと検出すると前記メモリセルに対する書き込みを終了させることを特徴とする請求項 24 記載の不揮発性半導体記憶装置。

【請求項 26】

前記メモリセルの制御ゲートに接続されたワード線と、

前記メモリセルのドレインに接続されたビット線とをさらに備え、

前記書き込み回路は前記書き込み電圧を前記ワード線に供給し、前記書き込み制御電圧を前記ビット線に供給することを特徴とする請求項 21 あるいは 22 記載の不揮発性半導体

50

記憶装置。

【請求項 27】

前記書き込み回路は、前記メモリセルに1ビットより多いデータを記憶させることを特徴とする請求項 21 あるいは 22 記載の不揮発性半導体記憶装置。

【請求項 28】

電氣的に書き換えが可能な不揮発性半導体メモリセルと、
前記メモリセルに読み出し電圧を印加して前記メモリセルに記憶されているデータを読み出す読み出し回路と、

前記メモリセルにデータを書き込む書き込み回路であり、前記メモリセルに第1のペリファイ電圧を印加して前記メモリセルの書き込み状態が第1のレベルに達したかを検出し、
前記メモリセルの書き込み状態が前記第1のレベルに達していなければ前記メモリセルに書き込み電圧と第1の実効電圧を有する書き込み制御電圧を印加して書き込みを行い、前記メモリセルの書き込み状態が前記第1のレベルに達していれば前記メモリセルに前記書き込み電圧と第2の実効電圧を有する書き込み制御電圧を印加して書き込みを行い、前記メモリセルに第2のペリファイ電圧を印加して前記メモリセルの書き込み状態が第2のレベルに達したかを検出し、前記メモリセルの書き込み状態が前記第2のレベルに達していれば前記メモリセルに前記書き込み電圧と第3の実効電圧を有する書き込み制御電圧を印加して書き込みを禁止する書き込み回路とを具備し、

前記書き込み回路は、前記メモリセルに継続して前記書き込み電圧が供給されている間は前記書き込み制御電圧の供給状態を変えないとともに、前記読み出し電圧と前記第2のペリファイ電圧との差が前記第1のペリファイ電圧と前記第2のペリファイ電圧との差よりも大きいことを特徴とする不揮発性半導体記憶装置。

【請求項 29】

前記書き込み回路は、前記メモリセルに対して書き込みを行う際に前記書き込み電圧の値を順次増加するように変化させて書き込みを行うことを特徴とする請求項 28 記載の不揮発性半導体記憶装置。

【請求項 30】

前記メモリセルの制御ゲートに接続されたワード線と、
前記メモリセルのドレインに接続されたビット線とをさらに備え、
前記書き込み回路は前記書き込み電圧を前記ワード線に供給し、前記書き込み制御電圧を前記ビット線に供給することを特徴とする請求項 28 記載の不揮発性半導体記憶装置。

【請求項 31】

前記書き込み回路は、前記メモリセルに1ビットより多いデータを記憶させることを特徴とする請求項 28 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電氣的にデータの書替えが可能な不揮発性半導体記憶装置に係り、特に1つのメモリセルに対して2値以上の多値データを記憶する多値フラッシュメモリに関する。

【0002】

【従来の技術】

フラッシュメモリでは、消去、書き込みが行われることでメモリセルトランジスタの浮遊ゲートの蓄積電荷量を変え、これによりしきい値を変えてデータが記憶される。例えば、負のしきい値を“1”データ、正のしきい値を“0”データに対応させる。

【0003】

近年、ビット単価を下げるため、あるいは記憶容量を増やすために、1つのメモリセルに複数ビットのデータを記憶させる多値フラッシュメモリが開発されている。2ビットのデータを1つのメモリセルに記憶させるものでは、そのメモリセルは4つのしきい値帯をデータに応じて持つ。

【0004】

10

20

30

40

50

精度よくしきい値をメモリセルに持たせることで信頼性の高いデバイスが得られる。しきい値の制御を精度よく行うため、書き込み電圧 V_{pgm} を一定の割合で高めながらデータ書き込みを行う方法が例えば、"Fast and Accurate Programming Method for Multi-level NAND EEPROMs, pp129-130, Digest of 1995 Symposium on VLSI Technology" で提案されている。

【0005】

この方法では、書き込み電圧 V_{pgm} を、例えば、 $0.2V / 10\mu sec$ の割合で高めながら書き込むことで、原理的に1つのしきい値分布幅を $0.2V$ に制御できる。通常、書き込み電圧 V_{pgm} は複数の書き込みパルスに分割され、各パルスの電圧 V_{pgm} を一定の割合でステップアップさせる。これにより同等の効果が得られる。各パルスのメモリセルへの印加後にしきい値を確認し、所定のベリファイレベルに達したら、書き込みを終了する。

10

【0006】

一方、加工寸法の微細化も進んでいる。このため、メモリセル間の距離が縮まり、多値フラッシュメモリにおいても、様々な問題を引き起こしている。すなわち、微細化が進むにつれて浮遊ゲート間の距離が縮まり、以下のような問題を引き起こしている。

【0007】

2つの隣り合うメモリセルAとBを考える。まず、2つとも同時に消去され、それぞれ $-3V$ のしきい値を持つとする。先にAのメモリセルにあるデータを書き込む。これによってそのしきい値が例えば $0.5V \sim 1V$ にされる。その後、Bのメモリセルに異なるデータを書き込む。Bのメモリセルのしきい値が例えば $1.5V \sim 2V$ にされると、浮遊ゲート間相互の容量結合により、Aのメモリセルの浮遊ゲートの電位が下がり、そのしきい値が上昇する。例えば、 $1V \sim 1.5V$ へ上昇する。

20

【0008】

この例では、本来AとBのメモリセルのしきい値差（読み出しマージン）は最小で $0.5V$ であるはずであるが、浮遊ゲート間相互の容量結合により $0V$ に縮まる。つまり異なるデータを区別するためのしきい値差が縮まり、読み出しマージンが消滅する。

【0009】

図18を用いて、上記のように予めデータが書き込まれたメモリセルのしきい値が、他のメモリセルに対する書き込みの影響を受けて変化することを説明する。

30

【0010】

図18(a)は、消去後のあるメモリセルに対して書き込みが行われた後の浮遊ゲートFG1の電荷の様子を示している。書き込みが行われたメモリセルの浮遊ゲートFG1には電子が蓄積されている。図では電子を「-」の記号で示している。その後、その両側に位置する浮遊ゲートFG2、FG3を有する他のメモリセルに対して書き込みが行われると、図18(b)に示すように、始めに書き込まれたメモリセルの浮遊ゲートFG1に変化が起きる。隣接した浮遊ゲートFG2、FG3間の静電容量結合により、始めに書き込まれたメモリセルの電位が下がり、しきい値が図18(c)に示されるように上昇する。この結果、浮遊ゲートFG1を有するメモリセルのしきい値は広く分布する。なお、図18(a)、(b)中、WLは浮遊ゲートFG1、FG2、FG3を持つメモリセルに共通に設けられたワード線（制御ゲート）である。

40

【0011】

こういった問題に対して、しきい値分布幅を狭くする技術は今後非常に重要になっていく。

【0012】

このような問題を回避するために、書き込み電圧 V_{pgm} のステップアップ量 Dv_{pgm} を減らすことが考えられる。例えば、ステップアップ量 Dv_{pgm} を $0.5V$ から $0.1V$ にすることで、しきい値分布幅が $0.5V$ から $0.1V$ となり、読み出しマージンが $0.4V$ 増加する。

50

【0013】

しかしながら、ステップアップ量が1/5となることで書き込みパルス数が5倍必要となり、書き込み時間が5倍となる問題が新たに生じる。

【0014】

【発明が解決しようとする課題】

このように従来では、読み出しマージンを確保して信頼性を高めようとする書き込み時間が増加するという問題があった。

【0015】

この発明は上記のような事情を考慮してなされたものであり、その目的は、書き込み時間の増加を抑えつつ、しきい値分布幅を縮め、信頼性の高い不揮発性半導体記憶装置を提供することである。

10

【0016】

【課題を解決するための手段】

この発明の不揮発性半導体記憶装置は、電氣的にデータの書き換えが可能な不揮発性半導体メモリセルと、前記メモリセルにデータを書き込む書き込み回路であり、前記メモリセルに書き込み電圧と書き込み制御電圧とを供給して前記メモリセルに書き込みを行い、前記メモリセルが第1の書き込み状態に達したら前記書き込み制御電圧の供給状態を変えて前記メモリセルに書き込みを行い、前記メモリセルが第2の書き込み状態に達したら前記書き込み制御電圧の供給状態をさらに変えて前記メモリセルの書き込みを禁止する書き込み回路とを具備したことを特徴とする。

20

【0017】

この発明の不揮発性半導体記憶装置は、電氣的にデータの書き換えが可能な不揮発性半導体メモリセルと、前記メモリセルにデータを書き込む書き込み回路であり、前記メモリセルに書き込み電圧と第1の値を有する書き込み制御電圧とを供給して前記メモリセルに書き込みを行い、前記メモリセルが第1の書き込み状態に達したら前記書き込み制御電圧の値を前記第1の値とは異なる第2の値に変えて前記メモリセルに書き込みを行い、前記メモリセルが第2の書き込み状態に達したら前記書き込み制御電圧の値を前記第1及び第2の値とはそれぞれ異なる第3の値に変えて前記メモリセルの書き込みを禁止する書き込み回路とを具備したことを特徴とする。

【0018】

この発明の不揮発性半導体記憶装置は、電氣的にデータの書き換えが可能な不揮発性半導体メモリセルと、前記メモリセルにデータを書き込む書き込み回路であり、前記メモリセルに書き込み電圧を供給した状態で第1の値を有する書き込み制御電圧を第1の期間だけ供給して前記メモリセルに書き込みを行い、前記メモリセルが第1の書き込み状態に達したら前記メモリセルに前記書き込み電圧を供給した状態で前記第1の値を有する書き込み制御電圧を前記第1の期間とは異なる第2の期間だけ供給して前記メモリセルに書き込みを行い、前記メモリセルが第2の書き込み状態に達したら前記書き込み制御電圧の値を前記第1の値とは異なる第2の値に変えて前記メモリセルの書き込みを禁止する書き込み回路とを具備したことを特徴とする。

30

【0019】

この発明の不揮発性半導体記憶装置は、それぞれ電氣的にデータの書き換えが可能な複数の不揮発性半導体メモリセルと、前記複数のメモリセルに共通に接続されたワード線と、前記複数のメモリセルのそれぞれに接続された複数のビット線と、前記複数のメモリセルにデータを書き込む書き込み回路とを具備し、前記書き込み回路は、前記複数のビット線のそれぞれに対応して設けられ、第1及び第2の制御データを記憶するデータ記憶回路を有し、前記書き込み回路は、対応するメモリセルに書き込むべきデータに応じて前記データ記憶回路に第1の制御データを設定し、前記ワード線に書き込み電圧を供給すると共に前記第1の制御データとして書き込みが必要なデータが記憶されている前記データ記憶回路に対応するビット線に書き込み制御電圧を供給して対応するメモリセルに書き込みを行い、書き込みが行われている前記メモリセルのうち第1の書き込み状態に達したメモリセ

40

50

ルに対応する前記データ記憶回路に前記第2の制御データとして第1の書き込み状態が終了したことを表すデータを設定した後、前記書き込み制御電圧の供給状態を変えて前記第1の書き込み状態に達した前記メモリセルに書き込みを行い、書き込みが行われているメモリセルのうち第2の書き込み状態に達したメモリセルに対応する前記データ記憶回路に第1の制御データとして第2の書き込み状態が終了したことを表すデータを設定した後、前記書き込み制御電圧の供給状態をさらに変えて前記第2の書き込み状態に達した前記メモリセルの書き込みを禁止することを特徴とする。

【0020】

この発明の不揮発性半導体記憶装置は、電氣的にデータの書き換えが可能な不揮発性半導体メモリセルと、前記メモリセルにデータを書き込む書き込み回路であり、前記メモリセルにその値が順次増加する書き込み電圧と第1の実効電圧を有する書き込み制御電圧とを供給して前記メモリセルに書き込みを行い、前記メモリセルが第1の書き込み状態に達したら前記書き込み制御電圧を前記第1の実効電圧とは異なる第2の実効電圧に変えて前記メモリセルに供給して前記メモリセルに書き込みを行い、前記メモリセルが第2の書き込み状態に達したら前記メモリセルの書き込みを禁止する書き込み回路とを具備したことを特徴とする。

10

【0021】

この発明の不揮発性半導体記憶装置は、電氣的にデータの書き換えが可能な不揮発性半導体メモリセルと、前記メモリセルにデータを書き込む書き込み回路であり、前記メモリセルに一定値ずつ値が順次増加するような書き込み電圧と第1の実効電圧を有する書き込み制御電圧とを供給して前記メモリセルに書き込みを行い、前記メモリセルが第1の書き込み状態に達したら前記書き込み制御電圧を前記第1の実効電圧とは異なる第2の実効電圧に変えて前記メモリセルに供給して前記メモリセルに書き込みを行い、前記メモリセルが第2の書き込み状態に達したら前記メモリセルの書き込みを禁止する書き込み回路とを具備し、前記第2の実効電圧と前記第1の実効電圧との差が、前記書き込み電圧の値を増加させる一定値よりも大きく設定されていることを特徴とする。

20

【0022】

【発明の実施の形態】

以下、図面を参照して本発明を実施の形態により説明する。

【0023】

図1は、本発明の第1の実施の形態に係わる多値フラッシュメモリの全体の構成を示すブロック図である。

30

【0024】

メモリセルアレイ1内には複数のフラッシュメモリセル、複数のビット線及びワード線が設けられている。複数のフラッシュメモリセルはマトリクス状に配置されている。

【0025】

カラム制御回路2及びロウ制御回路3が、メモリセルアレイ1に隣接して設けられている。上記カラム制御回路2は、メモリセルアレイ1内のビット線を制御し、メモリセルのデータ消去、メモリセルへのデータ書き込み、さらには、メモリセルからのデータ読み出しを行う。

40

【0026】

上記ロウ制御回路3は、メモリセルアレイ1内のワード線を選択し、消去、書き込み、読み出しに必要な電圧を供給する。

【0027】

また、メモリセルアレイ1のソース線を制御するソース線制御回路4と、メモリセルアレイ1が形成されるp型ウェルを制御するPウェル制御回路5とが設けられている。

【0028】

データ入出力バッファ6は、外部I/O線を介してホストに接続されている。このデータ入出力バッファ6は、書き込みデータの受け取り、読み出しデータの出力、アドレスデータやコマンドデータの受け取りを行う。データ入出力バッファ6で受け取られた書き込み

50

データはカラム制御回路2に送られる。また、データ入出力バッファ6は、カラム制御回路2から読み出されたデータを受け取る。

【0029】

メモリセルアレイ1内のメモリセルの選択を行うために、外部からのアドレスデータがステートマシン8を介してカラム制御回路2及びロウ制御回路3に送られる。

【0030】

また、ホストからのコマンドデータがコマンド・インターフェイス7に送られる。コマンド・インターフェイス7は、ホストからの制御信号を受け、データ入出力バッファ6に入力されたデータが書き込みデータかコマンドデータかアドレスデータかを判断し、コマンドデータであれば受け取りコマンド信号としてステートマシン8に転送する。

10

【0031】

ステートマシン8は、フラッシュメモリ全体の管理を行うものであり、ホストからのコマンドを受け、読み出し、書き込み、消去の各動作及びデータの入出力管理を行う。なお、ステートマシン8内には各メモリセルに対するデータの書き込み回数をカウントするための書き込みカウンタPCが設けられている。

【0032】

図2(a)は、図1中のメモリセルアレイ1の内部構成を示すブロック図である。メモリセルアレイ1内の複数のメモリセルは複数のブロックBLOCK0~BLOCK1023に分割されている。ブロックは消去の最小単位である。各ブロックBLOCK*i*(*i*=0~1023内にはそれぞれ、図2(b)に示すように8512個のNAND型メモリユニットが設けられている。

20

【0033】

この例では、各NAND型メモリユニットには直列に接続された4個のメモリセルMが設けられており、その一端は選択ゲート線SGD_{*i*}に共通に接続された選択ゲートS1を介してビット線BL_{*e*}またはBL_{*o*}に接続され、他端は選択ゲート線SGS_{*i*}に共通に接続された選択ゲートS2を介して共通ソース線C-sourceに接続されている。

【0034】

それぞれのメモリセルMは制御ゲート、浮遊ゲート、ソース及びドレインを有し、各4個のメモリセルMの制御ゲートはワード線WL0_{*i*}~WL3_{*i*}のうち対応するものに共通に接続されている。

30

【0035】

0から数えて偶数番目のビット線BL_{*e*}と奇数番目のビット線BL_{*o*}に対し、互いに独立にデータの書き込みと読み出しが行われる。1本のワード線WLに制御ゲートが接続されている8512個のメモリセルのうち、偶数番目のビット線BL_{*e*}に接続される4256個のメモリセルに対して同時にデータの書き込みと読み出しが行われる。

【0036】

各メモリセルがそれぞれ1ビットのデータを記憶する場合、4256個のメモリセルに記憶される4256ビットのデータがページという単位を構成する。1つのメモリセルが2ビットのデータを記憶する場合、4256個のメモリセルは2ページ分のデータを記憶する。奇数番目のビット線BL_{*o*}に接続される4256個のメモリセルで別の2ページが構成され、同一ページ内のメモリセルに対して同時にデータの書き込みと読み出しが行われる。

40

【0037】

図3は、図1中のメモリセルアレイ1のカラム方向の素子構造を示す断面図である。p型基板10上にn型ウェル11が形成され、n型ウェル11内にp型ウェル1211が形成されている。各メモリセルMは、n型拡散層13で形成されたソース、ドレインと、ソース・ドレイン間のチャネル領域上にトンネル酸化膜を介して設けられた浮遊ゲートFGと、この浮遊ゲートFG上に絶縁膜を介して設けられワード線WLとなる制御ゲートCGとから構成されている。

【0038】

50

各選択ゲートS1、S2は、n型拡散層13で形成されたソース、ドレインと、積層された2重構造の選択ゲート線SGとからそれぞれ構成されている。ワード線WLと選択ゲート線SGは、共に図1中のロウ制御回路3に接続され、ロウ制御回路3からの出力信号によって制御される。

【0039】

4個のメモリセルMと選択ゲートS1、S2とからなるNAND型メモリユニットの一端は、コンタクトホールCB1を介して第1層のメタル配線層M0に接続される。このメタル配線層M0は、ビアホールV1を介して、ビット線BLとなる第2層のメタル配線層M1に接続されている。ビット線BLは図2中のカラム制御回路2に接続されている。

【0040】

NAND型メモリユニットの他端はコンタクトホールCB2を介して、共通ソース線C-sourceとなる第1層のメタル配線層M2に接続されている。共通ソース線C-sourceは図1中のソース線制御回路4に接続されている。

【0041】

n型ウェル11の表面にはn型拡散層14が、p型ウェル12の表面にはp型拡散層15がそれぞれ形成され、n型拡散層14及びp型拡散層15はコンタクトホールCB3、CB4を介して、ウェル線C-p-wellとなる第1層のメタル配線層M3に共に接続されている。ウェル線C-p-wellは図1中のPウェル制御回路5に接続されている。

【0042】

図4(a)、(b)は、メモリセルアレイ1のロウ方向の素子構造を示す断面図である。図4(a)、(b)に示すように、各メモリセルは素子分離STIによって互いに分離されている。

【0043】

図4(a)に示すように、各メモリセルでは、トンネル酸化膜16を介して浮遊ゲートFGがチャンネル領域上に積層されている。浮遊ゲートFG上にはONO膜からなる絶縁膜17を介してワード線WLが積層されている。

【0044】

図4(b)に示すように、選択ゲート線SGは2重構造にされている。そして、メモリセルアレイ1の端あるいは一定数のビット線毎に上下の選択ゲート線SGが接続されている。

【0045】

図5は、図1中のカラム制御回路2の主要部の構成を抽出して示している。

【0046】

カラム制御回路2には、同一カラム番号の偶数番目のビット線BLEと奇数番目のビット線BLOからなる2本のビット線毎にデータ記憶回路20がそれぞれ設けられている。また、カラム制御回路2には、上記各データ記憶回路20に対応して、メモリセルにデータを書き込みかつメモリセルからデータを読み出すセンスアンプが設けられている。

【0047】

上記データ記憶回路20と偶数番目のビット線BLEとの間にはカラム選択用のnチャンネルMOSトランジスタQn1が接続され、奇数番目のビット線BLOとの間にはカラム選択用のnチャンネルMOSトランジスタQn2が接続されている。

【0048】

各データ記憶回路20に接続された偶数番目及び奇数番目のビット線BLE、BLOは、いずれか一方が選択されてデータ記憶回路20に接続され、データ書き込みあるいは読み出しのため制御される。すなわち、信号EVENBLがHレベル、信号ODDBLがLレベルのときは、MOSトランジスタQn1が導通して偶数番目のビット線BLEが選択され、このビット線BLEがデータ記憶回路20に接続される。信号EVENBLがLレベル、信号ODDBLがHレベルのときは、MOSトランジスタQn2が導通して奇数番目のビット線BLOが選択され、このビット線BLOがデータ記憶回路20に接続される。なお、上記信号EVENBLは偶数番目のビット線BLEに接続されている全てのカラム

10

20

30

40

50

選択用の n チャンネル MOS トランジスタに共通に供給され、信号 $ODDBL$ は奇数番目のビット線 BL_0 に接続されている全てのコラム選択用の n チャンネル MOS トランジスタに共通に供給される。なお、非選択のビット線 BL については、図示しない他の回路で制御される。

【0049】

上記各データ記憶回路 20 内には 3 つのバイナリデータ記憶部 $DS1$ 、 $DS2$ 、 $DS3$ が設けられている。データ記憶部 $DS1$ は内部のデータ入出力線 (I/O 線) を介してデータ入出力バッファ 6 と接続され、外部から入力された書き込みデータや外部へ出力する読み出しデータを記憶する。データ記憶部 $DS2$ は、書き込み後にメモリセルのしきい値を確認する (書き込みベリファイ) 時の検出結果を記憶する。データ記憶部 $DS3$ は、メモリセルのデータを書き込みと読み出しの時に一時的に記憶する。

10

【0050】

図 6 は、第 1 の実施の形態に係わる多値フラッシュメモリの多値データとメモリセルのしきい値との関係を示す図である。

【0051】

次に、図 6 を参照して、上記構成でなる多値フラッシュメモリの動作を説明する。なお、本例では、2 ビット、つまり 4 値のデータを 1 つのメモリセルに記憶する場合を説明する。この 2 ビットのデータとしては “11”、“10”、“01”、“00” が全てである。この 2 つのビットは異なるロウアドレス (異なるページ) に属する。

【0052】

また、上記 4 値のデータはしきい値の違いとしてメモリセルに記憶され、図 6 に示すように、例えばしきい値が最も低い状態 (例えばしきい値電圧が負の状態) をデータ “11” とし、メモリセルのしきい値が 2 番目に低い状態 (例えばしきい値電圧が正の状態) をデータ “10” とし、メモリセルのしきい値が 3 番目に低い状態 (例えばしきい値電圧が正の状態) をデータ “01” とし、メモリセルのしきい値が最も高い状態 (例えばしきい値電圧が正の状態) をデータ “00” とする。

20

【0053】

消去後、メモリセルのデータは “11” となっている。このメモリセルへの下位ページの書き込みデータが “0” であれば、書き込みにより “11” の状態から “10” に移る。“1” データ書き込みの場合は “11” のままである。

30

【0054】

次に、上位ページのデータが書き込まれる。もし書き込みデータが “1” であれば、“11” あるいは “10” の状態がそのまま維持される。もし書き込みデータが “0” であれば、“11” の状態は “01” に、“10” の状態は “00” にそれぞれ移される。

【0055】

書き込み動作中に、書き込みが行われたメモリセルからデータを読み出して、十分に書き込みが行われたか否かが検証されるいわゆる書き込みベリファイが行われる。

【0056】

センスアンプによる読出しデータは、しきい値が $0V$ 以下であれば “11” とみなされ、しきい値が $0V$ 以上 $1V$ 以下なら “10” とみなされる。また、しきい値が $1V$ 以上 $2V$ 以下なら “01” とみなされ、しきい値が $2V$ 以上なら “00” とみなされる。

40

【0057】

このように、1 つのメモリセルに 2 ビットのデータを記憶させるために、4 値のしきい値が用いられる。実際のデバイスでは、メモリセルの特性にばらつきが生じるため、そのしきい値もばらつく。このばらつきが大きいと、データの区別ができなくなり間違ったデータを読み出してしまう。

【0058】

本実施の形態の多値フラッシュメモリでは、図 6 中に破線で示すように、従来の多値フラッシュメモリで生じていたしきい値の大きなばらつきを実線のように抑えることができる。この点については後で説明する。

50

【 0 0 5 9 】

表 1 は、第 1 の実施の形態に係る多値フラッシュメモリの消去、書き込み、読み出し、書き込みベリファイ時における各部の電圧値を一例を示している。なお、表 1 では、書き込みと読み出し時にワード線 W L 2 と偶数番目のビット線 B L e が選択された場合の例を示している。

【 0 0 6 0 】

【表 1】

	消去	第1段階 書き込み	第2段階 書き込み	書き込み 禁止	“10” 読み出し	“01” 読み出し	“00” 読み出し
BLe	Floating	0V	0.4V	Vdd	H or L	H or L	H or L
BLo	Floating	Vdd	Vdd	Vdd	0V	0V	0V
SGD	Floating	Vdd	Vdd	Vdd	4.5V	4.5V	4.5V
WL3	0V	10V	10V	10V	4.5V	4.5V	4.5V
WL2	0V	Vpgm	Vpgm	Vpgm	0V	1V	2V
WL1	0V	0V	0V	0V	4.5V	4.5V	4.5V
WL0	0V	10V	10V	10V	4.5V	4.5V	4.5V
SGS	Floating	0V	0V	0V	4.5V	4.5V	4.5V
C-source	Floating	0V	0V	0V	0V	0V	0V
C-p-well	20V	0V	0V	0V	0V	0V	0V

10

20

“10” 第1段階 書き込み ベリファイ	“10” 第2段階 書き込み ベリファイ	“01” 第1段階 書き込み ベリファイ	“01” 第2段階 書き込み ベリファイ	“00” 第1段階 書き込み ベリファイ	“00” 第2段階 書き込み ベリファイ
H or L	H or L	H or L	H or L	H or L	H or L
0V	0V	0V	0V	0V	0V
4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
0.2V	0.4V	1.2V	1.4V	2.2V	2.4V
4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
0V	0V	0V	0V	0V	0V
0V	0V	0V	0V	0V	0V

30

【 0 0 6 1 】

消去は、p型ウェル 1 2 (ウェル線 C - p - w e l l) に 2 0 V が、選択されたブロックの全ワード線 W L 0 に 0 V が供給される。これにより、ブロック内の全てのメモリセル M の浮遊ゲート F G から電子が放出されてしきい値が負となり、“ 1 1 ” 状態になる。ここで非選択ブロックのワード線及びビット線 B L などは電位的にフローティング状態にされるが、p型ウェル 1 2 との容量結合により 2 0 V 近くとなっている。

40

【 0 0 6 2 】

書き込みは、第 1 段階、第 2 段階及び書き込み禁止の順で行われる。まず、選択されたワード線 W L 2 に 1 4 V ~ 2 0 V の値を持つプログラム電圧 (書き込み電圧) V p g m が供給される。非選択のワード線のうち選択メモリセルよりもビット線側に配置されたメモリセルの各ワード線、例えばワード線 W L 3 には、このワード線 W L 3 が接続されたメモリ

50

セルが導通するような高い電圧、例えば10Vが供給される。他方、非選択のワード線のうち選択メモリセルよりもウェル線C - p - w e l l側に配置されたメモリセルの各ワード線、例えばワード線W L 1には、このワード線W L 1が接続されたメモリセルが非導通となるような低い電圧、例えば0Vが供給される。また、選択されたビット線B L eには0Vの電圧が供給される。すると、ビット線B L eに供給された0Vの電圧が、選択されたメモリセルのドレインまで伝わり、かつ制御ゲートC Gと浮遊ゲートF Gとの間の容量結合によって浮遊ゲートF Gの電位が上昇し、トンネル酸化膜(図4(a)中のトンネル酸化膜16)を介し、トンネル現象によって電子がドレインから浮遊ゲートF Gに注入され、しきい値が高速に上昇する(第1段階書き込み)。書き込み時に、しきい値の上昇速度を抑えるには、ビット線B L eの電圧が0.4Vに上げられる(第2段階書き込み)。しきい値の上昇を禁止するにはビット線B L eを十分に高い電圧、例えば電源電圧V d d (~3V)にされる(書き込み禁止)。

10

【0063】

読み出しは、選択されたワード線W L 2に異なる値の読み出し電圧(0V、1V、2V)が順次供給されることで行われる。非選択の残りのワード線には、非選択のメモリセルが導通するような値の電圧、例えば4.5Vが供給される。選択メモリセルのしきい値が読み出し電圧以下なら、ビット線B L eと共通ソース線C - s o u r c eとの間が導通して電流が流れ、ビット線B L eの電位は比較的低いレベルLとなる。選択メモリセルのしきい値が読み出し電圧以上なら、ビット線B L eと共通ソース線C - s o u r c eとの間是非導通となり、ビット線B L eの電位は比較的高いレベルHとなる。メモリセルが“10”状態のしきい値より高いか否かを検出するには、読み出し電圧が例えば0Vにされて読み出しが行われる(“10”読み出し)。メモリセルが“01”状態のしきい値より高いか否かを検出するには、読み出し電圧が例えば1Vにされて読み出しが行われる(“01”読み出し)。また、メモリセルが“00”状態のしきい値より高いか否かを検出するには、読み出し電圧が例えば2Vにされて読み出しが行われる(“00”読み出し)。

20

【0064】

“10”状態のメモリセルは、読み出し電圧0Vに対して0.4Vの読み出しマージンを持たせるため、しきい値が0.4V以上となるように書き込まれる。このため、“10”に書き込む場合、書き込みベリファイによりメモリセルのしきい値が0.4Vに達したと検出されたら、書き込みが禁止される。

30

【0065】

従来では、しきい値が0.4Vに達したか否かしか検出されないので、図6に示すように、しきい値は比較的幅広い分布を持つ。

【0066】

本実施の形態では、しきい値が目標のしきい値より若干低いレベルに達したか否かを検出して、しきい値の上昇速度が第2段階書き込みにより抑制される。このため、しきい値の分布幅は図6中の実線で示すように従来よりも狭めることができる。他の“01”、“00”状態に関しても同様である。

【0067】

書き込みベリファイは、選択されたワード線W L 2に異なる値のベリファイ電圧、例えば0.2V、0.4V、1.2V、1.4V、2.2V、2.4Vが順次供給されることで行われる。メモリセルのしきい値がベリファイ電圧以下なら、ビット線B L eと共通ソース線C - s o u r c eとの間が導通して、ビット線B L eの電位は比較的低いレベルLとなる。メモリセルのしきい値がベリファイ電圧以上なら、ビット線B L eと共通ソース線C - s o u r c eとの間是非導通となり、ビット線B L eの電位は比較的高いレベルHとなる。

40

【0068】

メモリセルの目標のしきい値が0.4Vの場合、その目標のしきい値よりも若干低いレベルのしきい値、本例では例えば0.2Vより高いか否かを検出するには、ベリファイ電圧が0.2Vにされて書き込みベリファイが行われる(“10”第1段階書き込みベリファ

50

イ)。メモリセルのしきい値が目標のしきい値 0.4 V より高いか否かを検出するには、ペリファイ電圧が 0.4 V にされて書き込みペリファイが行われる（“10”第2段階書き込みペリファイ）。

【0069】

メモリセルの目標のしきい値が 1.4 V の場合、その目標のしきい値よりも若干低いレベルのしきい値、本例では例えば 1.2 V より高いか否かを検出するには、ペリファイ電圧が 1.2 V にされて書き込みペリファイが行われる（“01”第1段階書き込みペリファイ）。メモリセルのしきい値が目標のしきい値 1.4 V より高いか否かを検出するには、ペリファイ電圧が 1.4 V にされて書き込みペリファイが行われる（“01”第2段階書き込みペリファイ）。

10

【0070】

メモリセルの目標のしきい値が 2.4 V の場合、その目標のしきい値よりも若干低いレベルのしきい値、本例では例えば 2.2 V より高いか否かを検出するには、ペリファイ電圧が 2.2 V にされて書き込みペリファイが行われる（“00”第1段階書き込みペリファイ）。メモリセルのしきい値が目標のしきい値 2.4 V より高いか否かを検出するには、ペリファイ電圧が 2.4 V にされて書き込みペリファイが行われる（“00”第2段階書き込みペリファイ）。

【0071】

図7は、従来の書き込み方法としきい値の変化状態を示している。図中、白抜きの四角は書き込み易いメモリセルのしきい値及びこのメモリセルに供給される書き込み制御電圧（ビット線BLの電圧）を示し、黒の四角は書き込み難いメモリセルのしきい値及びこのメモリセルに供給される書き込み制御電圧（ビット線BLの電圧）を示している。この2つのメモリセルは同一ページのデータを記憶する。どちらも初期状態では消去されており、負のしきい値を持っているとする。

20

【0072】

書き込み電圧 V_{pgm} は複数のパルスに分割されており、1パルス毎に例えば 0.2 V づつ上昇する。すなわち、書き込み電圧 V_{pgm} の1パルス当たりの増加分 Dv_{pgm} は 0.2 V である。

【0073】

書き込み制御電圧であるビット線BLの電圧が 0 V にされると、数パルス後に、しきい値は書き込み電圧 V_{pgm} の電圧増加分と同じ 0.2 V / パルスの速度で上がっていく。各書き込みパルス印加後に書き込みペリファイが行われ、書き込みペリファイ電圧にしきい値が達したと検出されたメモリセルのビット線電圧が V_{dd} にされ、メモリセル毎に書き込みが禁止されていく。従って、しきい値は 0.2 V の分布幅を持つ。

30

【0074】

図8は、第1の実施の形態に係わる多値フラッシュメモリにおけるデータの書き込み方法と、しきい値の変化状態を示している。図7の場合と同様に、白抜きの四角は書き込み易いメモリセルのしきい値及びこのメモリセルに供給される書き込み制御電圧（ビット線BLの電圧）を示し、黒の四角は書き込み難いメモリセルのしきい値及びこのメモリセルに供給される書き込み制御電圧（ビット線BLの電圧）を示している。この2つのメモリセルは同一ページのそれぞれのカラムのデータを記憶する。どちらも初期状態では消去されており、負のしきい値を持っている。

40

【0075】

書き込み電圧 V_{pgm} は複数のパルスに分割されており、1パルス毎に例えば 0.2 V づつ上昇する。すなわち、書き込み電圧 V_{pgm} の1パルス当たりの増加分 Dv_{pgm} は 0.2 V である。

【0076】

書き込み制御電圧であるビット線BLの電圧が 0 V にされて第1段階書き込みが行われる。そして、第1段階書き込みにおいて、書き込み電圧 V_{pgm} が数パルス分供給された後に、しきい値は書き込み電圧 V_{pgm} の電圧増加分と同じ 0.2 V / パルスの速度で上が

50

っていく。書き込みパルスを1回印加した後毎に第1段階書き込みベリファイあるいは第2段階書き込みベリファイが行われる。

【0077】

第1段階書き込みベリファイ電圧にしきい値が達したと検出されたメモリセルのビット線電圧は、その後、0.4Vにされ、メモリセル毎に第2段階書き込みに移る。第2段階書き込みベリファイ電圧にしきい値が達したと検出されたメモリセルのビット線電圧はV_dにされ、メモリセル毎に書き込みが禁止されていく。

【0078】

第2段階書き込みになって、数パルスの間はしきい値の上昇率が第1段階書き込み時における0.2V/パルスよりも低く抑制される。すなわち、ビット線BLの電圧つまり書き込み制御電圧は、第1段階書き込み時では0Vであるが、第2段階書き込みになると0.4Vに増加する。このため、第2段階書き込みでは第1段階書き込みと比べてより書き込み難くなる。第2段階書き込み時におけるしきい値の上昇率は、例えばほぼ0V/パルスから0.05V/パルスの範囲の値に抑制される。すなわち、第2段階書き込み時では、しきい値は高々0.05Vの分布幅しか持たない。

【0079】

書き込みパルス幅を20μsec、書き込みベリファイに要する時間を5μsecとすると、従来では書き込み時間は(20μsec + 5μsec) × 18パルス = 450μsecとなる。

【0080】

従来において、0.05Vのしきい値分布を実現させるためには、書き込み電圧V_{pgm}の電圧増加分D_{vpgm}を0.05V、つまり0.2Vの4分の1の値にする必要があるため、450μsec × 4 = 1800μsecとなる。

【0081】

一方、本実施の形態によれば、図8に示すように、0.2V/パルスの電圧増加分D_{vpgm}で0.05Vのしきい値分布幅が実現でき、その書き込み時間は、(20μsec + 5μsec + 5μsec) × 20パルス = 600μsecとなる。

【0082】

つまり、従来に比べて同じ0.05Vのしきい値分布を実現するために要する書き込み時間は3分の1に短縮される。

【0083】

第1段階書き込みベリファイ電圧を“10”第1段階書き込みベリファイ電圧とし、第2段階書き込みベリファイ電圧を“10”第2段階書き込みベリファイ電圧とすることで、“10”書き込みが行われる。

【0084】

図9は、本実施の形態における同一メモリセルへの上位ページデータの書き込み方法としきい値の変化状態を示している。図7、図8の場合と同様に、白抜きの四角は書き込み易いメモリセルのしきい値及びこのメモリセルに供給される書き込み制御電圧(ビット線BLの電圧)を示し、黒の四角は書き込み難いメモリセルのしきい値及びこのメモリセルに供給される書き込み制御電圧(ビット線BLの電圧)を示している。この2つのメモリセルは同一ページのそれぞれのカラムのデータを記憶する。

【0085】

白抜きの四角で示される書き込み易いメモリセルは、初期状態では消去されており負のしきい値を持っており、このメモリセルは“01”状態に書き込まれるとする。黒の四角で示されるメモリセルは、初期状態では“10”の状態に既に書き込まれており、このメモリセルは“00”状態に書き込まれるとする。

【0086】

書き込み電圧V_{pgm}は複数のパルスに分割されており、1パルス毎に例えば0.2Vづつ上昇する。すなわち、書き込み電圧V_{pgm}の1パルス当たりの増加分D_{vpgm}は0.2Vである。

10

20

30

40

50

【 0 0 8 7 】

書き込み制御電圧であるビット線 B L の電圧が 0 V にされて第 1 段階書き込みが行われる。そして、数パルス後には、しきい値は書き込み電圧 V_{pgm} の電圧増加分と同じ $0.2 V / \text{パルス}$ の速度で上がっていく。書き込みパルスが印加された後毎に “ 0 1 ” 第 1 段階書き込みベリファイが行われる。目標のしきい値よりも若干低いしきい値に書き込まれた後は、書き込みパルスが印加された後毎に “ 0 1 ” 第 2 段階書き込みベリファイが行われる。その後、“ 0 0 ” 第 1 段階書き込みベリファイと “ 0 0 ” 第 2 段階書き込みベリファイが行われる。

【 0 0 8 8 】

白抜きで示されるメモリセルのしきい値が “ 0 1 ” 第 1 段階書き込みベリファイ電圧に達したと検出されたら、その後、ビット線電圧が 0.4 V にされ、第 2 段階書き込みに移る。黒の四角で示されるメモリセルのしきい値が “ 0 0 ” 第 1 段階書き込みベリファイ電圧に達したと検出されたら、その後、ビット線電圧が 0.4 V にされ、第 2 段階書き込みに移る。

10

【 0 0 8 9 】

また、白抜きで示されるメモリセルのしきい値が “ 0 1 ” 第 2 段階書き込みベリファイ電圧に達したと検出されたら、その後、ビット線電圧が V_{dd} にされ、書き込みが禁止される。さらに、黒の四角で示されるメモリセルのしきい値が “ 0 0 ” 第 2 段階書き込みベリファイ電圧に達したと検出されたら、その後、ビット線電圧が V_{dd} にされ、書き込みが禁止される。

20

【 0 0 9 0 】

データ “ 0 1 ” 及び “ 0 0 ” の両方に関し、第 2 段階書き込みになってから、書き込み電圧の数パルスの間は、しきい値の増加分が例えば $0 V / \text{パルス}$ から $0.05 V / \text{パルス}$ の範囲の値に抑制されるため、しきい値は $0.05 V$ の分布幅しか持たない。

【 0 0 9 1 】

図 10 は、本実施の形態において、1つのメモリセルに下位ページのデータを書き込む際の各部の信号波形を示している。

【 0 0 9 2 】

時間 t_{p0} から t_{p7} までが書き込みステップであり、この期間にメモリセルに書き込みパルスが与えられる。時間 t_{fv0} から t_{fv6} までが “ 1 0 ” 第 1 段階書き込みベリファイ期間であり、時間 t_{sv0} から t_{sv6} までが “ 1 0 ” 第 2 段階書き込みベリファイ期間である。本例ではワード線 $W L 2$ と偶数番目のビット線 $B L e$ が選択される場合を示している。

30

【 0 0 9 3 】

書き込みステップで、書き込み制御電圧であるビット線 $B L e$ は、第 1 段階書き込みならば 0 V に、第 2 段階書き込みならば 0.4 V にそれぞれされ、書き込み禁止なら V_{dd} (例えば 2.5 V) にされる。

【 0 0 9 4 】

各書き込みベリファイ期間には、まずビット線 $B L e$ が例えば 0.7 V に充電される。その後、選択ワード線 $W L 2$ が各書き込みベリファイ電圧に達すると、もしメモリセルのしきい値が書き込みベリファイ電圧に達していればビット線 $B L e$ は 0.7 V に維持される。メモリセルのしきい値が書き込みベリファイ電圧に達していなければ、ビット線 $B L e$ は 0 V に向かって下がる。時間 t_{fv4} あるいは t_{sv4} のタイミングでビット線 $B L e$ の電圧をセンスアンプで検出すれば、メモリセルのしきい値が書き込みベリファイ電圧に達しているか否か検出できる。メモリセルのしきい値が書き込みベリファイ電圧に達していれば検出結果はパスである。

40

【 0 0 9 5 】

図 11 は、第 1 の実施の形態における、1つのメモリセルに対する下位ページのデータ書き込み時の制御アルゴリズムを示している。

【 0 0 9 6 】

50

まず、ホストからのデータ入力コマンドを受け取り、ステートマシン 8 にデータ入力コマンドを設定する (S 1)。ホストからのアドレスデータを受け取り、ステートマシン 8 に書き込みページを選択するためのアドレスを設定する (S 2)。次に、1 ページ分の書き込みデータを受け取り、それぞれの対応するデータ記憶部 D S 1 に書き込みデータを設定する (S 3)。ホストが発行した書き込みコマンドを受け取り、ステートマシン 8 に書き込みコマンドを設定する (S 4)。書き込みコマンドが設定されて、S 5 から S 16 のステップが自動的に内部でステートマシン 8 によって起動される。

【0097】

各データ記憶部 D S 1 のデータは対応するデータ記憶部 D S 2 にコピーされる (S 5)。その後、書き込み電圧 V_{pgm} の初期値を 1.2 V に設定し、また、書き込みカウンタ P C を 0 に設定する (S 6)。データ記憶部 D S 1 のデータが “0” かつデータ記憶部 D S 2 のデータが “0” なら第 1 段階書き込みであるので、書き込み制御電圧であるビット線 B L の電圧を 0 V にする。データ記憶部 D S 1 のデータが “0” かつデータ記憶部 D S 2 のデータが “1” なら第 2 段階書き込みであるので、書き込み制御電圧であるビット線 B L の電圧を 0.4 V にする。データ記憶部 D S 1 のデータが “1” かつデータ記憶部 D S 2 のデータが “1” なら書き込み禁止であるので、書き込み制御電圧であるビット線 B L の電圧を V_{dd} に設定する (S 7)。

【0098】

設定された書き込み電圧 V_{pgm} と書き込み制御電圧とを用いて 1 ページ分のメモリセルに対して書き込みパルスを与える書き込みステップを実行する (S 8)。全てのデータ記憶部 D S 2 のデータが “1” か否かを検出し、全て “1” なら第 1 段階ステータスをパスと判断し、そうでなければパスでないと判断する (S 9)。後述するが、全てのデータ記憶部 D S 2 のデータが “1” であれば、前段の書き込みステップ (S 8) で第 1 段階書き込みされたメモリセルは無い。

【0099】

第 1 段階ステータスがパスでなければ、“10” 第 1 段階書き込みベリファイが起動される (S 10)、1 ページ分のメモリセルのうち検出結果がパスとなったメモリセルに対応するデータ記憶部 D S 2 のデータを “0” から “1” に変える。データ記憶部 D S 2 のデータが “1” であるものは、その “1” 状態を保持する。

【0100】

第 1 段階ステータスがパスの場合、あるいは “10” 第 1 段階書き込みベリファイが終了すると、“10” 第 2 段階書き込みベリファイが起動される (S 11)。1 ページ分のメモリセルのうち検出結果がパスとなったメモリセルに対応するデータ記憶部 D S 1 のデータを “0” から “1” に変える。データ記憶部 D S 1 のデータが “1” であるものは、その “1” 状態を保持する。

【0101】

“10” 第 2 段階書き込みベリファイ後、全てのデータ記憶部 D S 1 のデータが “1” か否かを検出し、全て “1” なら第 2 段階ステータスをパスと判断し、そうでなければパスでないと判断する (S 12)。第 2 段階ステータスがパスであれば、正常に書き込みが終了したとして、書きこみステータスをパスに設定して書き込み終了となる (S 13)。

【0102】

第 2 段階ステータスがパスでなければ書き込みカウンタ P C を調べ (S 14)、その値が 20 以上であれば正常に書き込めなかったとして、書きこみステータスをフェイルに設定して書き込み終了となる (S 15)。書き込みカウンタ P C の値が 20 より少なければ、書き込みカウンタ P C の値を 1 だけ増やし、さらに、書き込み電圧 V_{pgm} の設定値を 0.2 V 増やし (S 16)、再度ステップ S 7 を経て書き込みステップ S 8 となる。なお、上記書き込み回数は 20 回に限定されるではなく、適宜変更してもよい。

【0103】

表 2 は、図 11 に示される書き込みアルゴリズムにおいて、データ記憶部 D S 1 と D S 2 の “10” 第 1 段階書き込みベリファイ前後のデータと、対応するメモリセルのしきい値

10

20

30

40

50

(V_t) との関係を示している。

【0104】

【表2】

		n番目の“10”第1段階書き込み ベリファイ後のデータ DS1/DS2	
		メモリセルのしきい値 V_t	
		0.2Vより低い場合	0.2V以上の場合
n番目の“10”第1段階 書き込みベリファイ 前のデータ DS1/DS2	0/0	0/0	0/1
	0/1	0/1	0/1
	1/1	1/1	1/1

10

【0105】

n番目の“10”第1段階書き込みベリファイ前のデータ記憶部DS1とDS2の取り得る値は0/0、0/1、1/1のいずれかである。0/0は、n-1番目の書き込みステップまでにメモリセルのしきい値が“10”第1段階書き込みベリファイ電圧にも達していないことを示している。0/1は、n-1番目の書き込みステップまでにメモリセルのしきい値が“10”第1段階書き込みベリファイ電圧には達したが、“10”第2段階書き込みベリファイ電圧には達していないことを示している。1/1は、n-1番目の書き込みステップまでにメモリセルのしきい値が“10”第2段階書き込みベリファイ電圧に達したことを示している。n-1番目の書き込みステップまでにメモリセルのしきい値が“10”第2段階書き込みベリファイ電圧には達したが、“10”第1段階書き込みベリファイ電圧には達していないという状態はあり得ないので、1/0という状態はこの実施の形態では存在しない。

20

【0106】

1番目の“10”第1段階書き込みベリファイ前のデータ記憶部DS1とDS2の取り得る値は0/0か1/1である。

【0107】

メモリセルのしきい値がn番目の書き込みステップで“10”第1段階書き込みベリファイ電圧である0.2Vに達していなければ、“10”第1段階書き込みベリファイでの検出結果はパスではないので、データ記憶部DS2のデータは変更されない。メモリセルのしきい値がn番目の書き込みステップで“10”第1段階書き込みベリファイ電圧である0.2Vに達していれば、“10”第1段階書き込みベリファイでの検出結果はパスなので、データ記憶部DS2のデータは“1”に変更される。既に“1”であるデータ記憶部DS2のデータはメモリセルのしきい値によらず変更されない。

30

【0108】

表3は、図11に示されるアルゴリズムにおいて、データ記憶部DS1とDS2の“10”第2段階書き込みベリファイ前後のデータと、対応するメモリセルのしきい値との関係を示している。

40

【0109】

【表3】

		n番目の“10”第2段階書き込み ベリファイ後のデータ DS1/DS2	
		メモリセルのしきい値 V_t	
		0.4Vより低い場合	0.4V以上の場合
n番目の“10”第2段階 書き込みベリファイ 前のデータ DS1/DS2	0/0	0/0	—
	0/1	0/1	1/1
	1/1	1/1	1/1

10

【0110】

n番目の“10”第2段階書き込みベリファイ前のデータ記憶部DS1とDS2の取り得る値は0/0、0/1、1/1のいずれかである。0/0は、n番目の書き込みステップ後にメモリセルのしきい値が“10”第1段階書き込みベリファイ電圧にも達していないことを示している。0/1は、n番目の書き込みステップまでにメモリセルのしきい値が“10”第1段階書き込みベリファイ電圧には達したが、n-1番目の書き込みステップまではメモリセルのしきい値が“10”第2段階書き込みベリファイ電圧には達していないことを示している。1/1は、n-1番目の書き込みステップまでにメモリセルのしきい値が“10”第2段階書き込みベリファイ電圧に達したことを示している。

20

【0111】

n-1番目の書き込みステップまでにメモリセルのしきい値が“10”第2段階書き込みベリファイ電圧には達したが、n番目の書き込みステップまでにメモリセルのしきい値が“10”第1段階書き込みベリファイ電圧には達していないことはあり得ないので、1/0という状態はこの実施の形態では存在しない。

【0112】

メモリセルのしきい値が、n番目の書き込みステップで“10”第2段階書き込みベリファイ電圧である0.4Vに達していなければ、“10”第2段階書き込みベリファイでの検出結果はパスではないので、データ記憶部DS1のデータは変更されない。メモリセルのしきい値が、n番目の書き込みステップで“10”第2段階書き込みベリファイ電圧である0.4Vに達していれば、“10”第2段階書き込みベリファイでの検出結果はパスなので、データ記憶部DS1のデータは“1”に変更される。既に“1”であるデータ記憶部DS1のデータはメモリセルのしきい値によらず変更されない。0/0は、“10”第2段階書き込みベリファイによって変更されることはない。

30

【0113】

図12は、上記実施の形態における、メモリセルに対する上位ページのデータ書き込み時の制御アルゴリズムを示している。

【0114】

まず、ホストからのデータ入力コマンドを受け取りステートマシン8にデータ入力コマンドを設定する(S1)。ホストからのアドレスデータを受け取り、ステートマシン8に書き込みページを選択するためのアドレスを設定する(S2)。次に、1ページ分の書き込みデータを受け取り、それぞれのデータ記憶部DS1に対応する書き込みデータを設定する(S3)。ホストが発行した書き込みコマンドを受け取りステートマシン8に書き込みコマンドを設定する(S4)。書き込みコマンドが設定されて、S5~S20のステップが自動的に内部でステートマシン8によって起動される。

40

【0115】

まず、“10”読み出しが起動され(S5)、パス(メモリセルのデータが“10”)の場合は、対応するデータ記憶部DS3に“0”を設定する。パスでなければ対応するデータ記憶部DS3に“1”を設定する。次に、各データ記憶部DS1のデータを対応するデータ記憶部DS2にコピーする(S6)。その後、書き込み電圧Vpgmの初期値を14

50

Vに設定し、また、書き込みカウンタPCを0に設定する(S7)。データ記憶部DS1のデータが“0”かつデータ記憶部DS2のデータが“0”なら第1段階書き込みであるので、書き込み制御電圧であるビット線BLの電圧を0Vにし、データ記憶部DS1のデータが“0”かつデータ記憶部DS2のデータが“1”なら第2段階書き込みであるので、書き込み制御電圧であるビット線BLの電圧を0.4Vにし、データ記憶部DS1のデータが“1”かつデータ記憶部DS2のデータが“1”なら書き込み禁止であるので、書き込み制御電圧であるビット線BLの電圧をVddに設定する(S8)。この後は、設定された書き込み電圧Vpgmと書き込み制御電圧とを用いて1ページ分のメモリセルに対して書き込みパルスを与える書き込みステップとなる(S9)。

【0116】

データ記憶部DS3に“0”が記憶されている全てのデータ記憶回路20で、その全てのデータ記憶部DS2のデータが“1”か否かを検出し、全て“1”なら“00”第1段階ステータスをパスと判断し、そうでなければパスでないと判断する(S10)。後ほど説明するが、その全てのデータ記憶部DS2のデータが“1”であれば、前段の書き込みステップ(S9)で“00”第1段階書き込みされたメモリセルは無い。

【0117】

“00”第1段階ステータスがパスでなければ、“00”第1段階書き込みベリファイが起動され(S11)、1ページ分のメモリセルのうち検出結果がパスとなったメモリセルに対応しかつデータ記憶部DS3のデータが“0”であるデータ記憶回路20内のデータ記憶部DS2のデータを“0”から“1”に変える。データ記憶部DS2のデータが既に

【0118】

“00”第1段階ステータスがパスの場合、あるいは“00”第1段階書き込みベリファイが終了すると、“00”第2段階書き込みベリファイが起動される(S12)。1ページ分のメモリセルのうち検出結果がパスとなったメモリセルに対応しかつデータ記憶部DS3のデータが“0”であるデータ記憶回路20中のデータ記憶部DS1のデータを“0”から“1”に変える。既にデータ記憶部DS1のデータが“1”であるものは、その“1”状態を保持する。

【0119】

次に、データ記憶部DS3に“1”を記憶している全てのデータ記憶回路20で、その全てのデータ記憶部DS2のデータが“1”か否かを検出し、全て“1”なら“01”第1段階ステータスをパスと判断し、そうでなければパスでないと判断する(S13)。後ほど説明するが、その全てのデータ記憶部DS2のデータが“1”であれば、前段の書き込みステップ(S9)で“01”第1段階書き込みされたメモリセルは無い。

【0120】

“01”第1段階ステータスがパスでなければ、“01”第1段階書き込みベリファイが起動され(S14)、1ページ分のメモリセルのうち検出結果がパスとなったメモリセルに対応しかつデータ記憶部DS3のデータが“1”であるデータ記憶回路20内のデータ記憶部DS2のデータを“0”から“1”に変える。既にデータ記憶部DS2のデータが“1”であるものは、その“1”状態を保持する。

【0121】

“01”第1段階ステータスがパスの場合、あるいは“01”第1段階書き込みベリファイが終了すると、“01”第2段階書き込みベリファイが起動される(S15)。1ページ分のメモリセルのうち検出結果がパスとなったメモリセルに対応しかつデータ記憶部DS3のデータが“1”であるデータ記憶回路20内のデータ記憶部DS1のデータを“0”から“1”に変える。既にデータ記憶部DS1のデータが“1”であるものは、その“1”状態を保持する。

【0122】

“01”第2段階書き込みベリファイ後、全てのデータ記憶部DS1のデータが“1”か否かを検出し、全て“1”なら第2段階ステータスをパスと判断し、そうでなければパス

10

20

30

40

50

でないとは判断する (S16)。第2段階ステータスがパスであれば、正常に書き込みが終了したとして、書きこみステータスをパスに設定して書き込み終了となる (S17)。第2段階ステータスがパスでなければ書き込みカウンタPCを調べ (S18)、その値が20以上であれば正常に書き込めなかったとして、書き込みステータスをフェイルに設定して書き込み終了となる (S19)。書き込みカウンタPCの値が20より少なければ、書き込みカウンタPCの値を1だけ増やし、さらに、書き込み電圧Vpgmの設定値を0.2V増加し (S20)、再度ステップS8を経て書き込みステップS9となる。この場合にも、上記書き込み回数は20回に限定されるではなく、適宜変更してもよい。

【0123】

表4は、図11に示されるアルゴリズムにおいて、データ記憶部DS1、DS2、DS3の“01”第1段階書き込みベリファイ前後のデータと、対応するメモリセルのしきい値(Vt)との関係を示している。

【0124】

【表4】

		n番目の“01”第1段階書き込みベリファイ後のデータ DS1/DS2/DS3	
		メモリセルのしきい値 Vt	
		1.2Vより低い場合	1.2V以上の場合
n番目の“01”第1段階書き込みベリファイ前のデータ DS1/DS2/DS3	0/0/1	0/0/1	0/1/1
	0/1/1	0/1/1	0/1/1
	1/1/1	1/1/1	1/1/1
	0/0/0	0/0/0	0/0/0
	0/1/0	0/1/0	0/1/0
	1/1/0	1/1/0	1/1/0

【0125】

n番目の“01”第1段階書き込みベリファイ前のデータ記憶部DS1、DS2、DS3の取り得る値は、0/0/1、0/1/1、1/1/1、0/0/0、0/1/0、1/1/0のいずれかである。0/0/1は、n-1番目の書き込みステップまでにメモリセルのしきい値が“01”第1段階書き込みベリファイ電圧にも達していないことを示している。0/1/1は、n-1番目の書き込みステップまでにメモリセルのしきい値が“01”第1段階書き込みベリファイ電圧には達したが、“01”第2段階書き込みベリファイ電圧には達していないことを示している。1/1/1は、n-1番目の書き込みステップまでにメモリセルのしきい値が“01”第2段階書き込みベリファイ電圧に達したことを示している。n-1番目の書き込みステップまでにメモリセルのしきい値が“01”第2段階書き込みベリファイ電圧には達したが、“01”第1段階書き込みベリファイ電圧には達していないということはありませんので、1/0/1という状態はこの実施の形態では存在しない。

【0126】

メモリセルのしきい値が、n番目の書き込みステップで“01”第1段階書き込みベリファイ電圧である1.2Vに達していなければ、“01”第1段階書き込みベリファイでの検出結果はパスではないので、データ記憶部DS2のデータは変更されない。メモリセルのしきい値が、n番目の書き込みステップで“01”第1段階書き込みベリファイ電圧である1.2Vに達していれば“01”第1段階書き込みベリファイでの検出結果はパスなので、データ記憶部DS2のデータは“1”に変更される。既に“1”であるデータ記憶部DS2のデータはメモリセルのしきい値によらず変更されない。また、0/0/0、0

/ 1 / 0、1 / 1 / 0 は “ 0 1 ” 第 1 段階書き込みベリファイ対象ではないので変更されない。

【 0 1 2 7 】

表 5 は、図 1 2 に示されるアルゴリズムにおいて、データ記憶部 D S 1、D S 2、D S 3 の “ 0 1 ” 第 2 段階書き込みベリファイ前後のデータと、対応するメモリセルのしきい値 (V t) との関係を示している。

【 0 1 2 8 】

【 表 5 】

		n 番目の “ 0 1 ” 第 2 段階書き込み ベリファイ後のデータ DS1/DS2/DS3	
		メモリセルのしきい値 Vt	
		1.4V より低い場合	1.4V 以上の場合
n 番目の “ 0 1 ” 第 2 段階 書き込みベリファイ 前のデータ DS1/DS2/DS3	0/0/1	0/0/1	—
	0/1/1	0/1/1	1/1/1
	1/1/1	1/1/1	1/1/1
	0/0/0	0/0/0	0/0/0
	0/1/0	0/1/0	0/1/0
	1/1/0	1/1/0	1/1/0

10

20

【 0 1 2 9 】

n 番目の “ 0 1 ” 第 2 段階書き込みベリファイ前のデータ記憶部 D S 1、D S 2、D S 3 の取り得る値は、0 / 0 / 1、0 / 1 / 1、1 / 1 / 1、0 / 0 / 0、0 / 1 / 0、1 / 1 / 0 のいずれかである。0 / 0 / 1 は、n 番目の書き込みステップ後にメモリセルのしきい値が “ 0 1 ” 第 1 段階書き込みベリファイ電圧にも達していないことを示している。0 / 1 / 1 は、n 番目の書き込みステップまでにメモリセルのしきい値が “ 0 1 ” 第 1 段階書き込みベリファイ電圧には達したが、n - 1 番目の書き込みステップまではメモリセルのしきい値が “ 0 1 ” 第 2 段階書き込みベリファイ電圧には達していないことを示している。1 / 1 / 1 は、n - 1 番目の書き込みステップまでにメモリセルのしきい値が “ 0 1 ” 第 2 段階書き込みベリファイ電圧に達したことを示している。n - 1 番目の書き込みステップまでにメモリセルのしきい値が “ 0 1 ” 第 2 段階書き込みベリファイ電圧には達したが、n 番目の書き込みステップまでにメモリセルのしきい値が “ 0 1 ” 第 1 段階書き込みベリファイ電圧には達していないということとはあり得ないので、1 / 0 / 1 という状態はこの実施の形態では存在しない。

30

【 0 1 3 0 】

メモリセルのしきい値が、n 番目の書き込みステップで “ 0 1 ” 第 2 段階書き込みベリファイ電圧である 1 . 4 V に達していなければ、“ 0 1 ” 第 2 段階書き込みベリファイでの検出結果はパスではないので、データ記憶部 D S 1 のデータは変更されない。メモリセルのしきい値が、n 番目の書き込みステップで “ 0 1 ” 第 2 段階書き込みベリファイ電圧である 1 . 4 V に達していれば、“ 0 1 ” 第 2 段階書き込みベリファイでの検出結果はパスなので、データ記憶部 D S 1 のデータは “ 1 ” に変更される。既に “ 1 ” であるデータ記憶部 D S 1 のデータはメモリセルのしきい値によらず変更されない。0 / 0 / 1 は、“ 0 1 ” 第 2 段階書き込みベリファイによって変更されることはない。また、0 / 0 / 0、0 / 1 / 0、1 / 1 / 0 は “ 0 1 ” 第 2 段階書き込みベリファイ対象ではないので変更されない。

40

【 0 1 3 1 】

表 6 は、図 1 2 に示されるアルゴリズムにおいて、データ記憶部 D S 1、D S 2、D S 3

50

の“00”第1段階書き込みベリファイ前後のデータと、対応するメモリセルのしきい値 (V_t) との関係を示している。

【0132】

【表6】

		n番目の“00”第1段階書き込み ベリファイ後のデータ DS1/DS2/DS3	
		メモリセルのしきい値 V_t	
		2.2Vより低い場合	2.2V以上の場合
n番目の“00”第1段階 書き込みベリファイ 前のデータ DS1/DS2/DS3	0/0/1	0/0/1	—
	0/1/1	0/1/1	—
	1/1/1	1/1/1	—
	0/0/0	0/0/0	0/1/0
	0/1/0	0/1/0	0/1/0
	1/1/0	1/1/0	1/1/0

10

【0133】

n番目の“00”第1段階書き込みベリファイ前のデータ記憶部DS1、DS2、DS3の取り得る値は、0/0/1、0/1/1、1/1/1、0/0/0、0/1/0、1/1/0のいずれかである。0/0/0は、n-1番目の書き込みステップまでにメモリセルのしきい値が“00”第1段階書き込みベリファイ電圧にも達していないことを示している。0/1/0は、n-1番目の書き込みステップまでにメモリセルのしきい値が“00”第1段階書き込みベリファイ電圧には達したが、“00”第2段階書き込みベリファイ電圧には達していないことを示している。1/1/0は、n-1番目の書き込みステップまでにメモリセルのしきい値が“00”第2段階書き込みベリファイ電圧に達したことを示している。n-1番目の書き込みステップまでにメモリセルのしきい値が“00”第2段階書き込みベリファイ電圧には達したが、“00”第1段階書き込みベリファイ電圧には達していないということはないので、1/0/0という状態はこの実施の形態では存在しない。

20

30

【0134】

メモリセルのしきい値が、n番目の書き込みステップで“00”第1段階書き込みベリファイ電圧である2.2Vに達していなければ、“00”第1段階書き込みベリファイでの検出結果はパスではないので、データ記憶部DS2のデータは変更されない。メモリセルのしきい値が、n番目の書き込みステップで“00”第1段階書き込みベリファイ電圧である2.2Vに達していれば、“00”第1段階書き込みベリファイでの検出結果はパスなので、データ記憶部DS2のデータは“1”に変更される。既に“1”であるデータ記憶部DS2のデータはメモリセルのしきい値によらず変更されない。また、0/0/1、0/1/1、1/1/1は“01”第1段階書き込みベリファイ対象ではないので変更されない。

40

【0135】

表7は、図12に示されるアルゴリズムにおいて、データ記憶部DS1、DS2、DS3の“00”第2段階書き込みベリファイ前後のデータと、対応するメモリセルのしきい値 (V_t) との関係を示している。

【0136】

【表7】

		n番目の“00”第2段階書き込み ベリファイ後のデータ DS1/DS2/DS3	
		メモリセルのしきい値 V_t	
		2.4Vより低い場合	2.4V以上の場合
n番目の“00”第2段階 書き込みベリファイ 前のデータ DS1/DS2/DS3	0/0/1	0/0/1	—
	0/1/1	0/1/1	—
	1/1/1	1/1/1	—
	0/0/0	0/0/0	—
	0/1/0	0/1/0	1/1/0
	1/1/0	1/1/0	1/1/0

10

【0137】

n番目の“00”第2段階書き込みベリファイ前のデータ記憶部DS1、DS2、DS3の取り得る値は、0/0/1、0/1/1、1/1/1、0/0/0、0/1/0、1/1/0のいずれかである。0/0/0は、n番目の書き込みステップ後にメモリセルのしきい値が“00”第1段階書き込みベリファイ電圧にも達していないことを示している。0/1/0は、n番目の書き込みステップまでにメモリセルのしきい値が“00”第1段階書き込みベリファイ電圧には達したが、n-1番目の書き込みステップまではメモリセルのしきい値が“00”第2段階書き込みベリファイ電圧には達していないことを示している。1/1/0は、n-1番目の書き込みステップまでにメモリセルのしきい値が“00”第2段階書き込みベリファイ電圧に達したことを示している。n-1番目の書き込みステップまでにメモリセルのしきい値が“00”第2段階書き込みベリファイ電圧には達したが、n番目の書き込みステップまでにメモリセルのしきい値が“00”第1段階書き込みベリファイ電圧には達していないという事はあり得ないので、1/0/0という状態はこの実施の形態では存在しない。

20

【0138】

メモリセルのしきい値が、n番目の書き込みステップで“00”第2段階書き込みベリファイ電圧である2.4Vに達していなければ、“00”第2段階書き込みベリファイでの検出結果はパスではないので、データ記憶部DS1のデータは変更されない。メモリセルのしきい値が、n番目の書き込みステップで“00”第2段階書き込みベリファイ電圧である2.4Vに達していれば、“00”第2段階書き込みベリファイでの検出結果はパスなので、データ記憶部DS1のデータは“1”に変更される。既に“1”であるデータ記憶部DS1のデータはメモリセルのしきい値によらず変更されない。0/0/0は、“00”第2段階書き込みベリファイによって変更されることはない。また、0/0/1、0/1/1、1/1/1は、“00”第2段階書き込みベリファイ対象ではないので変更されない。

30

40

【0139】

図13は、ブロック内の書き込み順を制御するための制御アルゴリズムを示す。

【0140】

まず始めにワード線WL0を選択し、偶数番目のビット線に接続された複数のメモリセルで構成される1つのページに下位のデータを書き込む。その後、奇数番目のビット線に接続された複数のメモリセルで構成される1つのページに下位のデータを書き込む。3番目に、偶数番目のビット線に接続された複数のメモリセルで構成される1つのページに上位のデータを書き込んで、最後に奇数番目のビット線に接続された複数のメモリセルで構成される1つのページに上位のデータを書き込む。以下、同様に他のワード線WL1、WL2、WL3...についても上記同様の順番でデータを書き込んで行く。

50

【 0 1 4 1 】

これにより、隣接するメモリセルの浮遊ゲート相互間の干渉を最小に抑えることができる。つまり、後で書き込まれるメモリセルは、その状態が“ 1 1 ”から“ 1 0 ”、“ 1 1 ”から“ 0 1 ”、あるいは“ 1 0 ”から“ 0 0 ”に遷移しても、“ 1 1 ”から“ 0 0 ”に遷移することは無い。“ 1 1 ”から“ 0 0 ”への遷移は隣接するメモリセルのしきい値を最も上昇させる。

【 0 1 4 2 】

図 1 4 は、メモリセルの下位ページのデータの読み出しを行う際の制御アルゴリズムを示している。

【 0 1 4 3 】

まず、ホストからの読み出しコマンドを受け取り、ステートマシン 8 に読み出しコマンドを設定する (S 1)。ホストからのアドレスデータを受け取り、ステートマシン 8 に読み出しページを選択するためのアドレスを設定する (S 2)。アドレスが設定されて、 S 3 ~ S 5 のステップが自動的に内部でステートマシン 8 によって起動される。

【 0 1 4 4 】

まず始めに“ 0 1 ”読み出しが起動される (S 3)。“ 0 1 ”読み出しの際にはワード線 W L には 1 V が供給される。メモリセルのしきい値が“ 0 1 ”データよりも低ければ、センスアンプによる読み出し結果は“ 1 ”となり、“ 0 1 ”データよりも高ければ読み出し結果は“ 0 ”となる。読み出した結果は対応するデータ記憶部 D S 3 に記憶される。次に“ 1 0 ”読み出しが起動される (S 4)。“ 1 0 ”読み出しの際にはワード線 W L には 0 V が供給される。メモリセルのしきい値が“ 1 0 ”データよりも低ければ、センスアンプによる読み出し結果は“ 1 ”となり、“ 1 0 ”データよりも高ければ読み出し結果は“ 0 ”となる。読み出した結果は対応するデータ記憶部 D S 2 に記憶される。最後に“ 0 0 ”読み出しが起動される (S 5)。“ 0 0 ”読み出しの際にはワード線 W L には 2 V が供給される。メモリセルのしきい値が“ 0 0 ”データよりも低ければ、センスアンプによる読み出し結果は“ 1 ”となり、“ 0 0 ”データよりも高ければ読み出し結果は“ 0 ”となる。“ 0 0 ”読み出しで得られた結果と、対応するデータ記憶部 D S 2 と D S 3 のデータとから下位のページのデータが論理演算され、それが対応するデータ記憶部 D S 1 に記憶される。そして、データ記憶部 D S 1 に記憶されたデータが下位のページのデータとして外部に出力される。

【 0 1 4 5 】

例えば、データ記憶部 D S 3 に記憶されている“ 0 1 ”読み出しの結果が“ 1 ”でかつデータ記憶部 D S 2 に記憶されている“ 1 0 ”読み出しの結果も“ 1 ”であれば、下位のページのデータの論理演算結果は“ 1 ”となる。データ記憶部 D S 3 に記憶されている“ 0 1 ”読み出しの結果が“ 1 ”でかつデータ記憶部 D S 2 に記憶されている“ 1 0 ”読み出しの結果が“ 0 ”であれば、下位のページのデータの論理演算結果は“ 0 ”となる。データ記憶部 D S 3 に記憶されている“ 0 1 ”読み出しの結果が“ 0 ”でかつ“ 0 0 ”読み出し結果も“ 0 ”であれば、下位のページのデータの論理演算結果は“ 0 ”となる。データ記憶部 D S 3 に記憶されている“ 0 1 ”読み出しの結果が“ 0 ”でかつ“ 0 0 ”読み出し結果が“ 1 ”であれば、下位のページのデータの論理演算結果は“ 1 ”となる。

【 0 1 4 6 】

つまり、上記のような論理演算を行う演算回路は、 D S 3 が“ 1 ”のときは D S 2 の値を下位のページのデータとしてデータ記憶部 D S 1 に記憶し、かつ D S 3 が“ 0 ”のときは“ 0 1 ”読み出しの結果の値を下位のページのデータとしてデータ記憶部 D S 1 に記憶するように構成されていけばよい。

【 0 1 4 7 】

図 1 5 は、メモリセルの上位ページのデータの読み出しを行う際の制御アルゴリズムを示している。

【 0 1 4 8 】

まず、ホストからの読み出しコマンドを受け取り、ステートマシン 8 に読み出しコマンド

10

20

30

40

50

を設定する (S 1) 。ホストからのアドレスデータを受け取り、ステートマシン 8 に読み出しページを選択するためのアドレスを設定する (S 2) 。アドレスが設定されて、 S 3 のステップが自動的に内部でステートマシン 8 によって起動される。

【 0 1 4 9 】

ステップ S 3 では “ 0 1 ” 読み出しが起動される。読み出した結果は上位ページのデータであり、対応するデータ記憶部 D S 1 に記憶される。すなわち、“ 0 1 ” 読み出しの結果がそのまま上位のページのデータとなる。そして、データ記憶部 D S 1 のデータが外部に出力される。

【 0 1 5 0 】

以上のように、第 1 の実施の形態の多値フラッシュメモリによれば、書き込み時間の増加を抑えつつ、しきい値分布幅を縮めることができ信頼性の向上を図ることができる。

10

【 0 1 5 1 】

次にこの発明の第 2 の実施の形態について説明する。

【 0 1 5 2 】

図 1 6 (a) は、図 1 0 に示された信号波形図から書き込みステップの部分抽出したものである。なお、ここでは例えばビット線 B L e の電圧が 0 . 4 V にされており、第 2 段階書き込みの場合が示されている。第 1 の実施の形態では、書き込みステップの際、ワード線 W L に所定の書き込み電圧 (図では例えば 1 8 . 0 V) が印加されている間中、書き込み制御電圧であるビット線 B L の電圧を一定電圧、例えば 0 . 4 V に保ったままで書き込みを行っている。

20

【 0 1 5 3 】

これに対し、第 2 の実施の形態では、図 1 6 (b) に示すように、選択されたワード線 W L 2 に書き込み電圧 V p g m が印加されている期間のうちの一定期間中 (図中の T w r) のみ書き込み制御電圧であるビット線 B L の電圧を 0 V とし、その後、書き込みを禁止するように V d d とする。

【 0 1 5 4 】

なお、ビット線 B L の電圧を 0 V にする上記一定期間 T w r の長さは、第 1 段階書き込み時に比べ第 2 段階書き込み時の方が短くなるようにすることで、第 1 の実施の形態と同等に、第 2 段階書き込み時におけるしきい値の増加分を第 1 段階書き込み時のそれよりも抑制できる。

30

【 0 1 5 5 】

すなわち、第 2 の実施の形態によれば、書き込み制御電圧の実効電圧を、書き込み制御電圧であるビット線 B L の電圧を書き込みステップの期間中一定にする第 1 の実施の形態の場合と同等にすることができ、第 1 の実施の形態の場合と同様の効果が得られる。

【 0 1 5 6 】

次にこの発明の第 3 の実施の形態について説明する。

【 0 1 5 7 】

図 1 7 は、図 1 0 に示された信号波形図に対応する信号波形図を示している。

【 0 1 5 8 】

図 1 0 に示されるように、第 1 の実施の形態では、第 1 段階書き込みベリファイが終了した後は、ビット線の電圧が充電後の電圧を維持している場合でもいったんビット線の電圧を 0 V にリセットし、第 2 段階書き込みベリファイを行うためにビット線を再度充電するようにしている。

40

【 0 1 5 9 】

これに対し、第 3 の実施の形態の場合には、以下のようにして書き込みベリファイを行う。

【 0 1 6 0 】

第 1 段階書き込みベリファイ時には、まずビット線 B L e が例えば 0 . 7 V に充電される。その後、選択ワード線 W L 2 が第 1 段階書き込みベリファイ電圧に達すると、もしメモリセルのしきい値が第 1 段階書き込みベリファイ電圧に達していれば、ビット線 B L e は

50

0.7Vは維持する。もしメモリセルのしきい値が第1段階書き込みベリファイ電圧に達していなければ、ビット線BLEは0Vに向かって下がる。図18中の t_{fv4} のタイミングでビット線BLEの電圧を検出すれば、メモリセルのしきい値が第1段階書き込みベリファイ電圧に達しているか否か検出できる。メモリセルのしきい値が書き込みベリファイ電圧に達していれば検出結果はパスである。

【0161】

その後、タイミング t_{fv5} あるいは同タイミングの t_{sv3} で、選択ワード線WL2の電圧を第1段階書き込みベリファイ電圧から第2段階書き込みベリファイ電圧にスイッチする。例えば、図17に示すように選択ワード線WL2の電圧を0.2Vから0.4Vに上昇させる。もし、メモリセルのしきい値が第2段階書き込みベリファイ電圧に達していれば、ビット線BLEは0.7Vは維持する。メモリセルのしきい値が第2段階書き込みベリファイ電圧に達していなければ、ビット線BLEは0Vに向かって下がる。そして、 t_{sv4} のタイミングでビット線BLEの電圧を検出すれば、メモリセルのしきい値が第2段階書き込みベリファイ電圧に達しているか否か検出できる。メモリセルのしきい値が書き込みベリファイ電圧に達していれば検出結果はパスである。

10

【0162】

第3の実施の形態では、第1の実施の形態と同様の効果が得られる上に、第2段階書き込みベリファイ時のビット線の充電時間が省略でき、より高速に書き込みが行えるという効果がさらに得られる。なお、データ“01”やデータ“00”の第1あるいは第2段階書き込みベリファイの場合も書き込みベリファイ電圧の値を変えるだけで同様に実施できる

20

【0163】

なお、上記各実施の形態では、1つのメモリセルに対し2ビットのデータ、つまりそれぞれ4値のデータを記憶させる場合について説明したが、これは1つのメモリセルに対し4値以上のデータを記憶させる場合にも容易に実施することができることはもちろんである。

【0164】

【発明の効果】

以上説明したようにこの発明によれば、書き込み時間の増加を抑えつつ、しきい値分布幅を縮めることができ、信頼性の高い不揮発性半導体記憶装置を提供することができる。

30

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係わるフラッシュメモリの全体の構成を示すブロック図。

【図2】図1中のメモリセルアレイの内部構成を示すブロック図及びメモリセルアレイ内に設けられるNAND型メモリユニットの回路図。

【図3】図1中のメモリセルアレイのカラム方向の素子構造を示す断面図。

【図4】図1中のメモリセルアレイの口ウ方向の素子構造を示す断面図。

【図5】図1中のカラム制御回路の主要部の構成を抽出して示すブロック図。

【図6】第1の実施の形態に係わる多値フラッシュメモリの多値データとメモリセルのしきい値の関係を示す図。

40

【図7】従来の書き込み方法としきい値の変化状態を示す図。

【図8】第1の実施の形態に係わる多値フラッシュメモリにおけるデータの書き込み方法としきい値の変化状態を示す図。

【図9】第1の実施の形態における同一メモリセルへの上位ページデータの書き込み方法としきい値の変化状態を示す図。

【図10】第1の実施の形態において1つのメモリセルに下位ページのデータを書き込む際の各部の信号波形を示す図。

【図11】第1の実施の形態における1つのメモリセルに対する下位ページのデータ書き込み時の制御アルゴリズムを示す図。

【図12】第1の実施の形態におけるメモリセルに対する上位ページのデータ書き込み時

50

の制御アルゴリズムを示す図。

【図13】第1の実施の形態においてブロック内の書き込み順を制御するための制御アルゴリズムを示す図。

【図14】第1の実施の形態においてメモリセルの下位ページのデータの読み出しを行う際の制御アルゴリズムを示す図。

【図15】第1の実施の形態においてメモリセルの上位ページのデータの読み出しを行う際の制御アルゴリズムを示す図。

【図16】第1及び第2の実施の形態による書き込みステップの信号波形図。

【図17】第3の実施の形態において1つのメモリセルデータを書き込む際の各部の信号波形を示す図。

10

【図18】従来の問題点を説明するための断面図及びしきい値の分布状態を示す図。

【符号の説明】

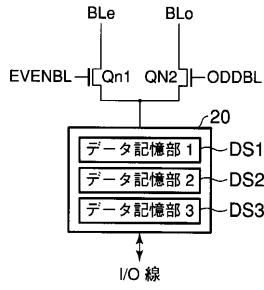
- 1 ...メモリセルアレイ、
- 2 ...カラム制御回路、
- 3 ...ロウ制御回路、
- 4 ...ソース線制御回路、
- 5 ...Pウェル制御回路、
- 6 ...データ入出力バッファ、
- 7 ...コマンド・インターフェイス、
- 8 ...ステートマシン、
- 10 ...p型半導体基板、
- 11 ...n型ウェル、
- 12 ...p型ウェル、
- 13 ...n型拡散層、
- 14 ...p型拡散層、
- 15 ...n型拡散層、
- 16 ...トンネル酸化膜、
- 17 ...ONO膜、
- 20 ...データ記憶回路。
- BLOCK ...メモリセルブロック、
- BL ...ビット線、
- WL ...ワード線、
- SG ...選択ゲート線、
- C - s o u r c e ...共通ソース線、
- M ...メモリセル、
- S1、S2 ...選択ゲート、
- C - p - w e l l ...ウェル線、
- STI ...素子分離、
- CG ...制御ゲート、
- FG ...浮遊ゲート、
- DS1、DS2、DS3 ...データ記憶部、
- Qn1、Qn2 ...nチャネルMOSトランジスタ。

20

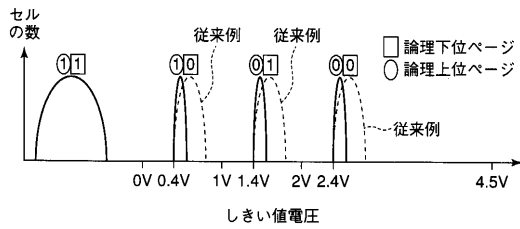
30

40

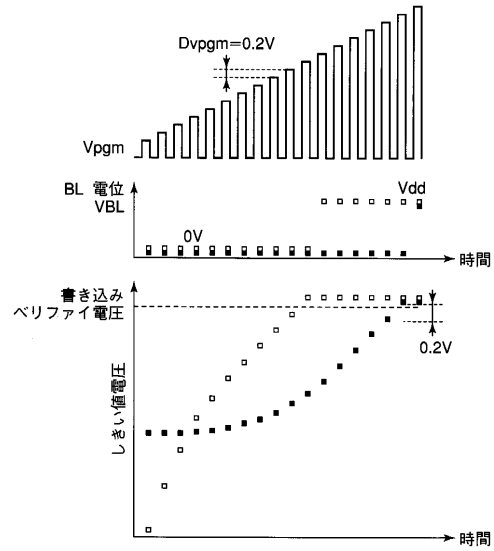
【 図 5 】



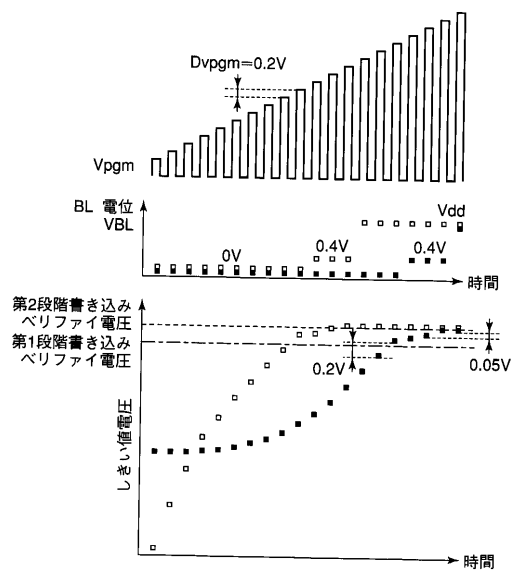
【 図 6 】



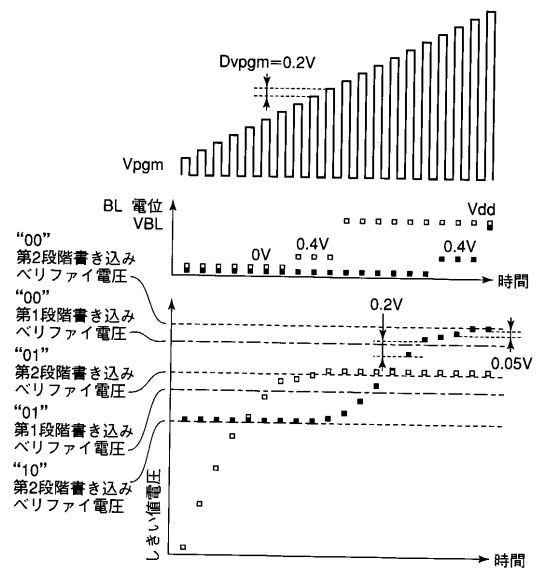
【 図 7 】



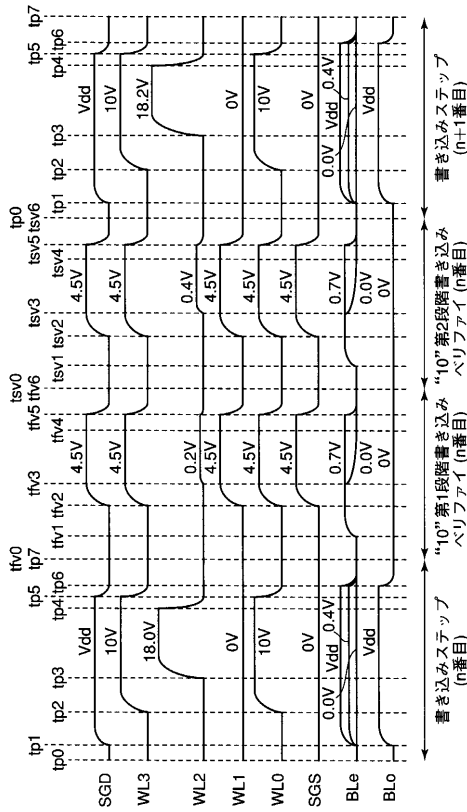
【 図 8 】



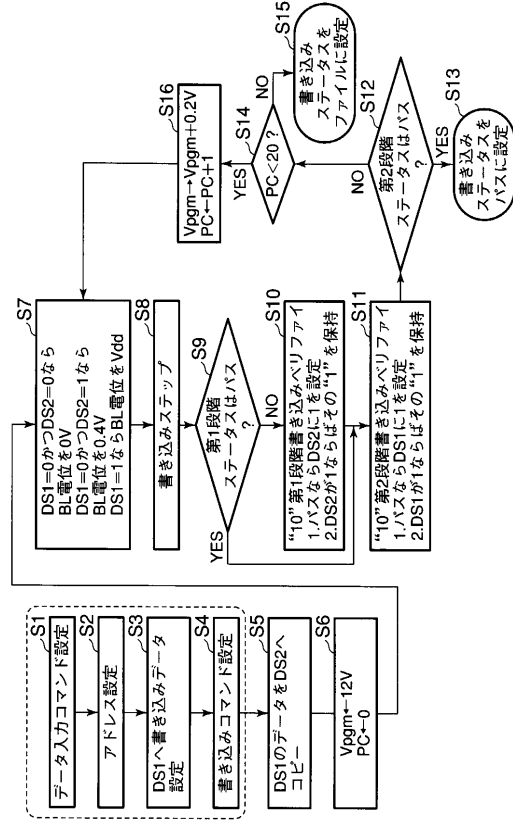
【 図 9 】



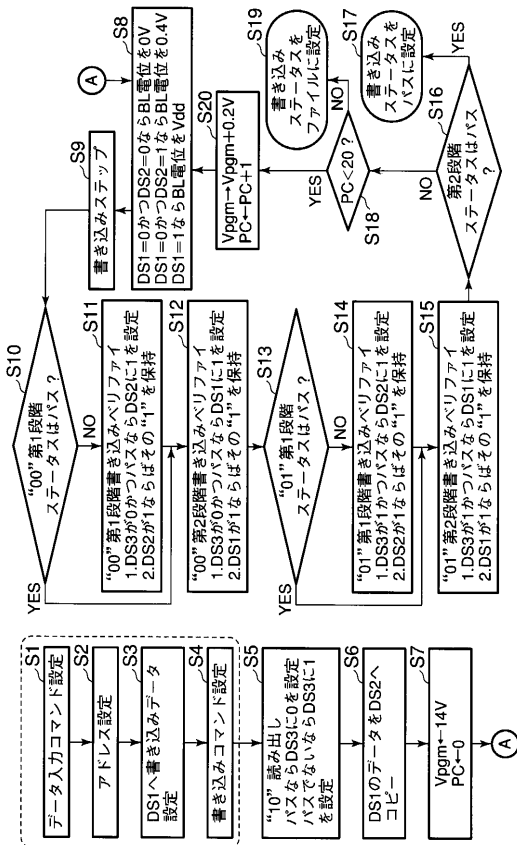
【 図 1 0 】



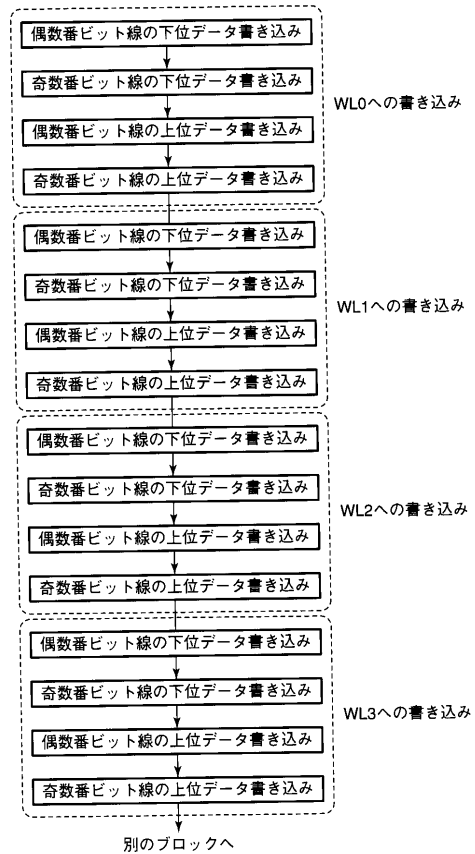
【 図 1 1 】



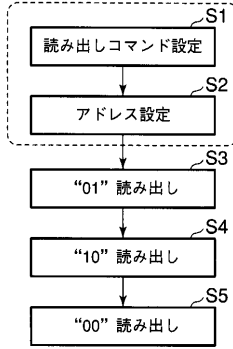
【 図 1 2 】



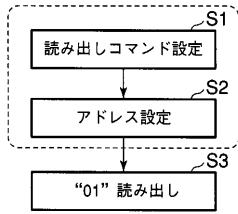
【 図 1 3 】



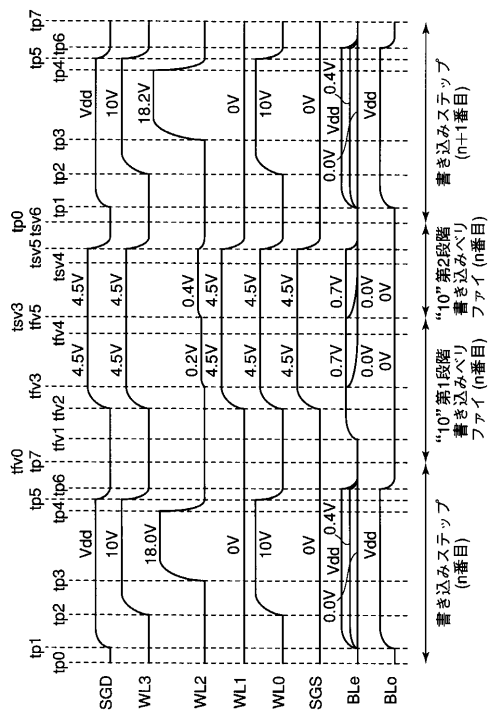
【 図 1 4 】



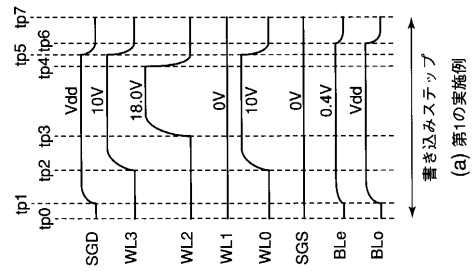
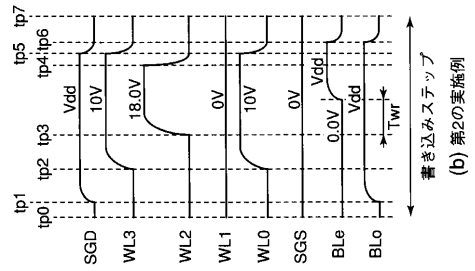
【 図 1 5 】



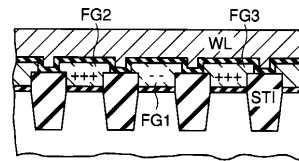
【 図 1 7 】



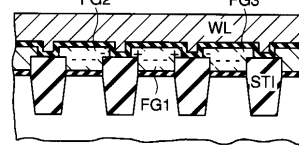
【 図 1 6 】



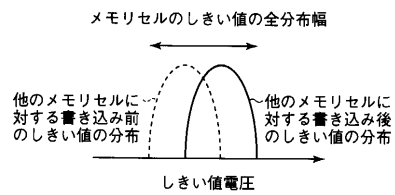
【 図 1 8 】



(a)



(b)



(c)

フロントページの続き

(51)Int.Cl.⁷

F I

H 0 1 L 29/792

H 0 1 L 29/78 3 7 1

(74)代理人 100092196

弁理士 橋本 良郎

(74)代理人 100091351

弁理士 河野 哲

(74)代理人 100088683

弁理士 中村 誠

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 ジアン・チェン

アメリカ合衆国、 9 4 0 8 9、 カリフォルニア州、 サニーベール、 カスピアン コート
1 4 0

審査官 小松 正

(56)参考文献 特開平11-219593(JP,A)

特開2000-149578(JP,A)

特開2000-163977(JP,A)

特開2001-167589(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G11C 16/00-16/34