

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-197286

(P2005-197286A)

(43) 公開日 平成17年7月21日(2005.7.21)

(51) Int. Cl.⁷
H01L 33/00

F I
H01L 33/00

テーマコード(参考)
5F041

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願2003-435183 (P2003-435183)
(22) 出願日 平成15年12月26日(2003.12.26)

(71) 出願人 000190149
信越半導体株式会社
東京都千代田区丸の内1丁目4番2号
(74) 代理人 100095751
弁理士 菅原 正倫
(72) 発明者 萩本 和徳
群馬県安中市磯部二丁目13番1号 信越
半導体株式会社半導体磯部研究所内
Fターム(参考) 5F041 CA04 CA33 CA34 CA37 CA74
CA76

(54) 【発明の名称】 半導体薄膜のハンドリング方法および発光素子の製造方法

(57) 【要約】

【課題】 本発明の課題は、半導体薄膜を容易にハンドリングすることのできるハンドリング方法、及びそれに基づいた発光素子の製造方法を提供することにある。

【解決手段】 上記課題を解決するため、本発明の半導体薄膜ウェハのハンドリング方法では、

半導体薄膜4の貼り合わせ面41にAuを主成分とする第一Au系層91を形成する工程と、

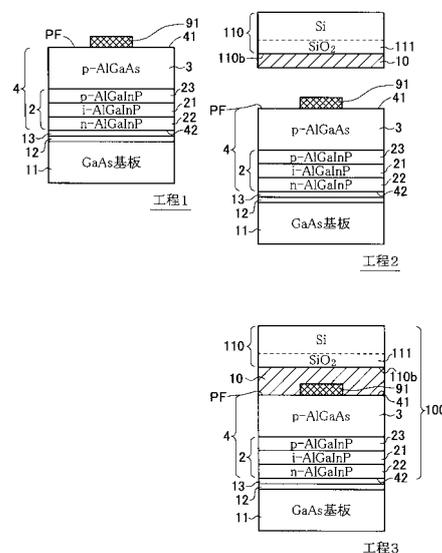
仮支持基板110の二酸化珪素よりなる貼り合わせ面110bにAuを主成分とする第二Au系層10を形成する工程と、

第一Au系層91と第二Au系層10とを結合し、半導体薄膜4と仮支持基板110とが一体化した仮支持積層体100を形成して該仮支持積層体100をハンドリングする工程と、

仮支持積層体100から仮支持基板110を第二Au系層10との界面にて剥離する工程と、

を有することを特徴とする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体薄膜の貼り合わせ面に Au を主成分とする第一 Au 系層を形成する工程と、
仮支持基板の二酸化珪素よりなる貼り合わせ面に Au を主成分とする第二 Au 系層を形成する工程と、

前記第一 Au 系層と前記第二 Au 系層とを結合し、前記半導体薄膜と前記仮支持基板とが一体化した仮支持積層体を形成して該仮支持積層体をハンドリングする工程と、

前記仮支持積層体から前記仮支持基板を前記第二 Au 系層との界面にて剥離する工程と、

を有することを特徴とする半導体薄膜のハンドリング方法。

10

【請求項 2】

前記仮支持基板の剥離後、前記半導体薄膜上の前記第二 Au 系層を除去することを特徴とする請求項 1 に記載の半導体薄膜のハンドリング方法。

【請求項 3】

前記仮支持基板は、貼り合わせ面が二酸化珪素で被覆されたシリコン基板であることを特徴とする請求項 1 または 2 に記載の半導体薄膜のハンドリング方法。

【請求項 4】

発光層部成長用基板上に形成された発光層部を有する化合物半導体層の第一主表面に、Au を主成分とする第一 Au 系層を形成する一方、仮支持基板の二酸化珪素よりなる貼り合わせ面に Au を主成分とする第二 Au 系層を形成する仮支持用 Au 系層形成工程と、

20

前記第一 Au 系層と前記第二 Au 系層とを結合して、前記化合物半導体層と前記仮支持基板とが一体化した仮支持積層体を形成する仮支持積層体形成工程と、

前記仮支持積層体から前記成長用基板を除去して前記化合物半導体層の第二主表面を露出させ、該第二主表面に素子基板を結合する素子基板結合工程と、

前記仮支持基板を前記第二 Au 系層との界面において剥離する仮支持基板除去工程と、
をこの順に行うことを特徴とする発光素子の製造方法。

【請求項 5】

前記仮支持基板は、貼り合わせ面が二酸化珪素で被覆されたシリコン基板であることを特徴とする請求項 4 に記載の発光素子の製造方法。

【請求項 6】

前記素子基板結合工程は、前記仮支持積層体の状態で前記化合物半導体層の前記第二主表面に発光層部側 Au 系層を、前記素子基板の貼り合わせ面に素子基板側 Au 系層を形成し、前記発光層部側 Au 系層と前記素子基板側 Au 系層とを結合することにより行われることを特徴とする請求項 4 または 5 に記載の発光素子の製造方法。

30

【請求項 7】

前記化合物半導体層の前記第一主表面に形成された前記第一 Au 系層を、前記発光層部に発光駆動電圧を印加するための電極として利用することを特徴とする請求項 4 ないし 6 のいずれか 1 項に記載の発光素子の製造方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、半導体薄膜のハンドリング方法、及び発光素子の製造方法に関する。

【背景技術】

【0002】

近年、半導体素子では、小型化及び高性能化に伴い、その製造工程において非常に薄い半導体薄膜を貼り合わせる技術が求められている。発光ダイオードや半導体レーザー等の発光素子を例に挙げると、III-V 族化合物半導体、例えば AlGaInP 混晶により発光層部が形成された発光素子は、AlGaInP 混晶が GaAs と格子整合することを利用して、GaAs 基板上に AlGaInP 混晶からなる発光層部をエピタキシャル成長させることにより形成できる。しかしながら、発光層部を構成する AlGaInP 混晶は

50

GaAsよりもバンドギャップが大きいこと、発光した光がGaAs基板に吸収されて十分な光取出し効率を得られにくい難点がある。この問題を解決するために、特許文献1をはじめとする種々の公報には、成長用のGaAs基板を剥離した後に、補強用の素子基板をAu層を介して剥離面に貼り合わせる技術が開示されている。この際、GaAs基板が剥離された発光層部を含む化合物半導体層（半導体薄膜）は、厚さが50 μ m以下程度（例えば30 μ m）と、非常に薄い場合がある。

【0003】

【特許文献1】特開2001-339100号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0004】

上記のような貼り合わせによる発光素子を得るためには、貼り合わせ工程をはじめとする多くの工程において、非常に薄い半導体薄膜に対してハンドリングを行う必要がある。しかし、そのような半導体薄膜は、例えばピンセットのような手段によって挟まれた状態でハンドリングが行われると、破損してしまうことが多い。

【0005】

そこで、本発明の課題は、半導体薄膜を容易にハンドリングすることのできるハンドリング方法およびそれに基づいた発光素子の製造方法を提供することにある。

【課題を解決するための手段・発明の効果】

【0006】

20

上記課題を解決するため、本発明の半導体薄膜のハンドリング方法では、半導体薄膜の貼り合わせ面にAuを主成分とする第一Au系層を形成する工程と、仮支持基板の二酸化珪素よりなる貼り合わせ面にAuを主成分とする第二Au系層を形成する工程と、

前記第一Au系層と前記第二Au系層とを結合し、前記半導体薄膜と前記仮支持基板とが一体化した仮支持積層体を形成して該仮支持積層体をハンドリングする工程と、

前記仮支持積層体から前記仮支持基板を前記第二Au系層との界面にて剥離する工程と、

を有することを特徴とする。

なお、本明細書において「主成分」とは、最も質量含有率の高い成分のことをいう。

30

【0007】

上記本発明の半導体薄膜のハンドリング方法によると、半導体薄膜と仮支持基板のそれぞれの貼り合わせ面に第一及び第二のAu系層を振り分けて形成し、これらを結合させて仮支持積層体を形成する。そして、非常に薄い半導体薄膜を仮支持積層体の状態でハンドリングすることで、半導体薄膜はそれに結合された仮支持基板によって補強及び保護されるので、容易にハンドリングを行うことが可能となる。また、Au系層同士は室温での加圧で結合するが、貼り合わせの際に加熱してもよい。

【0008】

仮支持基板の二酸化珪素(SiO₂)よりなる貼り合わせ面は、Au系層との密着性が弱いため、半導体薄膜のハンドリング終了後に、仮支持積層体において、仮支持基板を第二Au系層との界面にて簡単に剥離することができる。これにより、剥離した仮支持基板を新たな半導体薄膜のハンドリングに使用できる。半導体薄膜の貼り合わせ面上にAu系層を残す必要がない場合には、仮支持基板の剥離後、半導体薄膜の貼り合わせ面上に残存する第二Au系層を除去することもできる。

40

【0009】

仮支持基板としては、貼り合わせ面が二酸化珪素で被覆されたシリコン基板を用いることができる。シリコン(Si)は表層に非常に良質の酸化膜を形成するが、このような酸化膜はAu系層に対して不活性であり、Au系層との密着性が弱いため、仮支持基板の貼り合わせ面とするのに非常に適している。

【0010】

50

以上の半導体薄膜のハンドリング方法は、貼り合わせ工程を有する発光素子の製造に適用することが可能である。

すなわち、本発明の発光素子の製造方法では、

発光層部成長用基板上に形成された発光層部を有する化合物半導体層の第一主表面に、Auを主成分とする第一Au系層を形成する一方、仮支持基板の二酸化珪素よりなる貼り合わせ面にAuを主成分とする第二Au系層を形成する仮支持用Au系層形成工程と、

前記第一Au系層と前記第二Au系層とを結合して、前記化合物半導体層と前記仮支持基板とが一体化した仮支持積層体を形成する仮支持積層体形成工程と、

前記仮支持積層体から前記成長用基板を除去して前記化合物半導体層の第二主表面を露出させ、該第二主表面に素子基板を結合する素子基板結合工程と、

前記仮支持基板を前記第二Au系層との界面において剥離する仮支持基板除去工程と、をこの順に行うことを特徴とする。

10

【0011】

上記本発明の発光素子の製造方法によると、上述した半導体薄膜のハンドリング方法のごとく、半導体薄膜としての化合物半導体から発光層部成長用基板を除去し、その除去面に素子基板を結合する際に、半導体薄膜のハンドリングが容易となる。

【0012】

仮支持基板としては、貼り合わせ面が二酸化珪素で被覆されたシリコン基板を用いることができる。上述したように、シリコン(Si)は表層に非常に良質の酸化膜を形成するが、このような酸化膜はAu系層に対して不活性であり、Au系層との密着性が弱いため、仮支持基板の貼り合わせ面とするのに非常に適している。

20

【0013】

素子基板結合工程は、仮支持積層体の状態で化合物半導体層の第二主表面に発光層部側Au系層を、素子基板の貼り合わせ面に素子基板側Au系層を形成し、発光層部側Au系層と素子基板側Au系層とを結合することにより行うことができる。Au系層同士は比較的低温でも容易に一体化するので、貼り合わせの熱処理温度が低くとも十分な貼り合わせ強度を有する発光素子が得られる。

【0014】

また、化合物半導体層の第一主表面に形成された第一Au系層は、発光層部に発光駆動電圧を印加するための電極として利用することができる。これによって製造工程の簡略化を図ることが可能となる。

30

【発明を実施するための最良の形態】

【0015】

以下、本発明に係る半導体薄膜のハンドリング方法および発光素子の製造方法の実施形態を、図面を参照して説明する。

まず、本発明の発光素子の製造方法により得られる発光素子1の一例を図1に示す。発光素子1は、素子基板としてのn型Si単結晶よりなるシリコン基板7の第一主表面71上に、Auを主成分とするAu系層5を介して発光層部2が貼り合わされた構造を有してなる。

【0016】

発光層部2は、ノンドープ($Al_xGa_{1-x})_yIn_{1-y}P$ (ただし、 $0 < x < 0.55$ 、 $0.45 < y < 0.55$)混晶からなる活性層21を、第一導電型クラッド層、本実施形態ではp型($Al_zGa_{1-z})_yIn_{1-y}P$ (ただし $x < z < 1$)からなるp型クラッド層23と、第一導電型クラッド層とは異なる第二導電型クラッド層、本実施形態ではn型($Al_zGa_{1-z})_yIn_{1-y}P$ (ただし $x < z < 1$)からなるn型クラッド層22とにより挟んだ構造を有し、活性層21の組成に応じて、発光波長を、緑色から赤色領域(発光波長(ピーク発光波長)が550nm以上670nm以下)にて調整できる。発光素子1においては、金属電極91側にp型AlGaInPクラッド層23が配置されており、Au系層5側にn型AlGaInPクラッド層22が配置されている。従って、通電極性は金属電極91側が正である。なお、ここでいう「ノンドープ」とは、

40

50

「ドーパントの積極添加を行わない」との意味であり、通常の製造工程上、不可避免的に混入するドーパント成分の含有（例えば $10^{13} \sim 10^{16} / \text{cm}^3$ 程度を上限とする）をも排除するものではない。なお、それとは逆に、p型クラッド層23をAu系層5側、n型クラッド層22を金属電極91側とすることもできる。その場合、通電極性が反対となり、他の部材は図中に表記された導電型とは反対の導電型となる。

【0017】

また、発光層部2のシリコン基板7に面しているのと反対側の主表面上にはAlGaAsよりなる電流拡散層3が形成され、その主表面41の略中央には、発光層部2に発光駆動電圧を印加するために、例えばAuBe層91aの上にAu層91bを形成した金属電極91が、該主表面41の一部を覆うように形成されている。電流拡散層3の主表面41における、金属電極91の周囲の領域は、発光層部2からの光取出領域PFをなす。なお、発光層部2と電流拡散層3とからなる層体を、以下化合物半導体層4とする。金属電極91は、化合物半導体層4の第一主表面側に形成されている。また、シリコン基板7の第二主表面72側にはその全体を覆うように金属電極（裏面電極：例えばAu電極である）92が形成されている。なお、金属電極92とシリコン基板7との間には、AuSb接合金酸化層63が介挿されている。また、AuSbに代えてAuSnを接合金酸化層として用いてもよい。

10

【0018】

シリコン基板7は、Si単結晶インゴットをスライス・研磨して製造されたものであり、その厚みは例えば $100 \mu\text{m}$ 以上 $500 \mu\text{m}$ 以下である。そして、発光層部2に対し、Au系層5を挟んで貼り合わされている。Au系層5は、化合物半導体層4の第二主表面側に形成した発光層部側Au系層5aと、シリコン基板7の第一主表面側に形成した素子基板側Au系層5bとが貼り合わせ熱処理により貼り合わされたものである。

20

【0019】

発光層部2と発光層部側Au系層5aとの間には、AuGeNi接合層61（例えばGe：15質量%、Ni：10質量%）が形成されており、素子の直列抵抗低減に貢献している。AuGeNi接合層61は、発光層部側Au系層5aの主表面上に分散形成され、その形成面積率は1%以上25%以下である。また、シリコン基板7と素子基板側Au系層5bとの間には、AuSb接合層62（例えばSb：5質量%）が介挿されている。なお、AuSbに代えてAuSnを接合層として用いてもよい。

30

【0020】

前記AuSb接合金属層62は、シリコン基板7からのSi成分がAu系層5へ拡散することを防ぐために、Ti（チタン）層8により覆われている。そして、Ti層8の全面を覆う形で、これと接するようにAu系層5が配置されている。なお、本実施形態においてAu系層5は、純AuもしくはAu含有率が95質量%以上のAu合金よりなる。

【0021】

発光層部2からの光は、光取出面側に直接放射される光に、Au系層5による反射光が重畳される形で取り出される。Au系層5の厚さは、反射効果を十分に確保するため、 80nm 以上とすることが望ましい。

【0022】

以下、図1の発光素子1の製造方法について説明する。

まず、図2の工程1に示すように、発光層部成長用基板をなすGaAs単結晶基板11の主表面に、n型GaAsバッファ層12を例えば $0.5 \mu\text{m}$ 、AlAsからなる剥離層13を例えば $0.5 \mu\text{m}$ 、この順序にてエピタキシャル成長させる。その後、発光層部2として、約 $1 \mu\text{m}$ のn型AlGaInPクラッド層22、約 $0.6 \mu\text{m}$ のAlGaInP活性層（ノンドープ）21、及び約 $1 \mu\text{m}$ のp型AlGaInPクラッド層23を、この順序にエピタキシャル成長させる。また、さらにp型AlGaAsよりなる電流拡散層3を例えば $5 \mu\text{m}$ エピタキシャル成長させる。これによって、GaAs単結晶基板11上に発光層部2及び電流拡散層3からなる化合物半導体層4を形成する。該化合物半導体層4は、その厚さが $8 \mu\text{m}$ 程度であり、単独でのハンドリングが困難な厚さとなっている。

40

50

【0023】

化合物半導体層4の第一主表面41には、Auを主成分とする第一Au系層91を形成する。第一Au系層91はドット状に形成され、後に発光層部2に発光駆動電圧を印加するための電極として利用される。該第一Au系層91は、例えばAuBe層91a上にAu層91bを形成してなる。

【0024】

次に、工程2に示すように、化合物半導体層4を仮支持してハンドリングするための仮支持基板110の貼り合わせ面110bに、Auを主成分とする第二Au系層10を形成する(以上、仮支持用Au系層形成工程)。以上の工程で第一Au系層および第二Au系層の形成は、スパッタリングあるいは真空蒸着等を用いて行うことができる。なお、仮支持基板110は、貼り合わせ面110bを二酸化珪素皮膜で被覆したシリコン基板からなる。

10

【0025】

次に、工程3に示すように、第一Au系層91と第二Au系層10とを室温で加圧して結合し、化合物半導体層4とシリコン基板(仮支持基板)110とが一体化した仮支持積層体100を形成する(以上、仮支持積層体形成工程)。この仮支持積層体形成工程は、化合物半導体4に発光層部成長用基板であるGaAs単結晶基板11が伴った状態で行われるため、ここで形成される仮支持積層体100は、図に示すように、GaAs単結晶基板11上に形成された形となる。

【0026】

次に、図3の工程4に示すように、仮支持積層体100に付随している発光層部成長用基板であるGaAs単結晶基板11を除去する。これは、GaAs単結晶基板11が付随している仮支持積層体100(工程3参照)を、例えば10%フッ酸水溶液からなるエッチング液に浸漬し、パuffa層12と発光層部2との間に形成されたAlAs剥離層13を選択エッチングすることにより、GaAs単結晶基板11(発光層部2からの光に対して不透明である)を、仮支持積層体100から剥離する。なお、AlAs剥離層13に代えてAlInPよりなるエッチストップ層を形成しておき、GaAsに対して選択エッチング性を有する第一エッチング液(例えばアンモニア/過酸化水素混合液)を用いてGaAs単結晶基板11をGaAsパuffa層12とともにエッチング除去し、次いでAlInPに対して選択エッチング性を有する第二エッチング液(例えば塩酸:Al酸化層除去用にフッ酸を添加してもよい)を用いてエッチストップ層をエッチング除去する工程を採用することもできる。GaAs単結晶基板11と切り離された後も、厚さ8μm程度の化合物半導体層4は仮支持基板110により支えられており、仮支持積層体100の状態ではハンドリングを容易に行うことができる。

20

30

【0027】

次に、工程5及び6に示す素子基板結合工程を行う。素子基板結合工程は、仮支持積層体100の状態では化合物半導体層4の第二主表面42に発光層部側Au系層5aを形成するとともに、素子基板としてのシリコン基板5bの貼り合わせ面に素子基板側Au系層5bを形成し、発光層部側Au系層5aと素子基板側Au系層5bとを加熱しながら加圧して結合することにより行われる。

40

【0028】

詳しくは、工程5に示すように、発光層部2の第二主表面42に、AuGeNi接合層61を分散形成する。AuGeNi接合層61を形成後、350以上500以下の温度域で合金化熱処理を行ない、その後、AuGeNi接合層61を覆うように発光層部側Au系層5aを形成する。発光層部2とAuGeNi接合層61の間には、上記合金化熱処理により合金化層が形成され、直列抵抗が大幅に低減される。他方、別途用意した素子基板であるシリコン基板7(n型)の両方の主表面にAuSb接合層62、63(前述の通りAuSn接合層でもよい)を形成し、250以上359以下の温度域で合金化熱処理を行う。続いて、AuSb接合層62上にSiの拡散阻止層として機能するTi層8を形成する。そして、Ti層8の上には、素子基板側Au系層5bを、AuSb接合層

50

63上には裏面電極層92(例えばAu系金属よりなるもの)をそれぞれ形成する。以上の工程で各金属層は、スパッタリングあるいは真空蒸着等を用いて行うことができる。

【0029】

そして、工程6に示すように、発光層部2側に形成された発光層部側Au系層5aを、シリコン基板7側に形成された素子基板側Au系層5bに重ね合わせて加圧し、180よりも高温かつ360以下、例えば250にて加熱することにより結合させる。その結果、発光層部側Au系層5aと素子基板側Au系層5bとは十分な強度にて結合される。

【0030】

次に、図4の工程7及び8に示す仮支持基板除去工程を行う。まず、工程7に示すように、仮支持用のシリコン基板110と化合物半導体層4との間に例えばエッジを少し挿入して、仮支持基板110を仮支持積層体100から剥離する。この時、剥離は仮支持基板110と第二Au系層10との界面において起こる。その後、工程8に示すように、化合物半導体層4の第一主表面41上に付着して残存する第二Au系層10を、例えば高圧ガスを吹き付けることによって除去する。化合物半導体層4の第一主表面41上に残された第一Au系層91は、発光部2に発光駆動電圧を印加するための金属電極として利用される。

10

【0031】

そして、以下、通常の方法によりダイシングして半導体チップとし、これを支持体に固着してリード線のワイヤボンディング等を行った後、樹脂封止をすることにより最終的な発光素子1が得られる。

20

【図面の簡単な説明】

【0032】

【図1】本発明の発光素子の製造方法により得られる発光素子の構造を表す概略図

【図2】本発明の発光素子の製造方法を表す工程図

【図3】図2に続く工程図

【図4】図3に続く工程図

【符号の説明】

【0033】

- 1 発光素子
- 2 発光層部
- 3 電流拡散層
- 4 化合物半導体層
- 5 Au系層
- 5a 発光層部側Au系層
- 5b 素子基板側Au系層
- 7 素子基板(シリコン基板)
- 10 第二Au系層
- 11 発光層部成長用基板(GaAs単結晶基板)
- 91 第一Au系層, 電極
- 100 仮支持積層体
- 110 仮支持基板(仮支持用シリコン基板)
- 111 二酸化珪素膜

30

40

