



(21)申請案號：100102239 (22)申請日：中華民國 100 (2011) 年 01 月 21 日
 (51)Int. Cl. : H01L23/31 (2006.01) H01L21/50 (2006.01)
 (30)優先權：2010/01/21 美國 61/297,246
 (71)申請人：精材科技股份有限公司 (中華民國) XINTEC INC. (TW)
 桃園市中壢區中壢工業區吉林路 23 號 9 樓
 (72)發明人：倪慶羽 NI, CHING YU (TW)；徐長生 HSU, CHANG CHENG (TW)
 (74)代理人：洪澄文；顏錦順
 (56)參考文獻：
 US 2007/0190691A1
 審查人員：廖崑男
 申請專利範圍項數：20 項 圖式數：1 共 24 頁

(54)名稱

晶片封裝體及其製造方法

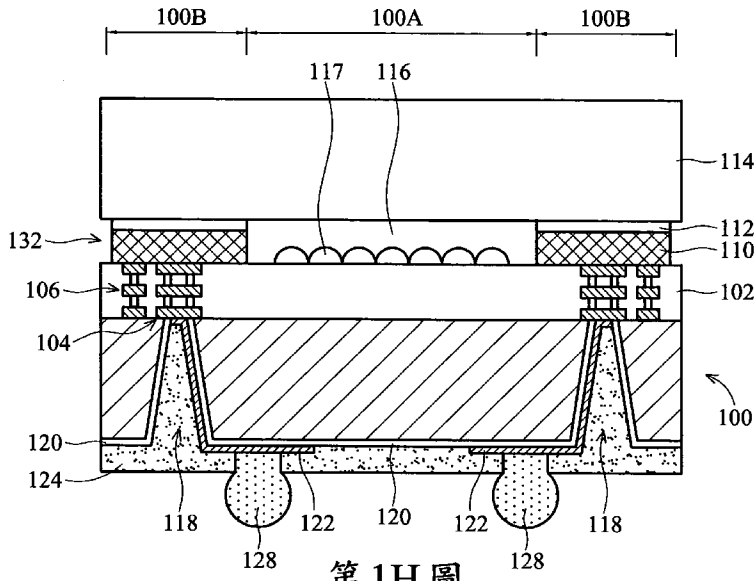
CHIP PACKAGE AND FABRICATION METHOD THEREOF

(57)摘要

本發明實施例係有關於一種晶片封裝體及其製造方法，晶片封裝體包括具有晶粒的半導體基底，封裝層設置於半導體基底之上，以及間隔層設置於半導體基底與封裝層之間，其中由半導體基底、間隔層與封裝層所構成之表面具有凹陷部。晶片封裝體的製造方法包括在半導體晶圓的複數個晶粒與封裝層之間形成複數個間隔層，其中對應每一晶粒的每一間隔層係互相分離，且此間隔層自晶粒邊緣向內退縮形成凹陷部，以及沿著相鄰兩個晶粒之間的切割道分割半導體晶圓，形成複數個晶片封裝體。

A chip package and a fabrication method thereof are provided according to an embodiment of the invention. The chip package contains a semiconductor substrate having a chip. A packaging layer is disposed over the semiconductor substrate. A spacer is disposed between the semiconductor substrate and the packaging layer, wherein a surface formed from the semiconductor substrate, the spacer and the packaging layer has a recess section. The method contains forming a plurality of spacers between a plurality of chips of a semiconductor wafer and a packaging layer, wherein each spacer corresponding to each chip is separated from each other and the spacer is shrunk inward from an edge of the chip to form a recess section and dicing the semiconductor wafer along a scribe line between two adjacent chips to form a plurality of chip packages.

指定代表圖：



符號簡單說明：

- 100 . . . 半導體基底
- 100A . . . 元件區
- 100B . . . 周邊接墊區
- 102 . . . 金屬層間介電層
- 104 . . . 導電墊
- 106 . . . 密封環
- 110 . . . 間隔層
- 112 . . . 黏著層
- 114 . . . 封裝層
- 116 . . . 間隙
- 117 . . . 微透鏡陣列
- 118 . . . 導通孔
- 120 . . . 絕緣層
- 122 . . . 導線層
- 124 . . . 保護層
- 128 . . . 導電凸塊
- 132 . . . 凹陷部

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100102239

※申請日：99.1.21

※IPC 分類：

H01L 23/31
H01L 21/50

(2006.01)

(2006.01)

一、發明名稱：(中文/英文)

晶片封裝體及其製造方法

Chip package and fabrication method thereof

二、中文發明摘要：

本發明實施例係有關於一種晶片封裝體及其製造方法，晶片封裝體包括具有晶粒的半導體基底，封裝層設置於半導體基底之上，以及間隔層設置於半導體基底與封裝層之間，其中由半導體基底、間隔層與封裝層所構成之表面具有凹陷部。晶片封裝體的製造方法包括在半導體晶圓的複數個晶粒與封裝層之間形成複數個間隔層，其中對應每一晶粒的每一間隔層係互相分離，且此間隔層自晶粒邊緣向內退縮形成凹陷部，以及沿著相鄰兩個晶粒之間的切割道分割半導體晶圓，形成複數個晶片封裝體。

三、英文發明摘要：

A chip package and a fabrication method thereof are provided according to an embodiment of the invention. The chip package contains a semiconductor substrate having a chip. A packaging layer is disposed over the

semiconductor substrate. A spacer is disposed between the semiconductor substrate and the packaging layer, wherein a surface formed from the semiconductor substrate, the spacer and the packaging layer has a recess section. The method contains forming a plurality of spacers between a plurality of chips of a semiconductor wafer and a packaging layer, wherein each spacer corresponding to each chip is separated from each other and the spacer is shrunk inward from an edge of the chip to form a recess section and dicing the semiconductor wafer along a scribe line between two adjacent chips to form a plurality of chip packages.

四、指定代表圖：

(一)本案指定代表圖為：第(1H)圖。

(二)本代表圖之元件符號簡單說明：

100～半導體基底；	100A～元件區；
100B～周邊接墊區；	102～金屬層間介電層；
104～導電墊；	106～密封環；
110～間隔層；	112～黏著層；
114～封裝層；	116～間隙；
117～微透鏡陣列；	118～導通孔；
120～絕緣層；	122～導線層；
124～保護層；	128～導電凸塊；
132～凹陷部。	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種晶片封裝體，特別有關於一種晶片封裝體の間隔層結構設計及其製造方法。

【先前技術】

目前業界針對晶片的封裝已發展出一種晶圓級封裝技術，半導體晶圓通常與玻璃基板接合在一起，並在半導體晶圓與玻璃基板之間設置間隔層。於晶圓級封裝體完成之後，在各晶片之間進行切割步驟，以形成晶片封裝體。

在習知的晶片封裝體中，半導體基底、間隔層與玻璃基板之間為連續的界面，由於各層的材料不同，膨脹係數也不同，因此當習知的晶片封裝體受到高溫影響之下，半導體基底、間隔層與玻璃基板之間會產生脫層的現象，使得水氣及空氣進入晶片封裝體，導致習知的晶片封裝體發生電性不良。

因此，業界亟需一種晶片封裝體，其可以克服上述問題，避免晶片封裝體產生脫層現象。

【發明內容】

本發明實施例係提供一種晶片封裝體，包括一具有晶粒的半導體基底，封裝層設置於半導體基底之上，以及間隔層設置於半導體基底與封裝層之間，其中由半導體基底、間隔層與封裝層所構成之表面具有凹陷部，此

凹陷部位於半導體基底與封裝層之間，使得半導體基底、間隔層以及封裝層形成一不連續的界面。

此外，本發明還提供一種晶片封裝體的製造方法，包括：提供一半導體晶圓，包含複數個晶粒，任兩個相鄰的晶粒之間包括一切割道；提供一封裝層；形成複數個間隔層於半導體晶圓的該些晶粒與封裝層之間，其中對應每一晶粒的每一間隔層係互相分離，且此間隔層係自晶粒邊緣向內退縮形成凹陷部；接合半導體晶圓與封裝層；以及沿著切割道分割半導體晶圓，形成複數個晶片封裝體。

為了讓本發明之上述目的、特徵、及優點能更明顯易懂，以下配合所附圖式，作詳細說明如下：

【實施方式】

以下以實施例並配合圖式詳細說明本發明，在圖式或說明書描述中，相似或相同之部分係使用相同之圖號。且在圖式中，實施例之形狀或是厚度可擴大，以簡化或是方便標示。再者，圖式中各元件之部分將以描述說明之，值得注意的是，圖中未繪示或描述之元件，為所屬技術領域中具有通常知識者所知的形式。另外，特定之實施例僅為揭示本發明使用之特定方式，其並非用以限定本發明。

本發明係以一製作影像感測元件封裝體(image sensor package)的實施例作為說明。然而，可以了解的是，在本發明之晶片封裝體的實施例中，其可應用於各

種包含主動元件或被動元件 (active or passive elements)、數位電路或類比電路 (digital or analog circuits) 等積體電路的電子元件 (electronic components)，例如有關於光電元件 (opto electronic devices)、微機電系統 (Micro Electro Mechanical System; MEMS)、微流體系統 (micro fluidic systems)、或利用熱、光線及壓力等物理量變化來測量的物理感測器 (Physical Sensor)。特別是可選擇使用晶圓級封裝 (wafer scale package; WSP) 製程對影像感測元件、發光二極體 (light-emitting diodes; LEDs)、太陽能電池 (solar cells)、射頻元件 (RF circuits)、加速計 (accelerators)、陀螺儀 (gyroscopes)、微制動器 (micro actuators)、表面聲波元件 (surface acoustic wave devices)、壓力感測器 (process sensors) 或噴墨頭 (ink printer heads) 等半導體晶片進行封裝。

其中上述晶圓級封裝製程主要係指在晶圓階段完成封裝步驟後，再予以切割成獨立的封裝體，然而，在一特定實施例中，例如將已分離之半導體晶片重新分布在一承載晶圓上，再進行封裝製程，亦可稱之為晶圓級封裝製程。另外，上述晶圓級封裝製程亦適用於藉堆疊 (stack) 方式安排具有積體電路之多片晶圓，以形成多層積體電路 (multi-layer integrated circuit devices) 之晶片封裝體。

本發明實施例提供一種晶片封裝體及其製造方法，在上述元件的晶圓級封裝體完成之後，以切割製程分割各晶粒，形成晶片封裝體。在本發明實施例之晶片封裝

體中，由半導體基底、間隔層與封裝層所構成的表面具有一凹陷部。在一實施例中，此凹陷部位於半導體基底與封裝層之間，使得半導體基底、間隔層以及封裝層形成一不連續的界面，避免晶片封裝體產生脫層(delamination)現象。

接著，請參閱第 1A 至 1H 圖，其係顯示依據本發明之一實施例，形成晶片封裝體之製造方法的剖面示意圖。如第 1A 圖所示，首先提供一包含複數個晶粒的半導體晶圓 100，每個晶粒包含元件區 100A 與周邊接墊區 100B，其中周邊接墊區 100B 圍繞元件區 100A。

此外，半導體晶圓 100 還具有複數個導電墊(conductive pad)104 以及密封環(seal ring)106，設置在半導體晶圓 100 內的晶粒之周邊接墊區 100B 上。導電墊 104 與密封環 106 係由複數層的金屬層以及複數層的導孔(via)所組成，形成於金屬層間介電層(intermetal dielectric layer; IMD)102 中，其中密封環 106 圍繞該些導電墊 104，並包圍元件區 100A，介於任兩個相鄰的晶粒之間的切割道(scribe line)SL 是由任兩個相鄰的密封環 106 之間所定義。

接著，請參閱第 1B 圖，在半導體晶圓 100 的表面上全面性形成間隔層材料 108，間隔層材料 108 可以為感光絕緣材料，例如環氧樹脂(epoxy)、阻錒材料(solder mask)等，可利用塗佈方式形成。如第 1B 圖所示，提供一光罩 200，設置於間隔層材料 108 上方，光罩 200 具有光罩圖案 210，對應至預定形成的間隔層圖案。

接著，對間隔層材料 108 進行曝光 220 及顯影製程，定義間隔層(spacer)110 圖案，形成複數個間隔層 110，如第 1C 圖所示。在一實施例中，間隔層 110 形成於周邊接墊區 100B 上，圍繞元件區 100A，以上視角度觀之，對應每一晶粒的每一間隔層 110 係互相分離，形成不連續的間隔層 110 圖案，且間隔層 110 自晶粒邊緣，亦即周邊接墊區 100B 的邊界向內退縮，形成凹陷部，密封環 106 位於間隔層 110 的範圍內。

接著，如第 1D 圖所示，提供封裝層 114 與半導體晶圓 100 接合，封裝層 114 例如為玻璃基板或是另一空白矽晶圓。在一實施例中，可藉由間隔層 110 分開封裝層 114 與半導體晶圓 100，同時形成由間隔層 110 所圍繞的間隙 116(cavity)。在此實施例中，間隔層 110 係先形成於半導體晶圓 100 上，然後再藉由黏著層 112 與封裝層 114 接合。在另一實施例中，亦可將間隔層 110 先形成於封裝層 114 上，然後再藉由黏著層(未繪出)與半導體晶圓 100 接合，此時，黏著層係介於間隔層 110 與半導體晶圓 100 之間。

上述黏著層可利用網版印刷(screen printing)的方式塗佈於間隔層 110 上，黏著層的圖案大抵上與間隔層 110 的圖案相同。

接著，請參閱第 1E 圖，於半導體晶圓 100 的背面，以微影及蝕刻方式形成導通孔(through hole)118，暴露出導電墊 104 的表面。然後，如第 1F 圖所示，在半導體晶圓 100 的背面上形成絕緣層 120，且延伸至導通孔 118 的

側壁上。絕緣層 120 可以為非光阻的絕緣材料，例如氧化矽、氮化矽或氮氧化矽，可利用熱氧化法、化學氣相沈積法(CVD)或物理氣相沈積法(PVD)，順應性地形成絕緣材料於半導體晶圓 100 的背面上，以及導通孔 118 的側壁和底部上，接著，以微影及蝕刻方式除去導通孔 118 底部的絕緣材料，形成如第 1F 圖所示的絕緣層 120。

接著，在絕緣層 120 上形成導線層(conductive trace layer)122，且延伸至導通孔 118 的底部，以與導電墊 104 電性連接。可藉由例如是濺鍍(sputtering)、蒸鍍(evaporating)或電鍍(electroplating)的方式，沈積例如是銅、鋁或鎳(nickel; Ni)的導電材料層(未繪示)於絕緣層 120 上以及導通孔 118 內，然後再藉由微影及蝕刻方式圖案化導電材料層，以形成上述導線層 122。

如第 1G 圖所示，在絕緣層 120 以及導線層 122 上塗佈一例如是阻焊膜(solder mask)的保護層 124，覆蓋導線層 122，接著，圖案化保護層 124，形成開口 126，以暴露部份的導線層 122。然後，在保護層 124 的開口 126 內塗佈焊料，並進行回焊(reflow)步驟，以形成導電凸塊 128，導電凸塊 128 可以是錫球(solder ball)或錫墊(solder paste)。

然後，以切割刀(未繪出)沿著切割道 SL 內的線 130 將半導體晶圓 100 分割，即可形成複數個晶片封裝體，如第 1H 圖所示。值得注意的是，切割刀的寬度小於切割道 SL 的寬度。

請參閱第 1H 圖，其係顯示依據本發明一實施例之晶

片封裝體的剖面示意圖。晶粒具有的半導體基底 100 例如由半導體晶圓分割而來，晶粒包含元件區 100A 和周邊接墊區 100B 在半導體基底 100 中，其中周邊接墊區 100B 圍繞元件區 100A。

在半導體基底 100 的周邊接墊區 100B 上具有複數個導電墊 104 以及密封環 106，導電墊 104 例如為接合墊 (bonding pad)，可透過金屬連線 (未繪出) 連接至晶片內部，密封環 106 位於導電墊 104 的外側，可以防止半導體晶圓於切割製程中產生的裂縫延伸至晶片內，密封環 106 並未與晶片內部產生電性連接。

依據本發明之實施例，經由分割半導體晶圓 100 所形成的晶片封裝體中，由封裝層 114、間隔層 110 以及半導體基底 100 所構成的表面具有一凹陷部 132，此凹陷部 132 介於封裝層 114 與半導體基底 100 之間，使得封裝層 114、黏著層 112、間隔層 110 以及半導體基底 100 形成一不連續的界面。

在一實施例中，以上視角度觀之，凹陷部 132 係圍繞著間隔層 110，形成一環狀凹陷部，此時，對應相鄰的兩個晶粒之該些間隔層 110 係互相分離。在另一實施例中，以上視角度觀之，對應一個晶粒的間隔層 110 之形狀可以為矩形，且凹陷部 132 可設置於矩形的各角落、各邊或前述之組合。當凹陷部 132 設置於矩形的角落時，即形成一 L 型的開口於間隔層 110 的角落；當凹陷部 132 設置於矩形的各邊時，則對應相鄰的兩個晶粒之該些間隔層 110 係互相連接，並形成矩形的開口於相鄰的兩個

間隔層 110 中。

在一實施例中，上述晶片封裝體可應用於影像感測元件，例如互補式金氧半導體元件(CMOS)或電荷耦合元件(charge-couple device; CCD)，此外如微機電元件等亦不在此限。

上述導電墊 104 及密封環 106 較佳可以由銅(copper; Cu)、鋁(aluminum; Al)或其它合適的金屬材料所製成。在封裝層 114 與半導體基底 100 之間可設置間隔層 110，使半導體基底 100 與封裝層 114 之間形成間隙 116，間隙 116 被間隔層 110 所圍繞。此外，在半導體基底 100 的元件區 100A 上還可以形成微透鏡陣列(micro lens array)107，以利於影像感測元件接收光線。

在一實施例中，封裝層 114 可以是透明基底，例如玻璃、石英(quartz)、蛋白石(opal)、塑膠或其它任何可供光線進出的透明基板。值得一提的是，也可以選擇性地形成濾光片(filter)及/或抗反射層(anti-reflective layer)於封裝層 114 上。在非感光元件晶片的實施例中，封裝層 114 則可以是半導體材料層，例如矽覆蓋層。

在另一實施例中，半導體基底 100 與封裝層 114 之間也可以完全填滿間隔層 110，而不形成間隙。

依據本發明之實施例，可在晶片封裝體中形成凹陷部 132，介於封裝層 114 與半導體基底 100 之間，使得封裝層 114、黏著層 112、間隔層 110 以及半導體基底 100 形成不連續的界面，藉此可降低封裝層 114、黏著層 112、間隔層 110 以及半導體基底 100 各層之間因為熱膨脹係

數不同所產生的應力，避免晶片封裝體產生脫層現象。

因此，本發明之實施例可有效避免水氣及空氣進入晶片封裝體中，提升晶片封裝體的可靠度，以避免元件發生電性不良。

雖然本發明已揭露較佳實施例如上，然其並非用以限定本發明，任何熟悉此項技藝者，在不脫離本發明之精神和範圍內，當可做些許更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定為準。

【圖式簡單說明】

第 1A-1H 圖係顯示依據本發明之一實施例，形成晶片封裝體之製造方法的剖面示意圖。

【主要元件符號說明】

100～半導體基底；	100A～元件區；
100B～周邊接墊區；	SL～切割道；
102～金屬層間介電層；	104～導電墊；
106～密封環；	108、110～間隔層；
112～黏著層；	114～封裝層；
116～間隙；	117～微透鏡陣列；
118～導通孔；	120～絕緣層；
122～導線層；	124～保護層；
126～保護層的開口；	128～導電凸塊；
130～切割線；	132～凹陷部；
200～光罩；	210～光罩圖案；
220～曝光製程。	

第 100102239 號申請專利範圍修正本

七、申請專利範圍：

1. 一種晶片封裝體，包括：

一晶粒，具有一半導體基底，其中該半導體基底具有一導電墊未暴露於該半導體基底的一表面；

一封裝層，設置於該半導體基底之上；

一間隔層，設置於該半導體基底與該封裝層之間，其中由該半導體基底、該間隔層與該封裝層所構成之一表面具有一凹陷部位於該間隔層；以及

一密封環，設置於該導電墊的外側，其中該導電墊和該密封環與該間隔層重疊。

2. 如申請專利範圍第 1 項所述之晶片封裝體，其中該凹陷部圍繞該間隔層，形成一環狀凹陷部。

3. 如申請專利範圍第 1 項所述之晶片封裝體，其中該間隔層的形狀為一矩形，且該凹陷部設置於該矩形的各角落、各邊或前述之組合。

4. 如申請專利範圍第 1 項所述之晶片封裝體，其中該凹陷部位於該半導體基底與該封裝層之間。

5. 如申請專利範圍第 4 項所述之晶片封裝體，更包括：

一周邊接墊區與一元件區，其中該周邊接墊區圍繞該元件區；

複數個導電墊包含該導電墊，設置於該周邊接墊區上；以及

該密封環，設置於該周邊接墊區上，圍繞該些導電墊。

第 100102239 號申請專利範圍修正本

6.如申請專利範圍第 5 項所述之晶片封裝體，其中該密封環位於該間隔層的範圍內。

7.如申請專利範圍第 5 項所述之晶片封裝體，更包括：

一導通孔，設置於該半導體基底的一表面上，暴露出該導電墊；

一絕緣層，設置於該半導體基底的該表面上，且延伸至該導通孔之側壁上；

一導線層，設置於該絕緣層上，且延伸至該導通孔的底部，與該導電墊電性連接；

一保護層，覆蓋該導線層與該絕緣層，具有一開口，暴露出部分的該導線層；以及

一導電凸塊，設置於該保護層的該開口中，與該導線層電性連接。

8.如申請專利範圍第 1 項所述之晶片封裝體，更包括一間隙形成於該封裝層與該半導體基底的該晶粒之間，且其中該間隙被該間隔層所圍繞。

9.如申請專利範圍第 1 項所述之晶片封裝體，其中該間隔層的材料包括感光絕緣材料。

10.如申請專利範圍第 1 項所述之晶片封裝體，更包括一黏著層設置於該間隔層與該半導體基底之間，或設置於該間隔層與該封裝層之間。

11.一種晶片封裝體的製造方法，包括：

提供一半導體晶圓，包含複數個晶粒，任兩個相鄰的該晶粒之間包括一切割道，其中該晶粒具有一半導體

第 100102239 號申請專利範圍修正本

基底，該半導體基底具有複數個導電墊形成於其中且這些導電墊未暴露於該半導體基底的一表面；

提供一封裝層；

形成複數個間隔層於該半導體晶圓的該些晶粒與該封裝層之間，其中對應每一晶粒的每一該間隔層係互相分離，且該間隔層係自該晶粒邊緣向內退縮形成一凹陷部；

形成一密封環於該半導體基底內且位於該些導電墊的外側，其中該密封環和該些導電墊與該間隔層重疊；

接合該半導體晶圓與該封裝層；以及

沿著該切割道分割該半導體晶圓，形成複數個晶片封裝體。

12.如申請專利範圍第 11 項所述之晶片封裝體的製造方法，其中該凹陷部圍繞該間隔層，形成一環狀凹陷部。

13.如申請專利範圍第 11 項所述之晶片封裝體的製造方法，其中該間隔層的形狀為一矩形，且該凹陷部位於該矩形的各角落、各邊或前述之組合。

14.如申請專利範圍第 11 項所述之晶片封裝體的製造方法，其中該晶粒包括一周邊接墊區與一元件區，且該周^邊接墊區圍繞該元件區。

15.如申請專利範圍第 14 項所述之晶片封裝體的製造方法，其中該些導電墊形成於該周邊接墊區上，且該密封環形成於該周邊接墊區上，且圍繞該些導電墊，其中任兩個相鄰的該密封環之間定義該切割道。

第 100102239 號申請專利範圍修正本

16.如申請專利範圍第 15 項所述之晶片封裝體的製造方法，其中該密封環位於該間隔層的範圍內。

17.如申請專利範圍第 15 項所述之晶片封裝體的製造方法，更包括：

形成一導通孔於該半導體基底的一表面上，暴露出該導電墊；

形成一絕緣層於該半導體基底的該表面上，且延伸至該導通孔的側壁上；

形成一導線層於該絕緣層上，且延伸至該導通孔的底部，與該導電墊電性連接；

形成一保護層，覆蓋該導線層與該絕緣層；

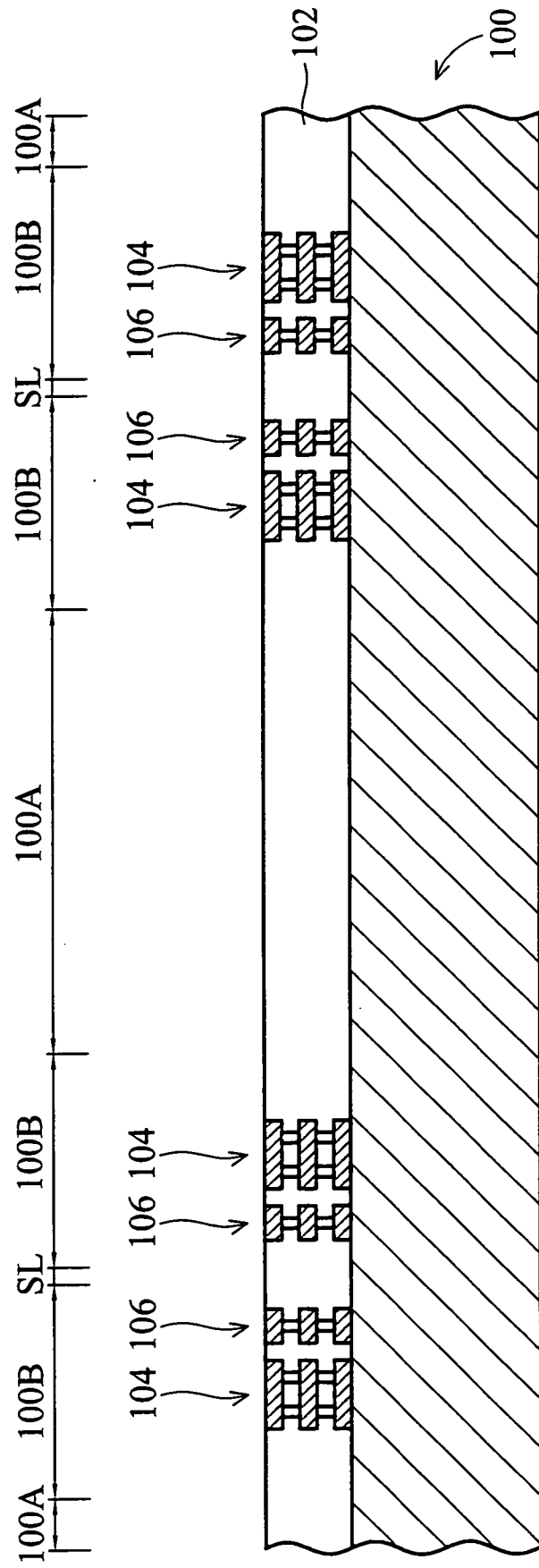
形成一開口於該保護層中，暴露出部分的該導線層；以及

形成一導電凸塊於該保護層的該開口中，與該導線層電性連接。

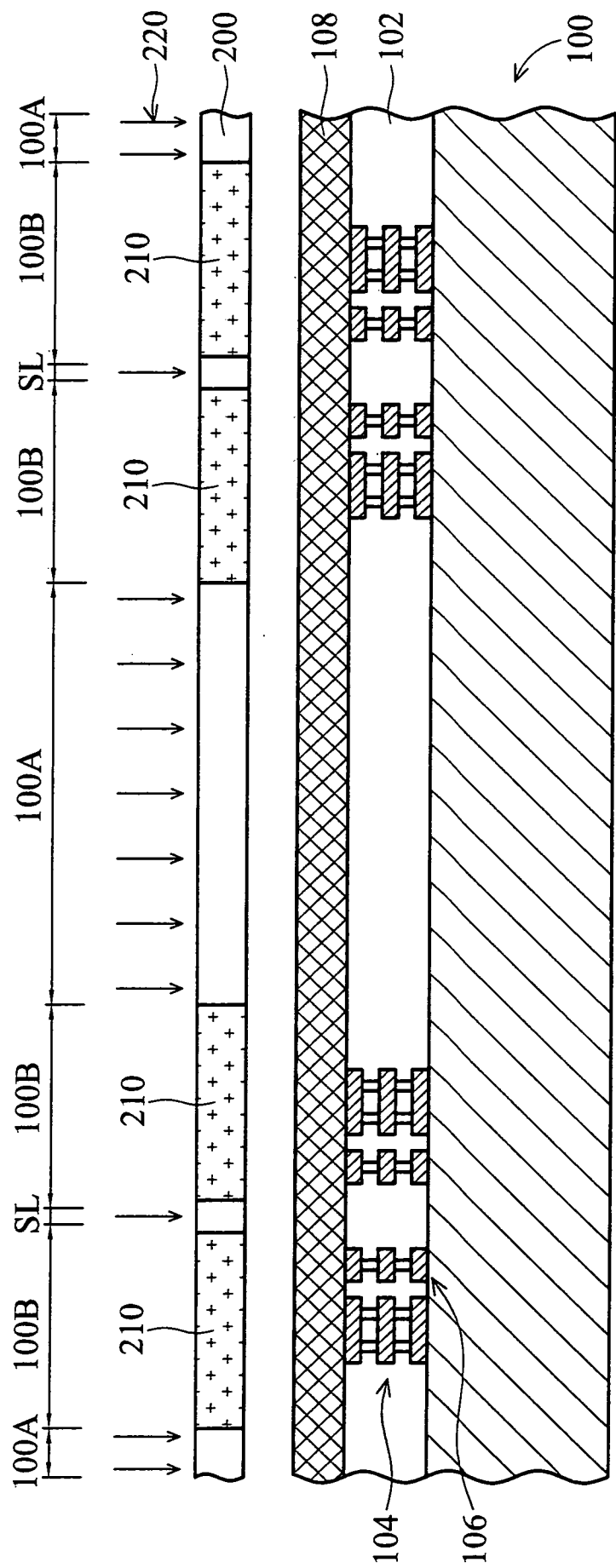
18.如申請專利範圍第 11 項所述之晶片封裝體的製造方法，更包括形成一間隙於該封裝層與該半導體基底的該晶粒之間，其中該間隙被該間隔層所圍繞。

19.如申請專利範圍第 11 項所述之晶片封裝體的製造方法，其中形成該間隔層的步驟包括曝光及顯影製程。

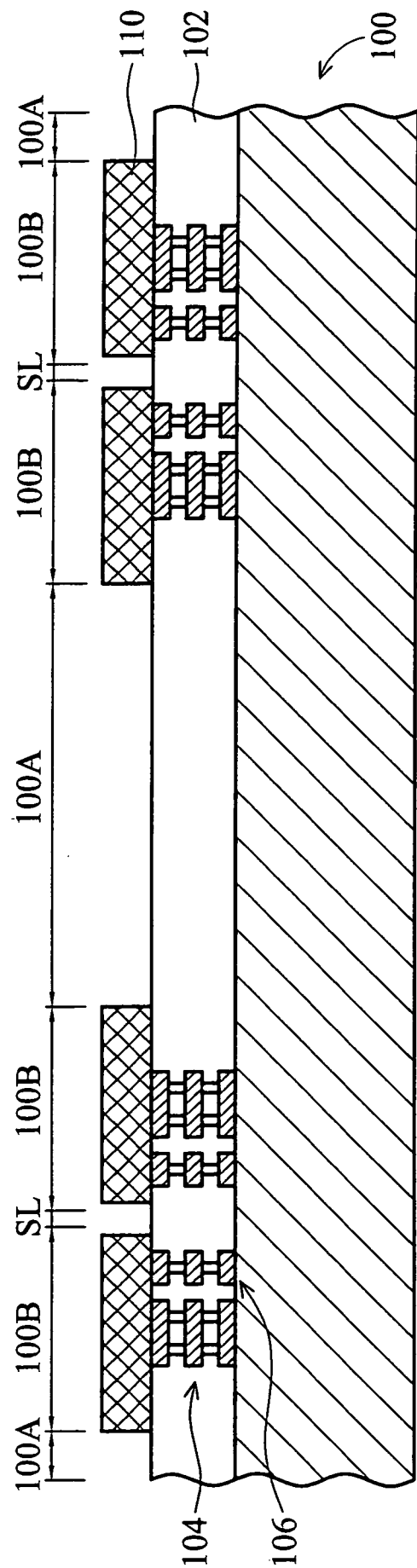
20.如申請專利範圍第 11 項所述之晶片封裝體的製造方法，更包括形成一黏著層於該間隔層與該半導體基底之間，或者於該間隔層與該封裝層之間。



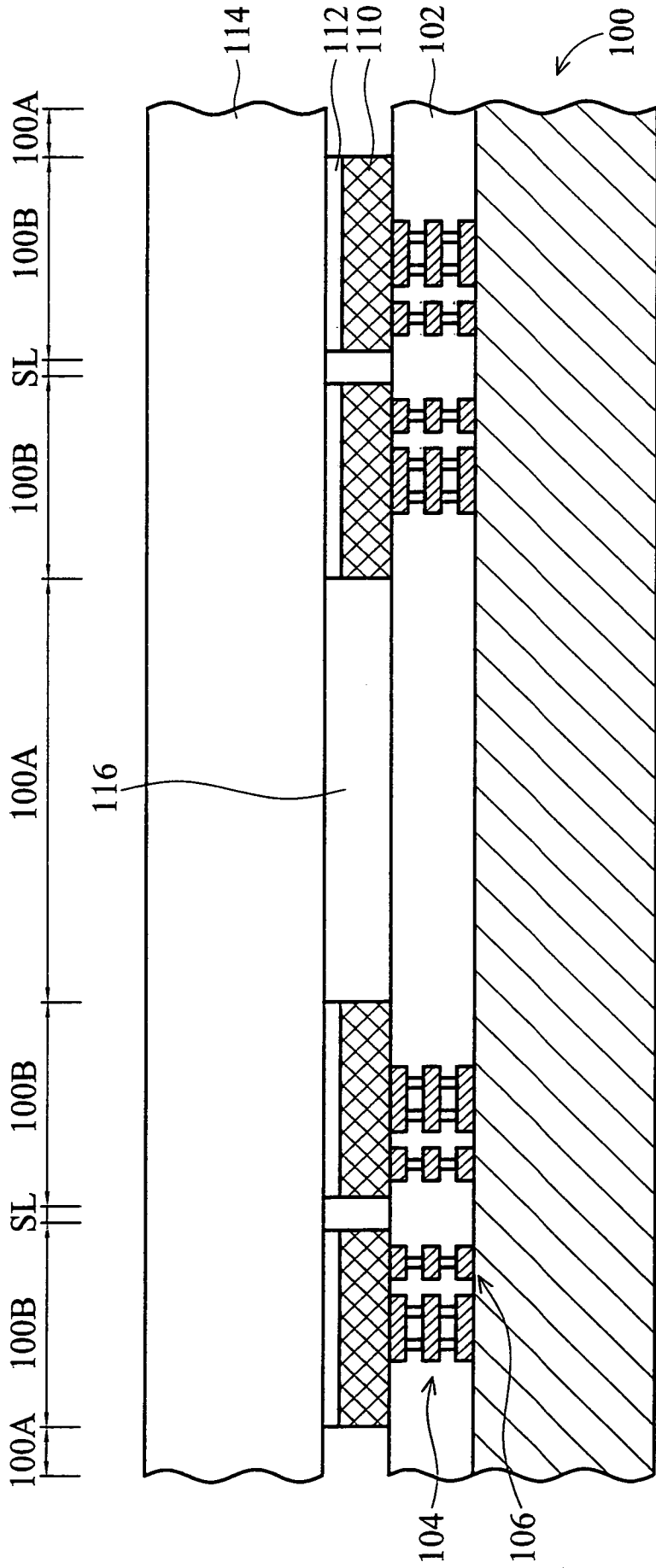
第1A圖



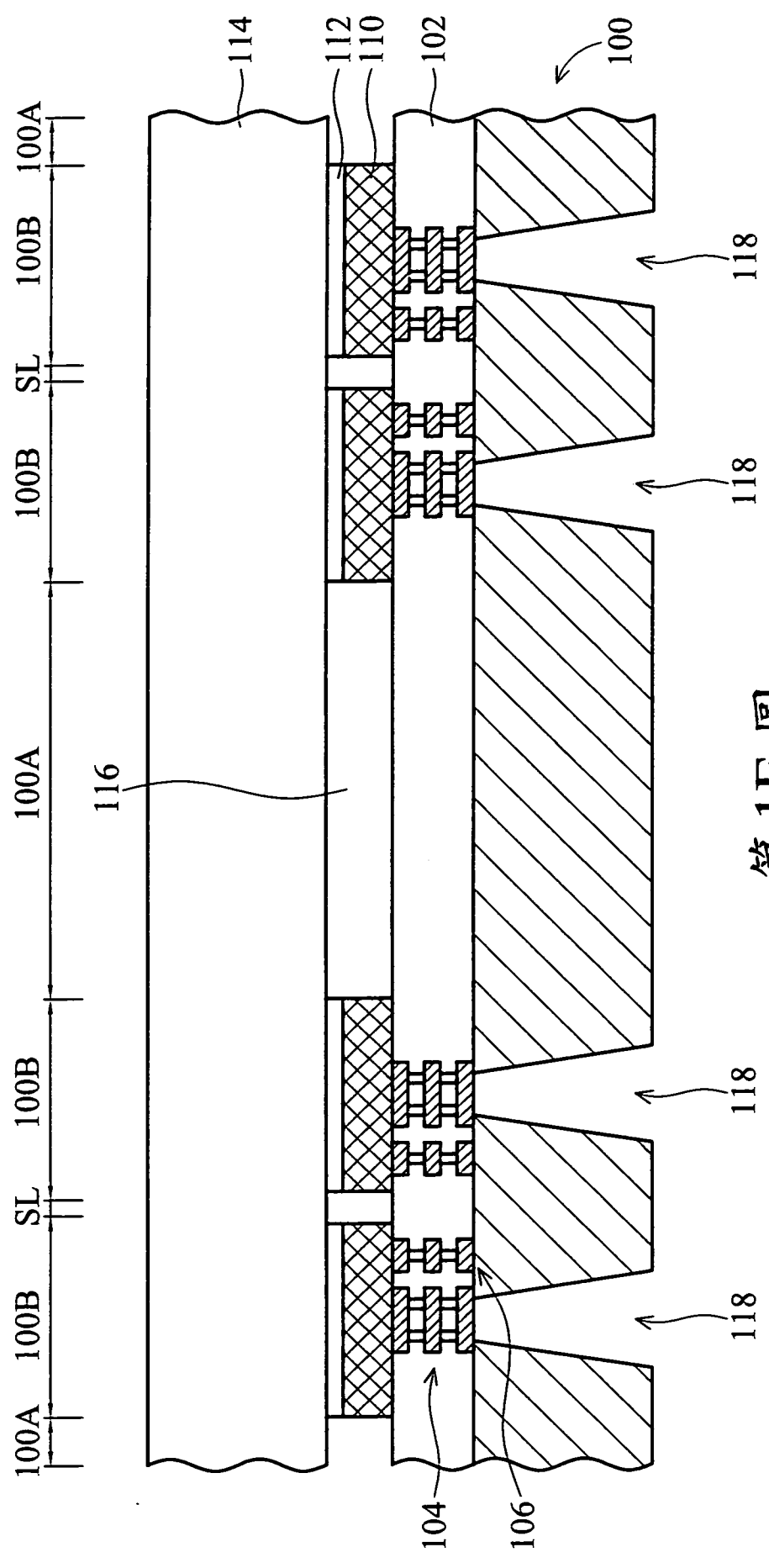
第1B圖



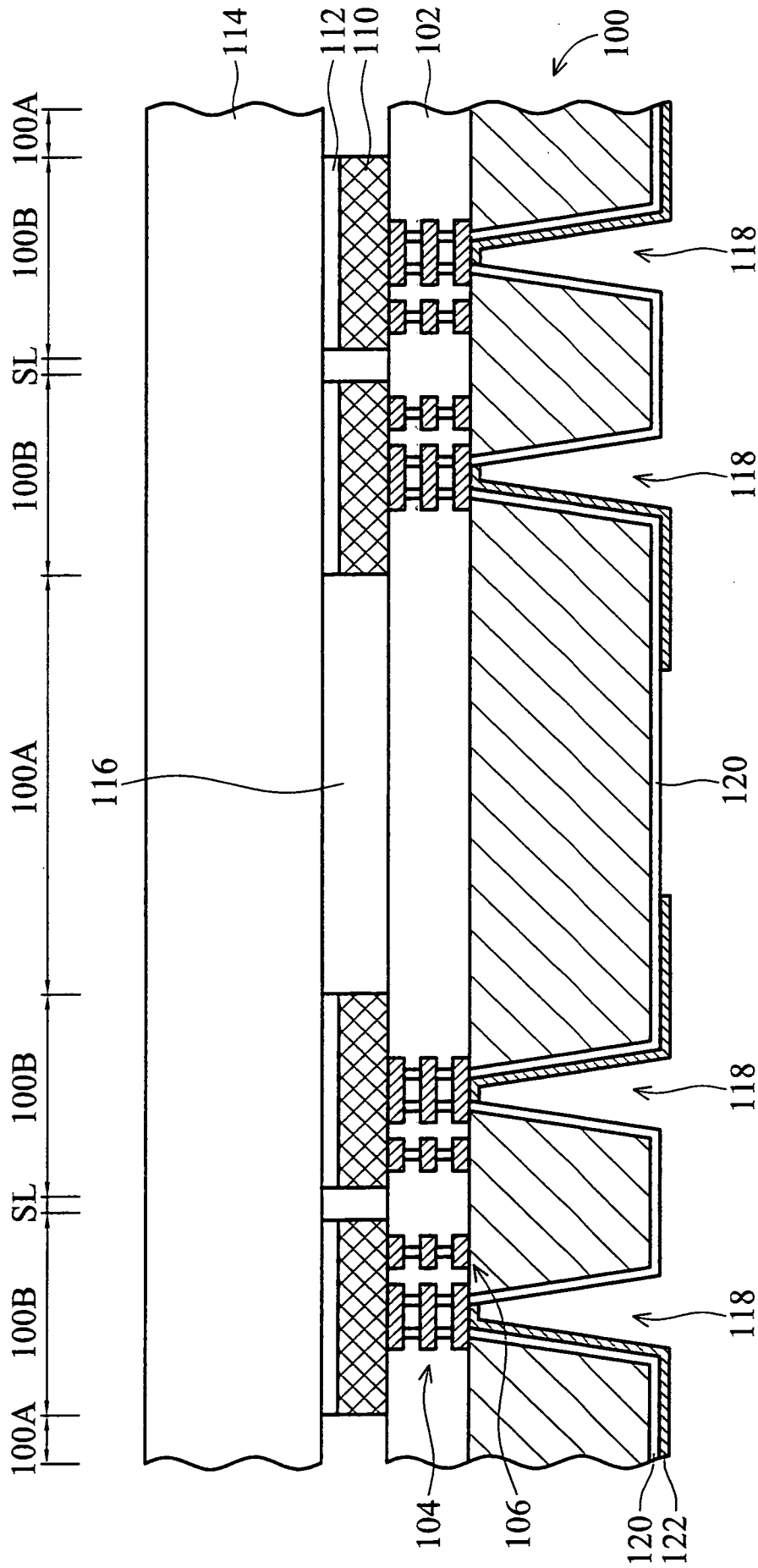
第1C圖



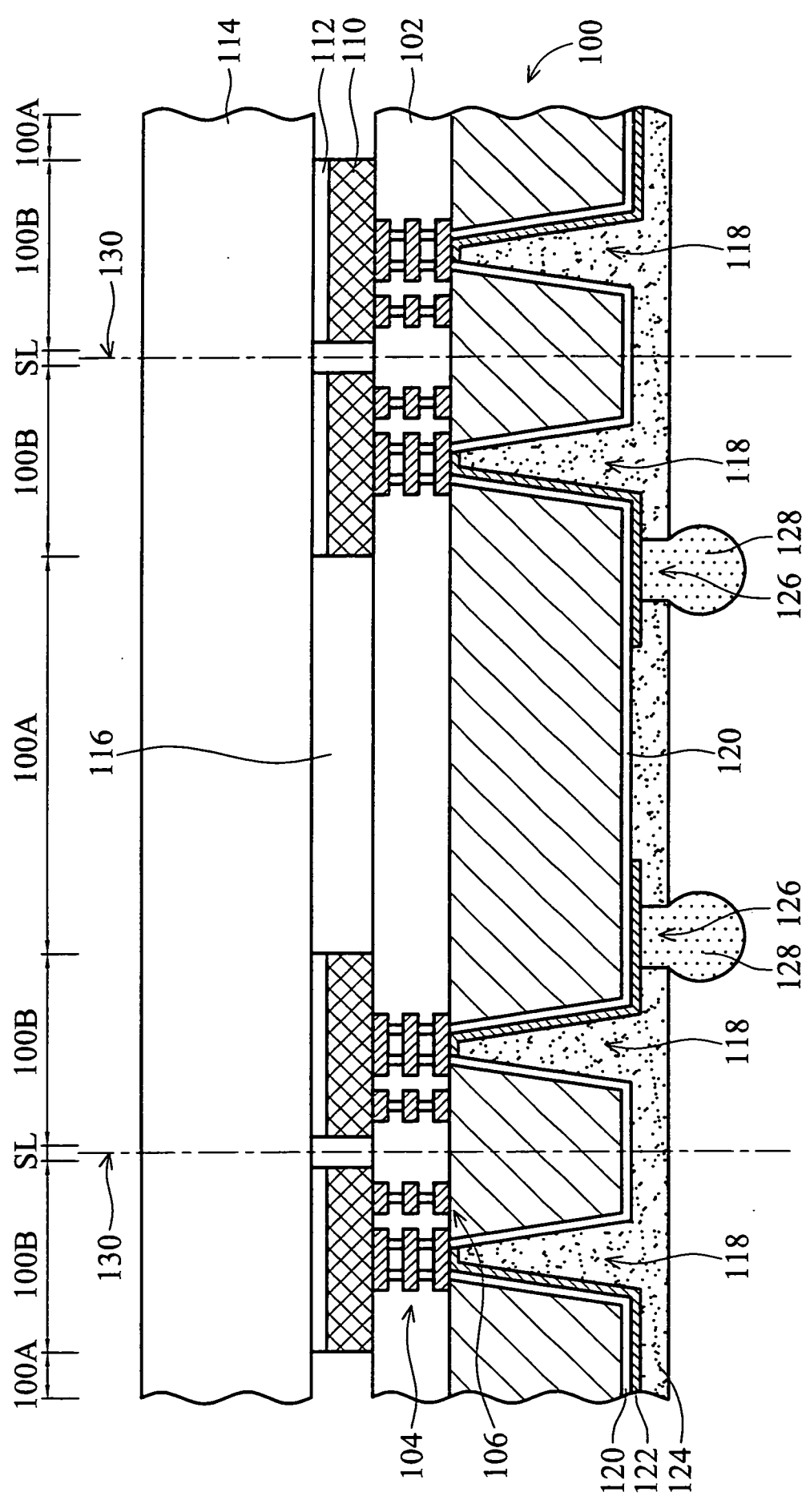
第1D圖



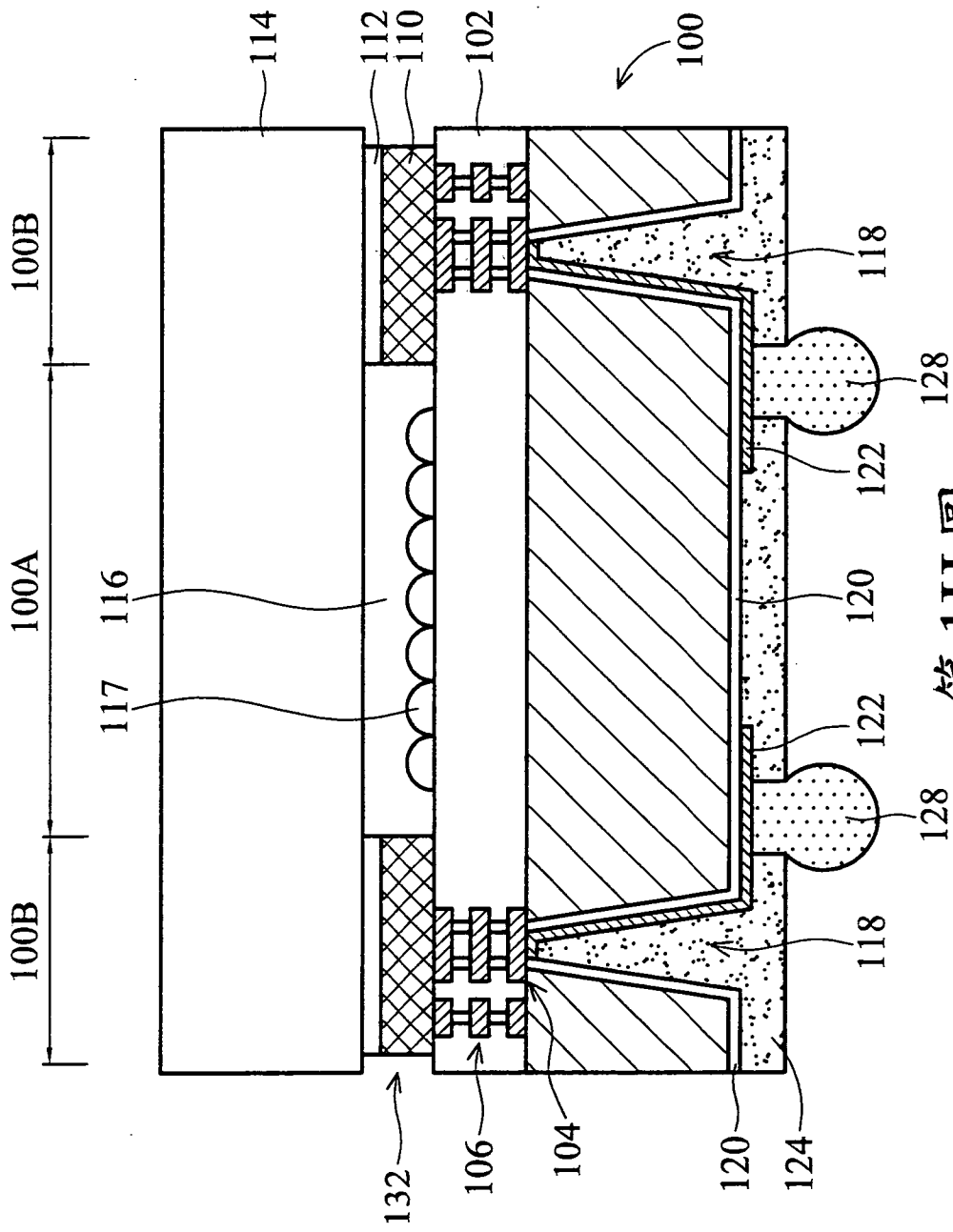
第1E圖



第1F圖



第1G圖



第1H圖