



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I734856 B

(45)公告日：中華民國 110 (2021) 年 08 月 01 日

(21)申請案號：106137206

(22)申請日：中華民國 106 (2017) 年 10 月 27 日

(51)Int. Cl. : **H01L21/60 (2006.01)**

(30)優先權：2017/02/16 美國 62/459,936

2017/09/12 美國 15/701,654

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：顏君旭 YEN, CHUN HSU (TW)；楊正輝 YANG, CHEN HUI (TW)；許育銓 HSU,
YU CHUAN (TW)

(74)代理人：李世章；秦建譜

(56)參考文獻：

TW 314643

TW 452923

TW 200620534A

CN 1165381A

US 5679606A

US 6211570B1

US 6372670B1

審查人員：張錦昇

申請專利範圍項數：10 項 圖式數：4 共 35 頁

(54)名稱

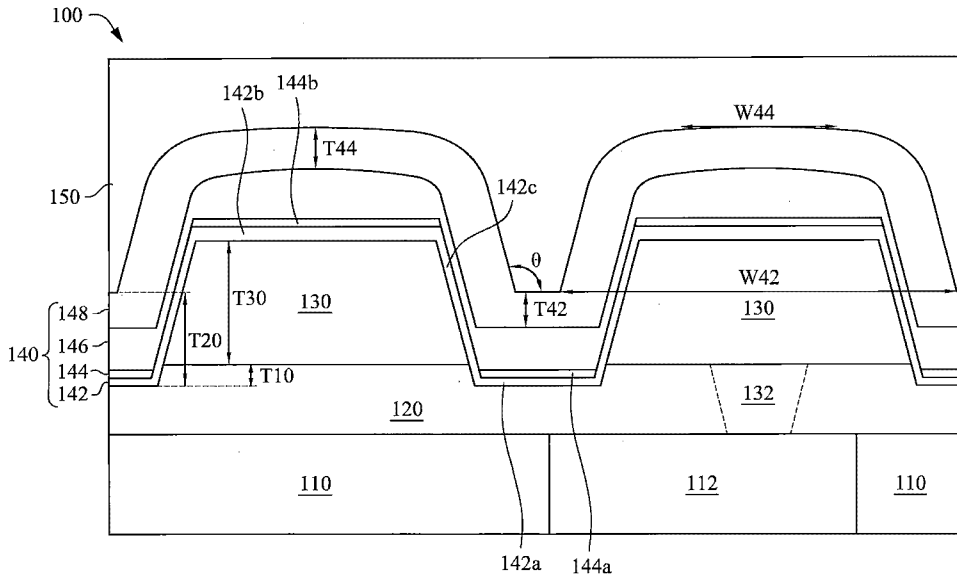
一種半導體結構及其製造方法

(57)摘要

一種製造半導體結構的方法，包括形成導電結構於第一鈍化層上方，沉積第一介電膜連續地位於導電結構上方，沉積第二介電膜連續地位於第一介電膜上方，以及沉積第三介電膜於第二介電膜上方。一部分的第三介電膜係與一部分的第一介電膜接觸。

A method of fabricating a semiconductor structure includes forming a conductive structure over a first passivation layer, depositing a first dielectric film continuously over the conductive structure, depositing a second dielectric film continuously over the first dielectric film, and depositing a third dielectric film over the second dielectric film. A portion of the third dielectric film is in contact with a portion of the first dielectric film.

指定代表圖：



第 1 圖

符號簡單說明：

- 100: 半導體裝置
- 110: 金屬間介電層
- 112: 導電線路
- 120: 第一鈦化層
- 130: 接觸墊
- 132: 通路插塞(via plug)
- 140: 第二鈦化層
- 142: 第一絕緣膜
- 142a: 第一部分
- 142b: 第二部分
- 142c: 第三部分
- 144: 第二絕緣膜
- 144a: 第一部分
- 144b: 第二部分
- 146: 第三絕緣膜
- 148: 第四絕緣膜
- 150: 相對軟的薄膜
- T10: 厚度
- T20: 厚度
- T30: 厚度
- T42: 厚度
- T44: 厚度
- W42: 寬度
- W44: 寬度
- θ : 角度



I734856

【發明摘要】

申請日：106年10月27日

IPC分類：H01L 21/60 (2006.01)

【中文發明名稱】一種半導體結構及其製造方法

【英文發明名稱】A SEMICONDUCTOR STRUCTURE
AND A METHOD OF FABRICATING THE SAME

【中文】

一種製造半導體結構的方法，包括形成導電結構於第一鈍化層上方，沉積第一介電膜連續地位於導電結構上方，沉積第二介電膜連續地位於第一介電膜上方，以及沉積第三介電膜於第二介電膜上方。一部分的第三介電膜係與一部分的第一介電膜接觸。

【英文】

A method of fabricating a semiconductor structure includes forming a conductive structure over a first passivation layer, depositing a first dielectric film continuously over the conductive structure, depositing a second dielectric film continuously over the first dielectric film, and depositing a third dielectric film over the second dielectric film. A portion of the third dielectric film is in contact with a portion of the first dielectric film.

【指定代表圖】

第1圖

【代表圖之符號簡單說明】

- 100：半導體裝置
- 110：金屬間介電層
- 112：導電線路
- 120：第一鈍化層
- 130：接觸墊
- 132：通路插塞 (via plug)
- 140：第二鈍化層
- 142：第一絕緣膜
 - 142a：第一部分
 - 142b：第二部分
 - 142c：第三部分
- 144：第二絕緣膜
 - 144a：第一部分
 - 144b：第二部分
- 146：第三絕緣膜
- 148：第四絕緣膜
- 150：相對軟的薄膜
- T10：厚度
- T20：厚度
- T30：厚度
- T42：厚度

T44：厚度

W42：寬度

W44：寬度

θ ：角度

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 一種半導體結構及其製造方法

【英文發明名稱】 A SEMICONDUCTOR STRUCTURE
AND A METHOD OF FABRICATING THE SAME

【技術領域】

【0001】 本揭示係關於一種半導體結構及其製造方法，特別係關於一種具有接觸墊的半導體結構及其製造方法。

【先前技術】

【0002】 在積體電路(IC)裝置的製造製程完成後，接觸墊形成於最上方的金屬間介電層 (inter metal dielectric, IMD)的上方，並用於導線接合 (wire bonding)或覆晶接合 (flip-chip bonding)。在覆晶尺度 (flip-chip scale) 封裝製程中，形成導電凸塊 (conductive bump)，以建立介於接觸墊與基板或封裝的引線框架之間的電性連接。為了滿足增加功能性與降低生產成本的市場需求，藉由形成後鈍化互連結構 (post passivation interconnect, PPI)及／或凸塊下金屬層結構 (under bump metallurgy, UBM) 於接觸墊上方，引入晶圓級晶片尺度 (wafer-level chip scale packaging, WLCSP) 封裝製程。在某些情況下，將晶片切割成晶粒，以接合至印刷電路板。

【發明內容】

【0003】 本揭示提供了一種製造半導體結構的方法，此方法包括：形成導電結構於第一鈍化層的上方；沉積第一介電膜，連續地位於導電結構上方；沉積第二介電膜，連續地位於第一介電膜上方；以及沉積第三介電膜於第二介電膜上方，其中一部分的第三介電膜係接觸一部分的第一介電膜，其中第三介電膜的沉積包括沉積第三介電膜至具有小於第二介電膜的折射率。

【0004】 本揭示提供了一種製造半導體結構的方法，此方法包含：形成兩個導電結構於基板上方；沉積第一矽氧化物膜於兩個導電結構上方；沉積第二矽氧化物膜於第一矽氧化物膜上方，其中第二矽氧化物膜具有比第一矽氧化物膜較小的氧矽比；沉積第三矽氧化物膜於第二矽氧化物膜上方，其中至少一部分的第三矽氧化物膜將第二矽氧化物膜分離為分散的部分；沉積矽氮化物膜於第三矽氧化物膜上方；以及沉積第四矽氧化物膜於第三矽氧化物膜上方，其中第四矽氧化物膜具有比第一矽氧化物膜或第三矽氧化物膜的至少一者較小的氧矽比。

【0005】 本揭示提供了一種半導體結構，包含導電結構以及第二鈍化層。導電結構位於第一鈍化層上方；第二鈍化層位於導電結構與第一鈍化層上方，其中第二鈍化層具有第一氧化物膜、第二氧化物膜以及第三氧化物膜。第一氧化物膜沿著第一鈍化層的頂表面與側壁、以及導電結構的頂表面延伸；第二氧化物膜位於第一氧化物膜的頂表面與導電結構的頂表面上方；第三氧化物膜沿著第二氧化物膜的頂表面與

側壁，以及導電結構的頂表面延伸。

【圖式簡單說明】

【0006】 當結合附圖閱讀時，自以下詳細描述可以最佳地理解本揭示的態樣。應當注意，根據工業中標準實務，各特徵未按比例繪製。事實上，為論述的清楚性，各特徵之尺寸可任意地增加或縮減。

第1圖係根據一個或多個實施方式之半導體裝置的橫截面圖。

第2圖係根據一個或多個實施方式之半導體裝置的製造方法的流程圖。

第3A圖至第3D圖係根據一個或多個實施方式，半導體裝置在各製造階段的橫截面圖。

第4圖係根據一個或多個實施方式之半導體裝置的橫截面圖。

【實施方式】

【0007】 以下揭示提供許多不同實施方式或實施例，用於實現本揭示的不同特徵。以下敘述部件、數值、操作、材料、配置或其類似的具體實施例，以簡化本揭示。這些當然僅為實施例，並且不是意欲作為限制。亦考量了其他部件、數值、操作、材料、配置或其類似。舉例而言，在隨後的敘述中，第一特徵在第二特徵上方或在第二特徵上的形成，可包括第一特徵及第二特徵形成為直接接觸的實施方式，亦可

包括有另一特徵可形成在第一特徵及第二特徵之間，以使得第一特徵及第二特徵可不直接接觸的實施方式。另外，本揭示在各實施例中可重複參考標號及/或字母。此重複是為了簡化及清楚之目的，且本身不指示所論述各實施方式及/或配置之間的關係。

【0008】 此外，本文中可使用空間性相對用詞，例如「下方(beneath)」、「低於(below)」、「下(lower)」、「之上(above)」、「上(upper)」及其類似用語，係利於敘述圖式中一個元件或特徵與另一個元件或特徵的關係。這些空間性相對用詞本意上涵蓋除了圖中所繪示的位向之外，也涵蓋使用或操作中之裝置的不同位向。

【0009】 積體電路(IC)結構包括具有例如電晶體與二極管的主動元件與例如電容器與電阻器的被動元件的半導體晶粒，初始時為彼此隔離，隨後通過互連結構而彼此電性耦合及/或至另一積體電路結構，以建立功能性電路。第一鈍化層形成於互連結構上方，以保護互連結構不受損傷。複數個接觸墊形成於第一鈍化層上方，並受到第二鈍化層的覆蓋，以保護接觸墊。一個或多個用於減少在封裝製程時所引入之失配應力(stress mismatch)的應力緩衝層設置於第二鈍化層上方。

【0010】 在一些實施方式中，第二鈍化層包括至少四個絕緣膜，依序形成於接觸墊的頂表面上。第二絕緣膜係不連續地配置於第一絕緣膜與第三絕緣膜之間。在接觸墊具有梯形剖面，並且頂部分具有的寬度小於底部分的一些實施方式

中，第二鈍化層係沿著接觸墊的梯形剖面。在這樣的方式中，相鄰的接觸墊之間的空間是不具有孔洞(void)的，這是因為第二鈍化層不具有從接觸墊的頂部分向外延伸的懸突(overhang)。因此，在後續的生產製程時，可以保護第一鈍化層不受到所使用的酸性溶液。相較於其他方式，第二鈍化層協助減少缺陷，例如應力破裂(stress cracking)及／或接觸墊的底部分的剝離(peeling)，從而改善裝置可靠度與產量。

【0011】 第1圖係根據一個或多個實施方式之半導體裝置100的橫截面圖。半導體裝置100包括金屬間介電層110(Inter Metal Dielectric, IMD)、第一鈍化層120、至少一接觸墊130與第二鈍化層140。金屬間介電層110是堆疊於基板上之多個金屬間介電層的最上方層。金屬間介電層110經配置以將一個互連結構與另一個互連結構在實體上與電性上隔絕，此互連結構例如導電線路或通路插塞(via plug)。在一些實施方式中，金屬間介電層110包括矽氧化物(SiO_x ， x 等於或小於2)。在一些實施方式中，金屬間介電層110包括低介電常數(低- κ)介電質(相較於二氧化矽)，例如磷酸矽酸鹽玻璃(phosphosilicate glass, PSG)、硼矽酸鹽玻璃(borosilicate glass, BSG)、硼磷酸矽酸鹽玻璃(borophosphosilicate glass, BPSG)、氟化矽酸鹽玻璃(fluorinated silicate glass, FSG)、碳氧化矽(silicon oxycarbide, SiO_xC_y)、四乙氧基矽烷(tetraethyl orthosilicate, TEOS)、其一組合或另一合適的材料。最上

方的導電線路112係位於金屬間介電層110內。在一些實施方式中，導電線路112連接至主動裝置或一部分的被動裝置。在一些實施方式中，導電線路112是虛擬圖案或防護密封圈 (guard seal ring structure)的一部分。在一些實施方式中，導電線路112包括銅、鋁、鎢、鈦、其一組合或另一合適的材料。

【0012】 第一鈍化層120係位於金屬間介電層110上方，並位於接觸墊130與第二鈍化層140下方。這意即第一鈍化層120的第一部分係和接觸墊130直接接觸，而第一鈍化層120的第二部分係和第二鈍化層140直接接觸。在一些實施方式中，第一鈍化層120的第一部分的頂表面與第一鈍化層120的第二部分的頂表面之間的厚度T10為約100nm至約300nm。在一些情況下，較大的差距增加了充填相鄰的接觸墊130之間的空間的困難度。在一些實施方式中，第一鈍化層120經配置以保護互連結構不受損害與污染。在一些實施方式中，第一鈍化層120進一步提供保護，以協助防止或減少位於其下的電子裝置的水氣、機械或輻射損傷。在一些實施方式中，第一鈍化層120的厚度為約500nm至約1200nm。在一些情況下，較厚的第一鈍化層120增加了生產成本，且沒有顯著的效益。在一些情況下，較薄的第一鈍化層120對底下的結構所提供的保護不足。在一些實施方式中，第一鈍化層120包括介電材料，例如矽氧化物、無摻雜矽酸鹽玻璃 (undoped silicate glass, USG)、矽氮化物、氮氧化矽、聚合物、其一組合或另一合適的材料。在一

些實施方式中，第一鈍化層120包括單一材料。在一些實施方式中，第一鈍化層120包括複數個材料。

【0013】 接觸墊130係位於第一鈍化層120上方，亦稱為接合墊 (bonding pad) 或輸入／輸出墊 (input/output, I/O)。在一些實施方式中，通路插塞(via plug)132係位於第一鈍化層120內，並經配置以電性連接至接觸墊130與導電線路112。在一些實施方式中，通路插塞132是接觸墊130的一部分。這意即接觸墊130的底部分延伸通過第一鈍化層120，而接觸墊130的上部分延伸於第一鈍化層120上方。在一些實施方式中，接觸墊130包括鋁、銅、鋁合金、銅合金、其一組合或另一合適的導電材料。在一些實施方式中，接觸墊130包括與導電線路112相同的材料。在一些實施方式中，接觸墊130包括與導電線路112不同的材料。

【0014】 第二鈍化層140係位於接觸墊130與第一鈍化層120上方，以保護接觸墊130不受損傷。在一些實施方式中，第二鈍化層140經配置以吸收或釋放由切割與封裝製程所導致的熱應力及／或機械應力。第二鈍化層140包括第一絕緣膜142、第二絕緣膜144、第三絕緣膜146及第四絕緣膜148。在各個實施方式中，第一絕緣膜142經配置以保護接觸墊130不受高密度電漿的損傷。在各個實施方式中，第二絕緣膜144經配置為提供第一絕緣膜142進一步的物理隔絕，防止原子擴散進入接觸墊130。在各個實施方式中，第三絕緣膜146經配置以形成第二鈍化層140的梯形剖面，從而協助防止懸突及／或孔洞的形成。

【0015】 第一絕緣膜142包括與第一鈍化層120直接接觸的第一部分142a、與接觸墊130的頂表面直接接觸的第二部分142b以及與接觸墊130的側壁直接接觸的第三部分142c。第二絕緣膜144包括第一部分144a，位於第一部分142a上方並與第一部分142a直接接觸；以及第二部分144b，位於第二部分142b上方並與第二部分142b直接接觸。在一些實施方式中，第二絕緣膜144的整體係實質上平行於第一鈍化層120的頂表面。第三絕緣膜146係位於第一部分144a、第二部分144b與第三部分142c的上方。換言之，除了接觸墊130的側壁部分，第二絕緣膜144係介於第一絕緣膜142與第三絕緣膜146之間。在接觸墊130的側壁部分，第三絕緣膜146係與第一絕緣膜142直接接觸。第四絕緣膜148係與第三絕緣膜146連續地直接接觸，並係位於相對軟的薄膜150之下，以作為應力緩衝。在一些實施方式中，相對軟的薄膜包括聚酰亞胺 (polyimide, PI)、苯並環丁烯 (benzocyclobutene, BCB)、聚苯并噁唑 (polybenzoxazole, PBO)、環氧樹脂、矽氧樹脂、丙烯酸酯、奈米充填酚樹脂 (nano-filled phenolic resin)或其他合適的材料的至少一者。在一些實施方式中，第四絕緣膜148具有上部與下部的比值 (bottom-up ratio)，也就是厚度T44與厚度T42的比值，其範圍為約0.75至約1.1。在一些實施方式中，第二鈍化層140的每一個絕緣膜包括矽氧化物、矽氮化物、氮氧化矽或另一合適的材料。在一些實施方式中，第二鈍化層140的至少一個絕緣膜包括與第一鈍化層

120相同的材料。在相鄰的第一絕緣膜142、第二絕緣膜144、第三絕緣膜146包括相同材料的一些實施方式中，參照橫截面圖，基於不同的膜密度，係存在一個界面以將一個絕緣膜與另一個絕緣膜分隔。在一些實施方式中，這個界面係藉由不同的沉積製程所形成。在一些實施方式中，第二鈍化層140的每一個絕緣膜包括與第一鈍化層120不同的材料。在至少一個實施方式中，第一絕緣膜142、第二絕緣膜144及第三絕緣膜146包括矽氧化物，而第四絕緣膜148包括矽氮化物。在一些實施方式中，第四絕緣膜的側壁部分與底部分之間的角度 θ 係大於95度。在一些情況下，較小的角度增加了後續製程的困難度，例如聚合物層的充填。

【0016】 在第一絕緣膜142、第二絕緣膜144及第三絕緣膜146包括矽氧化物的一些實施方式中，第二絕緣膜144的折射率係比第一絕緣膜142高出約8%至約15%。在一些實施方式中，第二絕緣膜144的折射率係大於第三絕緣膜146。在一些實施方式中，第二絕緣膜144的折射率為約1.6至約1.7。在一些情況下，較小的折射率增加了後續的電漿製程所產生的擊穿電壓的變異。在一些實施方式中，第二絕緣膜144的折射率為約1.7至約1.8。在第一絕緣膜142與第三絕緣膜146包括矽氧化物的一些實施方式中，第一絕緣膜142及／或第三絕緣膜146的折射率獨立地為約1.4至約1.5。在一些情況下，較大或較小的折射率改變半導體裝置100的剖面。在一些實施方式中，第一絕緣膜142與第三絕緣膜146具有相同的折射率。在一些實施方式中，第一絕緣

膜142與第三絕緣膜146具有不同的折射率。舉例而言，在一些實施方式中，第一絕緣膜142的折射率係小於第三絕緣膜146。

【0017】 在第一絕緣膜142、第二絕緣膜144及第三絕緣膜146包括矽氧化物的一些實施方式中，為了具有比第一絕緣膜142與第三絕緣膜146相對來得高的折射率，第二絕緣膜144具有比第一絕緣膜142或第三絕緣膜146較小的氧矽比 (oxygen-to-silicon ratio)。在一些實施方式中，第二絕緣膜144具有比第一絕緣膜142或第三絕緣膜146較大的介電常數。因為矽原子構成比氧原子較大的空置空間，因此介電常數係與氧矽比成反比。在第二絕緣膜144與第三絕緣膜146包括矽氧化物的一些實施方式中，第二絕緣膜144或第三絕緣膜146的至少一者具有約2500nm至約2900nm的傅立葉轉換紅外光頻譜 (Fourier transform infrared spectroscopy, FTIR) 吸收帶。在一些實施方式中，第一絕緣膜142、第二絕緣膜144及第三絕緣膜146個別具有約8000 nm 至約13333 nm的FTIR吸收帶。

【0018】 第二鈍化層140具有從第一鈍化層120的頂表面量測的厚度T20。在一些實施方式中，厚度T20與接觸墊130的厚度T30的比值為約0.7至約1.3。在一些情況下，較大的比值增加了充填相鄰的接觸墊130之間的空間的困難度。在一些情況下，較小的比值對接觸墊130所提供的保護不足。第二鈍化層140的側壁之間的最大距離T42係從第四絕緣膜148的頂表面量測，而第二鈍化層140的平坦部分的

寬度W44係從第四絕緣膜148的頂部分量測。在一些實施方式中，寬度W42與寬度W44的比值為約3:1至約4:1。在一些情況下，較小的比值增加了在接觸墊130的上角落之懸突的出現。

【0019】 第2圖係根據一個或多個實施方式，製造半導體裝置的方法200的流程圖。所屬技術領域中具有通常知識者將能理解的是，在第2圖所繪示的方法200之前、之中及／或之後，能夠執行額外的操作。根據一些實施方式，以下參照第3A圖至第3D圖與第4圖，提供製造製程的額外細節。

【0020】 方法200包括操作210，其中導電結構，例如第1圖中的接觸墊130，係形成於第一鈍化層上方，例如第1圖中的第一鈍化層120。在一些實施方式中，第一鈍化層係設置於最上方的金屬間介電層與最上方的導電線路的上方，金屬間介電層與導電線路係堆疊於基板上方，以形成互連結構。在一些實施方式中，第一鈍化層的厚度為約500 nm至約1200 nm。在一些情況下，較厚的第一鈍化層增加生產成本，且沒有顯著的效益。在一些情況下，較薄的第一鈍化層對底下的互連結構所提供的保護不足。在一些實施方式中，在第一鈍化層的沉積之前先形成襯墊 (liner)，並作為蝕刻停止層，以提供蝕刻選擇性。

【0021】 利用微影製程與蝕刻製程來移除第一鈍化層的一部份，以形成至少一個開口，暴露出最上方的導電線路。蝕刻製程包括使用化學蝕刻劑的濕蝕刻，或將第一鈍化層暴露至離子轟擊的乾蝕刻。在開口形成於第一鈍化層內之後，

導電材料例如鋁、鋁合金、銅或銅合金設置於第一鈍化層上方，充填開口以電性連接至最上方的導電線路。導電材料的沉積包括濺射 (sputtering)、物理氣相沉積 (physical vapor deposition, PVD)、化學氣相沉積 (chemical vapor deposition, CVD)、原子層沉積 (atomic layer deposition, ALD)、電解電鍍 (electrolytic plating)、無電電鍍 (electroless plating) 或另一合適的製程。在一些實施方式中，沉積導電材料至約1000nm至約3000nm的厚度。在一些情況下，較大的厚度增加生產成本，且對電性性能沒有顯著的效益。在一些情況下，較小的厚度所提供的保護不足以對抗佈線製程 (wiring process) 時所產生的應力。在導電材料的厚度係小於開口的深度的一些實施方式中，導電結構的中心部分突出朝向第一鈍化層，產生位於導電結構的頂表面的凹槽。在一些實施方式中，在沉積導電材料之後執行平坦化製程，例如化學機械研磨 (chemical mechanical polishing, CMP)，使得導電結構的頂表面係實質上平坦的。接下來，導電層 (conductive layer) 受到圖案化與蝕刻，以形成導電結構，其對應於通過第一鈍化層而形成的開口。蝕刻製程包括濕蝕刻與乾蝕刻，例如電漿增強 (plasma-enhanced) 蝕刻製程。在一些實施方式中，從俯視視角來看，導電結構具有圓形、八角形、矩形或另一合適的形狀。

【0022】 方法200包括操作220，其中第一介電膜，例如第1圖中的第一絕緣膜142係設置於導電結構上方。在至

少一實施方式中，第一介電膜係連續並共形地地沿著第一鈍化層的頂表面與側壁，以及導電結構的頂表面而沉積。在一些實施方式中，第一介電膜的沉積包括化學氣相沉積，例如電漿增強化學氣相沉積 (plasma-enhanced CVD, PECVD)、低壓化學氣相沉積 (low pressure CVD, LPCVD) 或另一合適的製程。在一些實施方式中，第一介電膜的沉積包括原子層沉積或高縱深比製程 (high aspect ratio process, HARP)。

【0023】 方法200包括操作230，其中第二介電膜，例如第1圖中的第二絕緣膜144係設置於第一介電膜上方。在一些實施方式中，第二介電膜包括無摻雜矽酸鹽玻璃(USG)。第二介電膜的沉積包括化學氣相沉積，例如高密度電漿化學氣相沉積 (high density plasma CVD, HDPCVD)、電漿增強化學氣相沉積 (PECVD)或另一合適的製程。在第二介電膜包括矽氧化物的一些實施方式中，第二介電膜的氧矽比係小於第一介電膜。所以在沉積時，矽來源與氧來源的用量比足以產生約1.6至約1.8的折射率，矽來源例如矽烷、乙矽烷、丙矽烷或二氯矽烷，氧來源例如氧或一氧化二氮。在一些實施方式中，在後續的製程中，第二介電膜協助防止矽原子擴散至導電結構。在一些實施方式中，第二介電膜提供在離子轟擊下的蝕刻選擇性或蝕刻耐受性，以實現半導體裝置的梯形剖面。

【0024】 方法200包括操作240，其中第三介電膜，例如第1圖中的第三絕緣膜 146係設置於第二介電膜上方。沉積

包括高密度電漿化學氣相沉積 (HDPCVD)、電漿增強化學氣相沉積 (PECVD) 或另一合適的製程。藉由使用高密度電漿化學氣相沉積 (HDPCVD)，第三介電膜係比第一介電膜較密，減少了散佈於第一鈍化層上的應力，並具有較少的缺陷。在一些實施方式中，在第三介電膜的沉積時，使用電子迴旋共振技術 (electron cyclotron resonance, ECR) 或感應耦合電漿技術 (induced coupling plasma, ICP) 的高密度電漿化學氣相沉積提供了具有射頻偏壓 (radio frequency bias) 的離子轟擊，移除了一部分的第二介電膜。在第三介電膜包括矽氧化物的一些實施方式中，高密度電漿化學氣相沉積使用矽烷作為矽前驅物，並使用氧作為氧前驅物。加入惰性氣體至製程中，例如氬，以增強濺射蝕刻效應。在一些實施方式中，在第三介電膜的沉積時，移除沿著導電結構的側壁的一部分的第二介電膜。因此，一部分的第三介電膜接觸第一介電膜。在至少一實施方式中，第三介電膜係以用於第二介電膜的相同方法而沉積。然而，參照橫截面圖，雖然第三介電膜與第二介電膜是在相同的腔體內受到沉積，並具有相同的材料，但是這兩個膜之間存在一個界面。藉由移除一部分的第二介電膜，第二鈍化層的一組合沿著導電結構的形狀，從而減少形成從第二鈍化層的上角落向外延伸的懸突的風險。位於相鄰的導電墊 (例如接觸墊) 之間的空間具有較少的針孔 (pinholes)，相較於以其他方式製造的半導體裝置。

【0025】 在一些實施方式中，方法 200 包括額外的操

作，例如第四介電膜設置於第三介電膜上方。作為另一實施例，圖案化第四介電膜，並蝕刻第二鈍化層，以形成開口，從而暴露導電結構的中心部分，以便耦合至再分佈線。

【0026】 第3A圖至第3D圖係根據一個或多個實施方式，半導體裝置300在各製造階段的橫截面圖。半導體裝置300包括相似於半導體裝置100的元素，並且相似元素的末兩碼是相同的。第3A圖係根據一些實施方式，在操作210後的半導體裝置300的橫截面圖。半導體裝置300包括金屬間介電層310、導電線路312、第一鈍化層320、複數個接觸墊330及通路插塞332。在一些實施方式中，導電材料係完全地形成於第一鈍化層320的頂表面上方。接著執行微影製程與蝕刻製程，以形成接觸墊330。在一些實施方式中，使用雙重鑲嵌技術 (dual damascene) 形成接觸墊330。在一些實施方式中，接觸墊330具有約1000nm至約3000nm的厚度。在一些情況下，較大的厚度增加生產成本，且對產量沒有顯著的效益。在一些情況下，較小的厚度增加在導線接合製程中被損傷的風險。在一些實施方式中，相鄰的接觸墊330之間間距S30係相等或大於500 nm。在一些情況下，較小的間距增加後續充填製程的困難度。在一些實施方式中，暴露一部分的第一鈍化層320，並且在形成接觸墊330時，移除此暴露部分。因此，第一鈍化層320的暴露部分的頂表面係低於接觸墊330的底表面。

【0027】 第3B圖係根據一些實施方式，在操作220後，半導體裝置300的橫截面圖。第一絕緣膜342係連續地並共

形地沿著第一鈍化層的頂表面與側壁，以及接觸墊330的頂表面。在一些實施方式中，第一絕緣膜342具有約50nm至約300nm的厚度。在一些情況下，較大的厚度增加了在相鄰的接觸墊130之間產生孔洞的可能性。在一些情況下，較小的厚度對接觸墊130所提供的保護不足。在一些實施方式中，第一絕緣膜342的底部分係低於接觸墊330的底表面，其與第一鈍化層320直接接觸。

【0028】 第3C圖係根據一些實施方式，在操作230後，半導體裝置300的橫截面圖。第二絕緣膜344係連續地並共形地沿著第一絕緣膜342。在一些實施方式中，第二絕緣膜344具有約20nm至約80nm的均勻厚度。在一些情況下，較大的厚度增加了在相鄰的接觸墊330之間產生孔洞的可能性。在一些情況下，較小的厚度增加了在後續的製程中原子擴散的風險。特定而言，第二絕緣膜344包括接近於並實質上平行於第一鈍化層320第一部分344a、位於接觸墊330的頂表面上方並實質上平行於第一部分344a的第二部分344b、以及沿著接觸墊330的側壁的第三部分344c。在一些實施方式中，全部的第一部分344a係低於接觸墊330的底表面。

【0029】 第3D圖係根據一些實施方式，在操作240後，半導體裝置300的橫截面圖。第三絕緣膜346係連續地位於第一絕緣膜342上方。在一些實施方式中，第三絕緣膜346具有約500nm至約1500nm的厚度。在一些情況下，較大的厚度增加了在相鄰的接觸墊330之間產生孔洞的可能性。第

三絕緣膜346的側壁部分與底部分之間的角度係大於95度。在一些實施方式中，第三絕緣膜346相鄰的側壁部分之間間距S32係相等或大於250nm。由於在形成第三絕緣膜346時移除了第三部分344c，因此第二絕緣膜344不連續地呈現於第一絕緣膜342上方。因此，第三絕緣膜346的最上方的部分與最底下部分係接觸第二絕緣膜344，而第三絕緣膜346的側壁部分係直接接觸第一絕緣膜342。在一些實施方式中，第三絕緣膜346最下方的部分係低於接觸墊330的底表面。

【0030】 第4圖係根據一個或多個實施方式之半導體裝置400的橫截面圖。半導體裝置400包括相似於半導體裝置100的元素，並且相似元素的末兩碼是相同的。相較於第1圖中的半導體裝置100，半導體裝置400進一步包括位於第三絕緣膜446與第四絕緣膜448之間的第五絕緣膜447。為了維持相似於半導體裝置100的剖面，第三絕緣膜446的厚度比第1圖中的第三絕緣膜146減少了約100nm。在沉積第三絕緣膜446之後，第五絕緣膜447係連續並共形地地沉積於第三絕緣膜446上方。參照橫截面圖，第五絕緣膜447具有彎曲的形狀。在一些實施方式中，第五絕緣膜447係使用與第二絕緣膜444相同的沉積方法。在一些實施方式中，第五絕緣膜447係使用與第二絕緣膜444不同的沉積方法。舉例而言，在一些實施方式中，使用高密度電漿化學氣相沉積(HDPCVD)來沉積第二絕緣膜444，並使用電漿增強化學氣相沉積(PECVD)來沉積第五絕緣膜。在一些實施方式中，

第五絕緣膜具有約20nm至約80nm的厚度。在一些情況下，較大的厚度增加了在相鄰的接觸墊430之間的產生孔洞的可能性。在一些情況下，較小的厚度增加了在後續的製程中原子擴散的風險。接下來，第四絕緣膜448係設置於第五絕緣膜447上方。在一些實施方式中，第四絕緣膜448係使用與第五絕緣膜447相同的沉積方法。然而，參照橫截面圖，雖然第四絕緣膜448與第五絕緣膜447是在相同的腔體內受到沉積，但是這兩個膜之間存在一個界面。在一些實施方式中，第四絕緣膜448係使用與第五絕緣膜447不同的沉積方法。舉例而言，使用電漿增強化學氣相沉積(PECVD)來沉積第四絕緣膜448，並使用高密度電漿化學氣相沉積(HDPCVD)來沉積第五絕緣膜447。在至少一實施方式中，相較於第1圖中的半導體裝置100，第四絕緣膜448的厚度比第四絕緣膜148的厚度更薄。因此，由於第三絕緣膜446的頂表面是實質上平坦的，因此第五絕緣膜447亦以平坦的形式位於第三絕緣膜446上方。

【0031】 此敘述的一個態樣係關於製造半導體結構的方法。此方法包括形成導電結構於第一鈍化層上方，沉積第一介電膜連續地位於導電結構上方，沉積第二介電膜連續地位於第一介電膜上方，以及沉積第三介電膜於第二介電膜上方。一部分的第三介電膜係與一部分的第一介電膜接觸。在一些實施方式中，第三介電膜的沉積包括沉積第三介電膜至具有小於第二介電膜的折射率。在一些實施方式中，第三介電膜的沉積包括移除一部分的第二介電膜，以暴露第一介電

膜的部分。在一些實施方式中，第二介電膜的沉積與第三介電膜的沉積包括使用高密度電漿化學氣相沉積(HDPCVD)來沉積第二介電膜與第三介電膜。在一些實施方式中，第三介電膜的沉積包括沉積第三介電膜至具有比第二介電膜較大的氧矽比。在一些實施方式中，第二介電膜的沉積包括沉積第二介電膜至具有約1.6至約1.7的折射率。在一些實施方式中，第一介電膜與第三介電膜的沉積包括沉積第一介電膜至具有約1.4至約1.5的折射率，以及沉積第三介電膜至具有約1.4至約1.5的折射率。在一些實施方式中，第二介電膜的沉積包括沉積第二介電膜至具有小於第一介電膜或第三介電膜的至少一者的介電常數。

【0032】 此敘述的另一個態樣係關於半導體裝置的方法。此方法包括形成兩個導電結構於基板上方，沉積第一矽氧化物膜於這兩個導電結構上方，沉積第二矽氧化物膜於第一矽氧化物膜上方，其中第二矽氧化物膜具有比第一矽氧化物膜較小的氧矽比，沉積第三矽氧化物膜於第二矽氧化物膜上方，以及沉積矽氮化物膜於第三矽氧化物膜上方。在一些實施方式中，沉積第三矽氧化物膜於第二矽氧化物膜上方包括沉積第三矽氧化物膜，至具有比第二矽氧化物膜較大的氧矽比。在一些實施方式中，此方法進一步包括沉積第四矽氧化物膜於第三矽氧化物膜上方，其中第四矽氧化物膜具有比第一矽氧化物膜或第三矽氧化物膜的至少一者較小的氧矽比。在一些實施方式中，第二矽氧化物膜的沉積包括沉積第二矽氧化物膜至具有比第一矽氧化物膜高出約8%至約15%

的折射率。

【0033】 本敘述的再一個態樣係關於半導體結構。半導體結構包括位於第一鈍化層上方的導電結構，以及位於導電結構與第一鈍化層上方的第二鈍化層，其中第二鈍化層具有第一氧化物膜，沿著第一鈍化層的頂表面與側壁、以及導電結構的頂表面延伸；第二氧化物膜，位於第一氧化物膜的頂表面與導電結構的頂表面上方；以及第三氧化物膜，沿著第二氧化物膜的頂表面與側壁，以及導電結構的頂表面延伸。在一些實施方式中，第一氧化物膜的側壁部分係直接接觸第三氧化物膜的側壁部分。在一些實施方式中，位於第一鈍化層上方之第二鈍化層的厚度與導電結構的厚度的比值為約0.5至約1。在一些實施方式中，間距與位於第一鈍化層上方之第二鈍化層的厚度的比值為約0.7至約1.3，其中此間距係介於導電結構與相鄰的導電結構之間。在一些實施方式中，進一步包括矽氮化物膜，位於第三氧化物膜上方，其中矽氮化物膜的側壁部分與底部分之間的角度係大於95度。在一些實施方式中，第二鈍化層進一步包括矽氮化物膜，位於第三氧化物膜上方，其中矽氮化物膜的上部與下部的比值(bottom-up ratio)為約0.75至約1.1。在一些實施方式中，第二氧化物膜與第三氧化物膜具有約2500nm至約2900nm的FTIR吸收帶。在一些實施方式中，第二氧化物膜具有約20nm至約100nm的厚度。

【0034】 前述內容概述若干實施例或實例之特徵，以使得熟習此項技術者可較佳理解本揭示之態樣。熟習此技藝者

應理解，他們可容易地使用本揭示作為設計或修改用於執行本文所介紹之實施方式相同目的及/或達成相同優點的其他製程及結構之基礎。熟習此技藝者應同時認識到，這些的等效構造並不偏離本揭示之精神及範疇，且其可在不偏離本揭示之精神及範疇之情況下於本文中進行各種變化、替換及變更。

【符號說明】**【0035】**

- 100：半導體裝置
- 110：金屬間介電層
- 112：導電線路
- 120：第一鈍化層
- 130：接觸墊
- 132：通路插塞
- 140：第二鈍化層
- 142：第一絕緣膜
- 144：第二絕緣膜
- 146：第三絕緣膜
- 148：第四絕緣膜
- 150：相對軟的薄膜
- 200：方法
- 210：操作
- 220：操作
- 230：操作
- 240：操作
- 300：半導體裝置
- 310：金屬間介電層
- 312：導電線路
- 320：第一鈍化層
- 330：接觸墊

- 332：通路插塞
- 342：第一絕緣膜
- 344：第二絕緣膜
- 346：第三絕緣膜
- 400：半導體裝置
- 410：金屬間介電層
- 412：導電線路
- 420：第一鈍化層
- 430：接觸墊
- 432：通路插塞
- 440：第二鈍化層
- 442：第一絕緣膜
- 444：第二絕緣膜
- 446：第三絕緣膜
- 447：第五絕緣膜
- 448：第四絕緣膜
- 142a：第一部分
- 142b：第二部分
- 142c：第三部分
- 144a：第一部分
- 144b：第二部分
- 344a：第一部分
- 344b：第二部分
- 344c：第三部分

447a : 第一部分

447b : 第二部分

447c : 第三部分

S30 : 間距

S32 : 間距

T10 : 厚度

T20 : 厚度

T30 : 厚度

T42 : 厚度

T44 : 厚度

W42 : 寬度

W44 : 寬度

θ : 角度

【發明申請專利範圍】

【第 1 項】一種製造半導體結構的方法，該方法包含：
形成一導電結構於一第一鈍化層的上方；
沉積一第一介電膜，連續地位於該導電結構上方；
沉積一第二介電膜，連續地位於該第一介電膜上方；
以及

沉積一第三介電膜於該第二介電膜上方，其中一部分的該第三介電膜係接觸一部分的該第一介電膜，其中該第三介電膜的沉積包括：

移除一部分的該第二介電膜，以暴露該第一介電膜的部分；以及

沉積該第三介電膜至具有小於該第二介電膜的折射率。

【第 2 項】如請求項 1 所述的方法，其中該第二介電膜的沉積包括：

沉積第二介電膜至具有約 1.6 至約 1.7 的一折射率。

【第 3 項】如請求項 1 所述的方法，其中該第二介電膜的沉積與該第三介電膜的沉積包括：

使用高密度電漿化學氣相沉積(HDPCVD)來沉積該第二介電膜與該第三介電膜。

【第 4 項】如請求項 1 所述的方法，其中該第三介電膜的沉積包括：

沉積該第三介電膜至具有比該第二介電膜較大的一氧矽比。

【第 5 項】一種製造半導體結構的方法，該方法包含：
形成兩個導電結構於一基板上方；

沉積一第一矽氧化物膜於該兩個導電結構上方；

沉積一第二矽氧化物膜於該第一矽氧化物膜上方，其中該第二矽氧化物膜具有比該第一矽氧化物膜較小的一氧矽比；

沉積一第三矽氧化物膜於該第二矽氧化物膜上方，其中至少一部分的該第三矽氧化物膜將該第二矽氧化物膜分離為分散的部分；

沉積一矽氮化物膜於該第三矽氧化物膜上方；以及

沉積一第四矽氧化物膜於該第三矽氧化物膜上方，其中該第四矽氧化物膜具有比該第一矽氧化物膜或該第三矽氧化物膜的至少一者較小的一氧矽比。

【第 6 項】如請求項 5 所述的方法，其中沉積該第三矽氧化物膜於該第二矽氧化物膜上方包括：

沉積該第三矽氧化物膜至具有比該第二矽氧化物膜較大的一氧矽比。

【第 7 項】一種半導體結構，包含：

位於一第一鈍化層上方的一導電結構；以及

位於該導電結構與該第一鈍化層上方的一第二鈍化

層，其中該第二鈍化層具有

一第一氧化物膜，沿著該第一鈍化層的一第一頂表面與一第一側壁、以及該導電結構的一第二頂表面延伸；

一第二氧化物膜，包含一第一部分和一第二部分，該第一部分位於該第一氧化物膜的一第三頂表面上方，該第二部分位於該第一氧化物膜的一第四頂表面上方，其中該第二氧化物膜具有位於該第一氧化物膜的該第三頂表面上的一第五頂表面，該第二氧化物膜的第五頂表面低於該導電結構的一底表面；以及

一第三氧化物膜，沿著該第二氧化物膜的該第五頂表面與該第一氧化物膜的一第二側壁，以及該第二氧化物膜的一第六頂表面延伸。

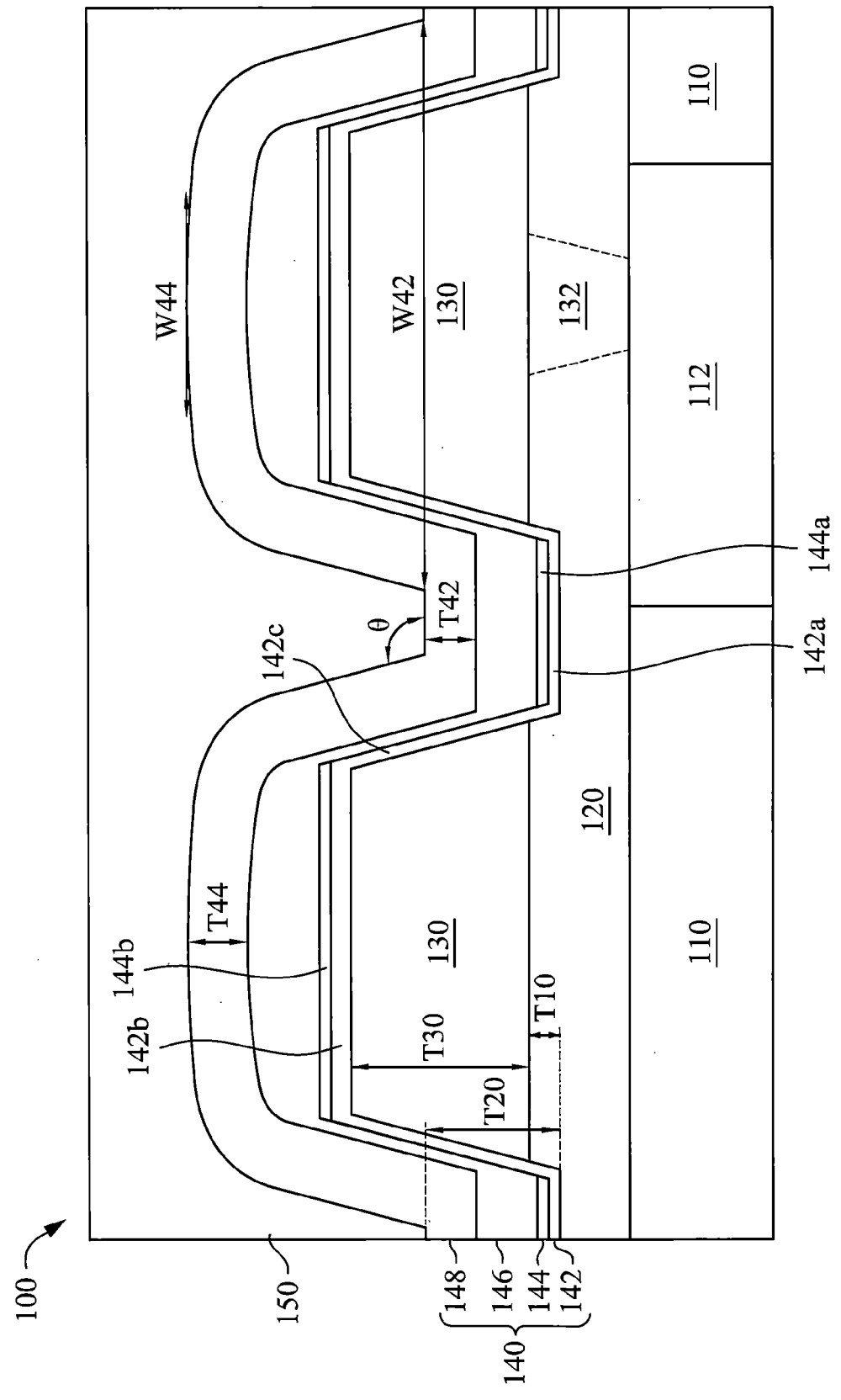
【第 8 項】如請求項 7 所述的半導體結構，其中該第一氧化物膜的該第二側壁部分係直接接觸該第三氧化物膜的一側壁部分。

【第 9 項】如請求項 7 所述的半導體結構，其中位於該第一鈍化層上方的該第二鈍化層的一厚度與該導電結構的一厚度的比值為約 0.5 至約 1。

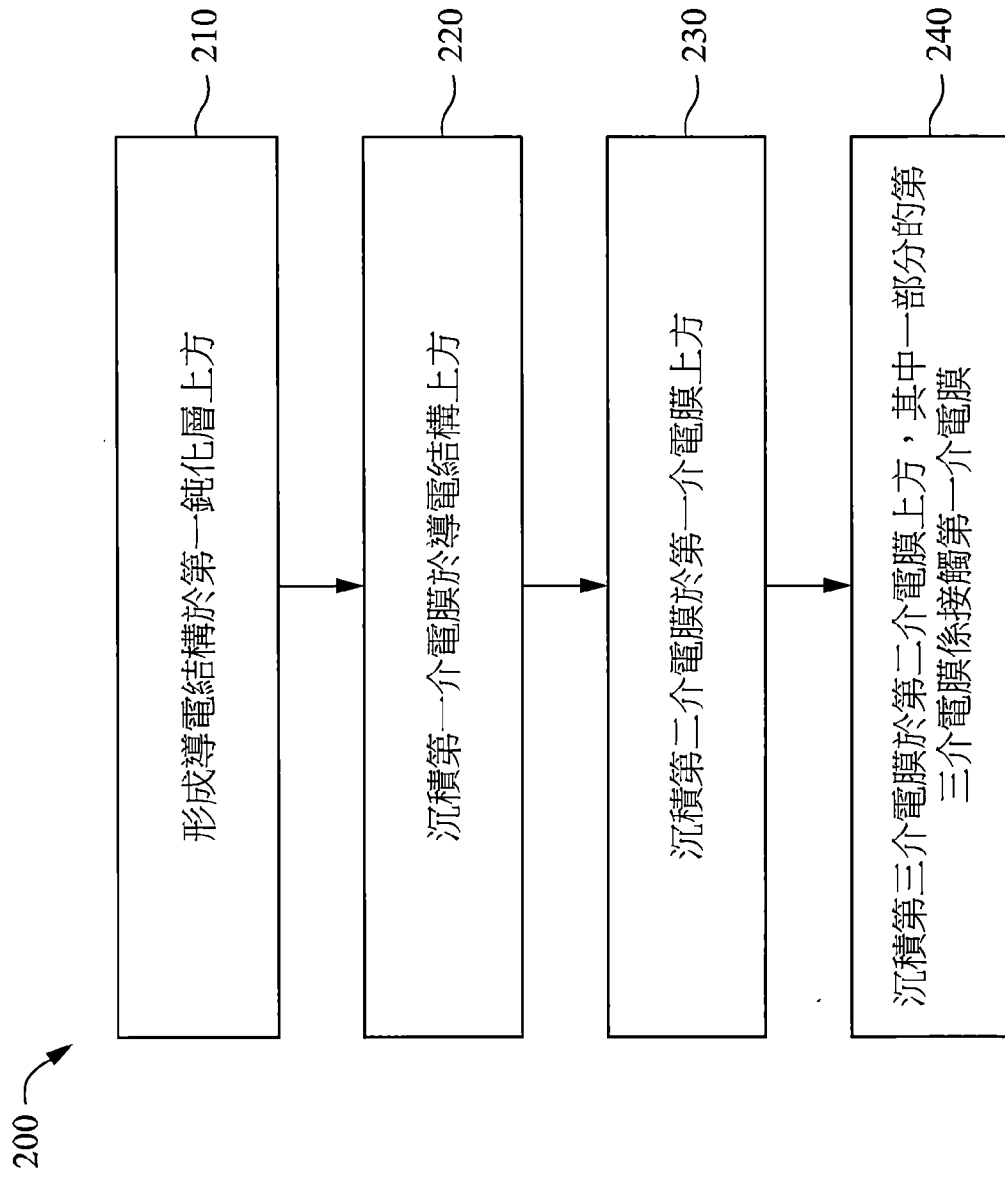
【第 10 項】如請求項 7 所述的半導體結構，其中一間距與位於該第一鈍化層上方的該第二鈍化層的一厚度的比值為約 0.7 至約 1.3，其中該間距係介於該導電結構與

一相鄰的導電結構之間。

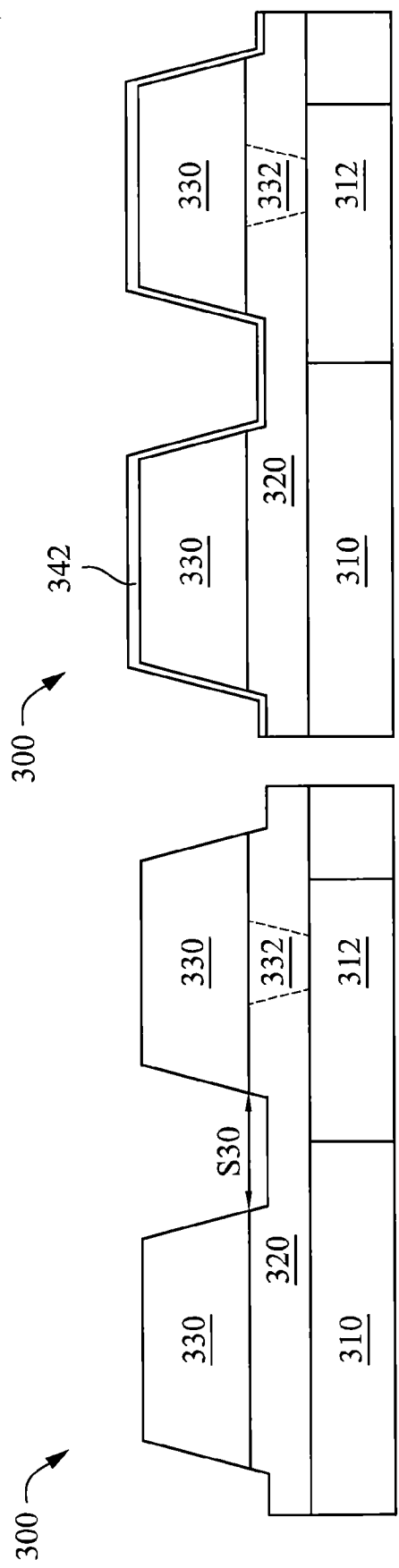
圖式



第 1 圖

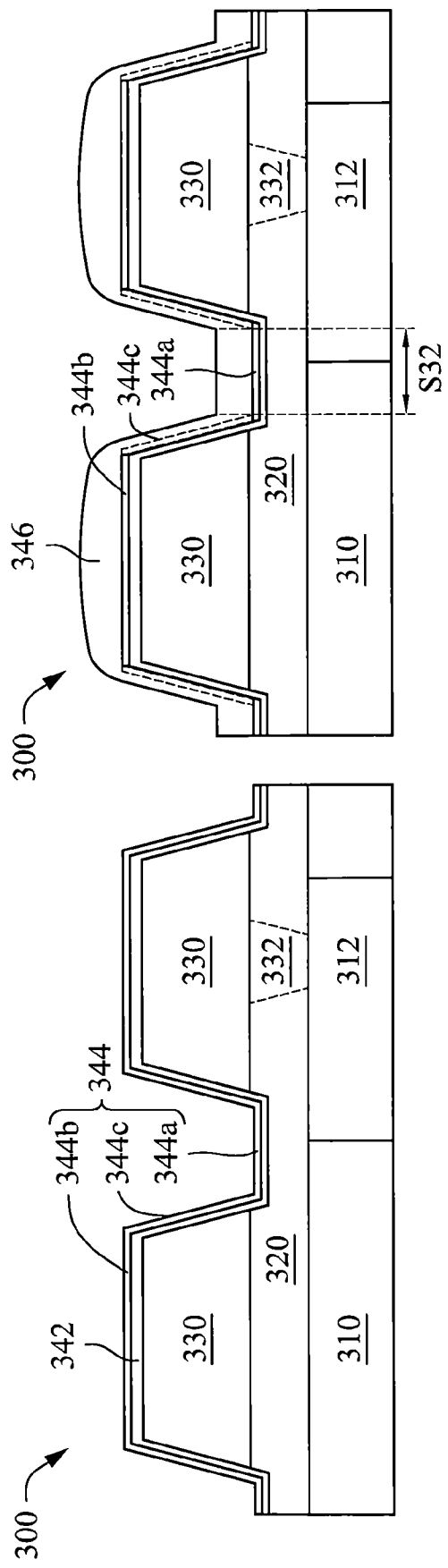


第 2 圖



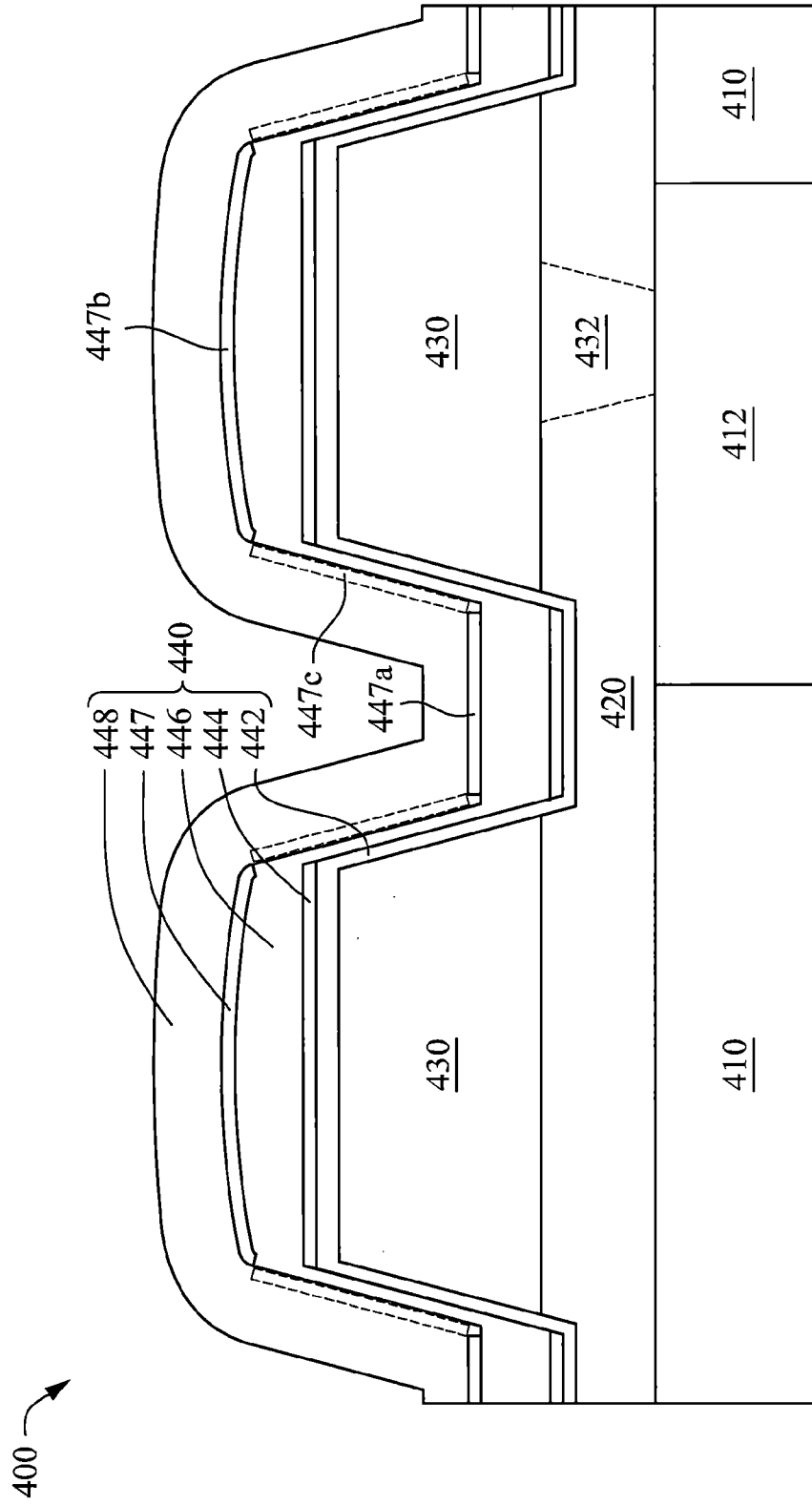
第3A圖

第3B圖



第3C圖

第3D圖



第 4 圖