

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

11 N° de publication : 2 957 193

(à n'utiliser que pour les
commandes de reproduction)

21 N° d'enregistrement national : 10 51526

51 Int Cl^B : H 01 L 27/085 (2006.01), H 01 L 27/118, 21/762, 21/8232

12 DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 03.03.10.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 09.09.11 Bulletin 11/36.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : S.O.I.TEC SILICON ON INSULATOR
TECHNOLOGIES Société anonyme — FR.

72 Inventeur(s) : MAZURE CARLOS et FERRANT
RICHARD.

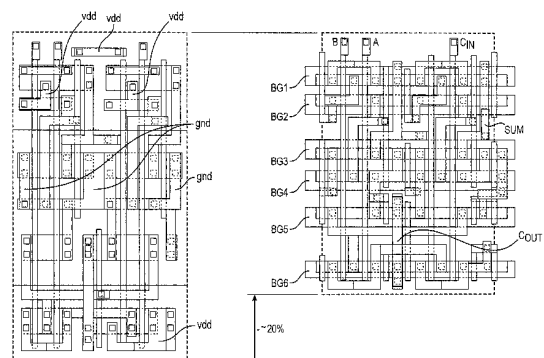
73 Titulaire(s) : S.O.I.TEC SILICON ON INSULATOR
TECHNOLOGIES Société anonyme.

74 Mandataire(s) : CABINET REGIMBEAU.

54 CELLULE A CHEMIN DE DONNEES SUR SUBSTRAT SEOI AVEC GRILLE DE CONTROLE ARRIERE
ENTERREE SOUS LA COUCHE ISOLANTE.

57 L'invention concerne selon un premier aspect une cellule de chemin de données spécifiquement adaptée à son environnement d'utilisation dans un circuit intégré réalisée sur un substrat semi-conducteur sur isolant comprenant une couche mince de matériau semi-conducteur séparée d'un substrat de base par une couche isolante, la cellule comprenant un ensemble de transistors à effet de champ, chaque transistor disposant dans la couche mince d'une région de source (S₇), d'une région de drain (D₇) et d'une région de canal (C₇) délimitée par les régions de source et de drain, et comprenant en outre une région de grille de contrôle avant (GA₇) formée au dessus de la région de canal,

caractérisée en ce qu'au moins un transistor (T₇) dispose d'une région de grille de contrôle arrière (GN₂) formée dans le substrat de base au-dessous de la région de canal, la région de grille arrière étant apte à être polarisée pour modifier les performances du transistor.



FR 2 957 193 - A1



Le domaine de l'invention est celui de la microélectronique.

L'invention concerne plus précisément un dispositif semi-conducteur réalisé sur un substrat semi-conducteur sur isolant SeO_i (« Semiconductor On Insulator ») à partir de cellules élémentaires de chemins de données.

5 La conception de circuits intégrés repose sur l'intégration d'une pluralité de cellules élémentaires ayant des fonctions logiques prédéterminées. D'une manière générale, on peut distinguer deux types de conception.

Selon un premier type de conception, on a recours à une bibliothèque comprenant environ un millier de cellules préconçues pour un usage général.
10 On parle alors de cellules standards (« standard cells » selon la terminologie anglo-saxonne).

Selon un second type de conception, on conçoit des cellules spécifiquement adaptées à leur environnement d'utilisation. On parle alors de cellules de chemins de données (« datapath cells » selon la terminologie
15 anglo-saxonne).

On comprend que pour un circuit donné, le recours à des cellules datapath spécifiquement développées pour ce circuit permet d'obtenir de meilleures performances (typiquement en termes de rapidité, de consommation de puissance, et de surface occupée). Le coût de conception
20 est cependant beaucoup plus important.

Les cellules datapath ne sont ainsi typiquement utilisées que pour des circuits haute vitesse nécessitant des performances optimisées, par exemple pour des microprocesseurs. Ces cellules sont notamment conçues afin d'élaborer des unités arithmétiques pour lesquelles on observe une forte
25 répétitivité de fonctions basiques plus ou moins complexes. On retiendra à titre d'exemples le cas des additionneurs, des multiplicateurs, etc.

L'amélioration des performances (vitesse, consommation) et la miniaturisation sont des besoins continus dans le domaine d'application de l'invention.

30 L'invention a pour objectif de répondre à ces besoins, et propose à cet effet selon un premier aspect une cellule à chemin de données

spécifiquement adaptée à son environnement d'utilisation dans un circuit intégré réalisée sur un substrat semi-conducteur sur isolant comprenant une couche mince de matériau semi-conducteur séparée d'un substrat de base par une couche isolante,

5 la cellule comprenant un ensemble de transistors à effet de champ, chaque transistor disposant dans la couche mince d'une région de source, d'une région de drain et d'une région de canal délimitée par les régions de source et de drain, et comprenant en outre une région de grille de contrôle avant formée au dessus de la région de canal,

10 caractérisée en ce qu'au moins un transistor dispose d'une région de grille de contrôle arrière formée dans le substrat de base au-dessous de la région de canal, la région de grille arrière étant apte à être polarisée pour modifier les performances du transistor.

Certains aspects préférés, mais non limitatifs, de cette cellule sont les
15 suivants :

- une ligne de grille arrière connecte les régions de grille arrière d'une pluralité de transistors ;
- la ligne de grille arrière s'étend dans le substrat de base sous la couche isolante le long d'une rangée de transistors ;
- 20 - la région de grille arrière est isolée du substrat de base par un caisson de conductivité opposé ; et
- la région de grille arrière présente une conductivité du même type que celle du canal du transistor.

Selon un autre aspect, l'invention concerne un circuit intégré réalisée
25 sur un substrat semi-conducteur sur isolant comprenant une cellule à chemin de données selon le premier aspect de l'invention.

Selon encore un autre aspect, l'invention concerne un procédé de commande d'une cellule à chemin de données selon le premier aspect de l'invention, dans lequel la région de grille arrière est reliée à un premier
30 potentiel lorsque le transistor est inactif, et à un deuxième potentiel lorsque le potentiel est actif.

Selon encore un autre aspect, l'invention concerne un procédé de conception d'une cellule à chemin de données dans lequel on adapte la cellule spécifiquement à son environnement d'utilisation dans un circuit intégré réalisé sur un substrat semi-conducteur sur isolant comprenant une
5 couche mince de matériau semi-conducteur séparée d'un substrat de base par une couche isolante, comprenant les étapes consistant à :

- réduire la largeur physique d'un transistor de la cellule, pour en diminuer la capacitance, et
- associer au transistor une grille de contrôle arrière agencée dans le
10 substrat de base, pour en augmenter la conductance en utilisation dans un état actif.

D'autres aspects, buts et avantages de la présente invention apparaîtront mieux à la lecture de la description détaillée suivante de formes de réalisation préférées de celle-ci, donnée à titre d'exemple non limitatif, et
15 faite en référence aux dessins annexés sur lesquels :

- la figure 1 représente le gain possible en terme de délai de propagation par la mise en œuvre de l'invention ;
- la figure 2 est un schéma illustrant la réalisation d'une grille de contrôle
arrière ;
- la figure 3 vise à comparer une cellule de chemin de données CMOS
20 sur substrat de base et une cellule de chemin de données CMOS sur substrat SeOI conforme à un mode de réalisation possible du premier aspect de l'invention.

L'invention a trait à un circuit intégré comprenant une pluralité de
25 cellules de chemin de données (datapath cells). Chacune des cellules datapath est spécifiquement développée pour ce circuit, et est par conséquent hautement adaptée à son environnement d'utilisation.

Une cellule datapath comprend typiquement un étage d'entrée et un étage de sortie. Elle peut également comprendre un ou plusieurs étages
30 intermédiaires reliant l'étage d'entrée à l'étage de sortie.

Afin de maximiser la vitesse du circuit, différentes actions peuvent être entreprises.

On peut tout d'abord raccourcir la longueur des connexions électriques reliant les cellules datapath entre elles ou la longueur des connexions
5 électriques reliant les étages d'une cellule datapath entre eux. La connexion présente alors une capacitance à la charge réduite ainsi qu'une résistance réduite.

On peut également prévoir des étages de sortie présentant une faible impédance. Les étages de sortie disposent alors d'un niveau de conduction
10 suffisant pour charger rapidement la ou les connexions électriques en sortie ainsi que les étages d'entrée de la cellule datapath suivante.

Ceci impose typiquement de recourir à des transistors de grandes dimensions, en particulier à des transistors présentant une largeur importante.

15 Cependant, il est à noter qu'un étage de sortie constitue également une charge (pour l'étage d'entrée ou le(s) étage(s) intermédiaire(s) de la cellule datapath) d'autant plus importante que les transistors qui le composent sont de grandes dimensions. En outre, sa consommation de puissance, aussi bien statique que dynamique, est proportionnelle à ses dimensions.

20 Encore un autre moyen pour maximiser la vitesse d'un circuit consiste à prévoir des étages d'entrée présentant une faible capacitance. Ceci peut être réalisé en venant réduire les dimensions de l'étage d'entrée d'une cellule. La charge de la cellule précédente est ainsi réduite.

Mais en venant réduire les dimensions, cet étage d'entrée risque de ne
25 pas présenter un niveau de conduction suffisant pour charger efficacement le(s) étage(s) intermédiaire(s) ou l'étage de sortie.

Par ailleurs, une variabilité des performances peut découler d'une miniaturisation trop avancée. En particulier, il existe alors un risque que des cellules datapath parallèles présentent des vitesses sensiblement différentes.

D'une manière plus générale, tout étage constitue à la fois un étage de sortie pour l'étage suivant ou la cellule suivante, et un étage d'entrée pour l'étage précédent ou la cellule précédente.

On comprend donc que pour chacun des étages, un compromis doit
5 être recherché entre transistors de petites dimensions pour en réduire la capacitance (et donc diminuer la charge du ou des étages précédents) et transistors de grandes dimensions pour en réduire la résistance (et donc charger efficacement le ou les étages suivants).

Dans le cadre de l'invention, chacun des étages est constitué d'une
10 pluralité de transistors à effet de champ (FET – Field Effect Transistor) réalisés sur un substrat SeOI, notamment sur un substrat silicium sur isolant SOI (« Silicon On Insulator »). Chaque transistor dispose d'une région de source, d'une région de drain et d'une région de canal séparant les régions de source et de drain. Le transistor dispose également d'une grille de
15 contrôle avant séparée du canal par une couche diélectrique de grille.

L'invention propose en outre d'agencer une grille de contrôle arrière dans le substrat de base en regard du canal d'au moins un transistor.

On a représenté sur la figure 2 une vue en coupe d'une rangée de transistors T_1 - T_7 NMOS réalisés sur un substrat SeOI. Sur cette vue en
20 coupe, la couche isolante porte la référence BOX.

Sur cette figure 2, le canal des transistors est totalement déplété (« Fully Depleted » selon la terminologie anglo-saxonne), les régions de source S et de drain D étant en contact avec la couche isolante BOX.

L'invention s'étend toutefois également à la technologie partiellement
25 déplétée (« Partially Depleted ») dans laquelle les régions de source et de drain ne s'étendent pas dans l'intégralité de la couche mince. On notera que dans ce cas, la grille de contrôle arrière est globalement moins efficace car plus éloignée de la région de canal entre les régions de source et de drain.

Sur cette figure 2, on a par souci de clarté représenté des transistors de
30 mêmes dimensions.

La figure 2 est cependant donnée à titre purement illustratif. En pratique les transistors de la cellule datapath ne sont pas nécessairement agencés en rangées, ils ne présentent pas nécessairement les mêmes dimensions (y compris le long d'une rangée), ils peuvent disposer d'une grille de contrôle

5 arrière individuelle ou commune, le potentiel appliqué aux grilles de contrôle arrière peut être différent ou non, etc.

En référence au transistor T_7 , celui-ci dispose dans la couche mince du substrat SeOI d'une région de source S_7 , d'une région de drain D_7 et d'une région de canal C_7 s'étendant entre la source et le drain. Le transistor T_7

10 comprend en outre une région de grille de contrôle avant G_{A7} disposée de manière classiquement connue en soi au-dessus du canal, une couche diélectrique de grille 10 étant interposée entre la grille de contrôle avant G_{A7} et la canal C_7 .

Le transistor T_7 comprend en outre une grille de contrôle arrière G_{N2}

15 disposée dans le substrat de base et séparée du canal C_7 par la couche isolante BOX. Le transistor T_7 dispose ainsi de deux grilles de contrôle : la grille de contrôle avant G_{A7} classiquement utilisée, et la grille de contrôle arrière G_{N2} proposée par l'invention qui est notamment destinée à être utilisée pour augmenter la conduction du transistor sans avoir à en

20 augmenter les dimensions.

La figure 2 vise à illustrer les différents cas de figure possible. Sur cette figure 2 :

- le transistor T_1 présente une grille de contrôle arrière G_{P1} de type P+ ;
- le transistor T_2 présente une grille de contrôle arrière G_{N1} de type N+ ;

25

- le transistor T_3 ne dispose pas de grille de contrôle arrière ;
- les transistors T_4 - T_6 présentent une grille de contrôle arrière commune G_{P2} de type P+ ;
- le transistor T_7 présente une grille de contrôle arrière G_{N2} de type N+ ;

Comme représenté sur la figure 2, une grille de contrôle arrière

30 associée de manière individuelle à un transistor peut être localisée dans le

substrat de base sous la couche isolante de manière à ne s'étendre qu'en regard du canal du transistor (cf. transistors T_1 , T_2 et T_7)

La grille de contrôle arrière peut être commune à une pluralité de transistors en s'étendant dans le substrat de base sous la couche isolante sous les canaux de ladite pluralité de transistors (cas des transistors T_4 - T_6).

La grille de contrôle arrière est par exemple formée par implantation de dopants sous la couche isolante BOX.

La grille de contrôle arrière est isolée du substrat de base par un caisson C_{N1} , C_{P1} , C_{N2} , C_{P2} (« well » dans la terminologie anglo-saxonne) de polarisation opposée (caisson de type N- C_{N1} , C_{N2} pour une grille de contrôle arrière P+ G_{P1} , G_{P2} ; caisson de type P- C_{P1} , C_{P2} pour une grille de contrôle arrière N+ G_{N1} , G_{N2}).

La tension du caisson est choisie de façon à ce que la diode parasite créé par le nœud électrique entre la grille de contrôle arrière et le caisson soit toujours en inverse, la diode isolant la grille de contrôle arrière du caisson et de tout ce qu'il peut contenir (autres grilles de contrôles arrière notamment). Effectivement, il est bien entendu possible de prévoir un caisson commun à plusieurs grilles de contrôle arrière de même type.

On notera qu'en alternative ou en complément des caissons, on peut prévoir des régions d'isolations latérales s'étendant, sous la couche isolante BOX, en profondeur dans le substrat de base de manière à isoler la grille de contrôle arrière du substrat de base. Dans un tel cas de figure, la grille de contrôle arrière peut ne pas avoir à être précisément localisée en regard du canal d'un transistor.

Par ailleurs, selon une variante de réalisation non représentée, une seconde couche isolante, agencée dans le substrat de base en dessous de la couche isolante BOX, peut également contribuer, totalement ou en partie, à isoler une grille de contrôle arrière du substrat de base.

En venant polariser la grille de contrôle arrière du transistor positivement ou négativement (typiquement par +/- 0,3 V), les propriétés du transistor peuvent être modifiées de manière individuelle. En particulier, la

tension de seuil du transistor peut être décalée. Or une modification de la tension de seuil est équivalente à une modification de la largeur physique du canal du transistor.

Ainsi, dans le cadre de l'invention, la largeur physique du canal du transistor est définie une fois pour toute, mais il s'avère possible de modifier la largeur apparente (effective) de son canal via le choix d'une commande de la grille de contrôle arrière.

Un transistor dont le canal présente une conductivité de type N et une grille de contrôle arrière de conductivité P (on parle alors de grille de contrôle arrière avec fonction de travail) présente une tension seuil très élevée. Cette tension de seuil peut alors être réduite en appliquant une tension positive sur la grille de contrôle arrière.

Un transistor dont le canal présente une conductivité de type N et une grille de contrôle arrière de conductivité N (on parle alors de grille de contrôle arrière sans fonction de travail) présente une tension seuil nominale qui peut être réduite en appliquant une tension positive sur la grille de contrôle arrière.

Cette variation de la tension de seuil du transistor via la grille de contrôle arrière peut être formulée selon $V_{th} = V_{t0} - \alpha \cdot V_{BG}$, où V_{th} représente la tension de seuil du transistor, V_{BG} la tension appliquée à la grille de contrôle arrière, V_{t0} la tension de seuil nominale (qui peut être décalée par la fonction de travail selon que l'on utilise une grille de contrôle arrière de type N ou P), et α un coefficient lié à la géométrie du transistor.

Le coefficient α peut notamment être modélisé selon $\alpha = \frac{3 \cdot t_{ox1}}{t_{Si} + 3 \cdot t_{ox2}}$, où

t_{ox1} désigne l'épaisseur de la couche diélectrique de grille séparant la grille de contrôle avant du canal, t_{ox2} désigne l'épaisseur de la couche isolante séparant la grille de contrôle arrière du canal et t_{Si} désigne l'épaisseur de la couche mince.

On comprend donc que le type de dopage de la grille de contrôle arrière associé à un transistor décale ou non la tension de seuil nominale, et

que la polarisation de la grille de contrôle arrière permet d'ajuster la tension de seuil.

On peut ainsi bénéficier d'une augmentation du courant de conduction I_{ON} dans un état actif du transistor (en réduisant la tension de seuil), et d'une
5 diminution du courant de fuite I_{OFF} réduit dans un état inactif du transistor (en augmentant la tension de seuil).

Ainsi, dans le cadre de l'invention, on choisit préférentiellement que le transistor présente une largeur physique inférieure à la largeur physique que ce transistor présenterait en l'absence de la mise en œuvre de
10 l'invention (cas d'une cellule datapath CMOS réalisée sur un substrat de base, dit « bulk »). On vient ainsi réduire la capacitance de l'étage auquel ce transistor appartient. De telle manière, la charge du ou des étages précédents est diminuée.

A niveau de conduction constant, on peut ainsi obtenir une réduction de
15 l'ordre de 33% de la charge de l'étage précédent.

L'utilisation de la grille de contrôle arrière permet de diviser globalement par deux la largeur du transistor à conductance constante (à partir de la lithographie 45nm car les ratios d'épaisseurs ainsi que les tensions ne sont pas favorables pour les lithographies antérieures). Si on divise la largeur du
20 transistor par un facteur deux, on divise également par ce facteur sa capacité d'entrée mais on n'améliore pas la conductance de sortie ce qui est peut également être recherché. Ainsi, on estime intuitivement qu'un facteur quadratique ($\sqrt{2}$) est le plus souvent préférable. Mais on doit retenir que les cellules datapath sont optimisées par rapport à leur contexte et qu'il peut y
25 avoir des cas où l'on cherche à optimiser exclusivement la capacitance ou la résistance.

En effet, on peut également agir sur la grille de contrôle arrière du transistor pour bénéficier d'une augmentation du courant de conduction (la largeur apparente du canal est ainsi augmentée sans que la largeur physique
30 ne soit modifiée). On vient ainsi réduire la résistance (augmenter la

conductance) de l'étage auquel ce transistor appartient. De telle manière, le ou les étages suivants peuvent être chargés efficacement.

On peut ainsi obtenir une réduction de l'impédance de l'ordre de 33 % au nœud technologique 32 nm (cette réduction devant être encore plus importante pour les générations suivantes) sans avoir à augmenter la taille des transistors.

Bien entendu ces deux actions sont préférentiellement mises en œuvre cumulativement. Dans un tel cas de figure, la surface occupée par la cellule Datapath peut être réduite, de l'ordre de 15 à 25 %.

L'équation suivante, tirée de l'article « Closed-form Expressions for Interconnection Delay, Coupling, and Crosstalk in VLSI's » de T.Sakurai, in IEEE Transactions On Electron Devices, Vol.40, N°1, Janvier 1993, illustre le délai de propagation T_v entre un étage de sortie et un étage d'entrée :

$$T_v = 0,1R_{int}C_{int} + \text{Ln}\left(\frac{1}{1-\gamma}\right)\left(R_{buf}C_{int} + R_{int}C_{buf} + R_{buf}C_{buf} + 0,4R_{int}C_{int}\right)$$

Dans cette équation :

- R_{int} et C_{int} représentent respectivement la résistance et la capacitance de la connexion électrique. Elles varient en fonction de la lithographie (32 nm dans l'exemple ci-après considéré) et de la longueur de la connexion (entre 10 nm et 10 μm dans l'exemple) ;
- R_{buf} représente l'impédance de l'étage de sortie en entrée de la connexion électrique ;
- C_{buf} représente la capacitance de l'étage d'entrée à l'autre bout de la connexion électrique.

On a représenté sur les courbes Ca et Cl de la figure 1, le délai de propagation (en ps) en fonction de la longueur de la connexion (en nm), respectivement pour une propagation de 90% de l'amplitude d'un signal analogique et pour une propagation de 50% de l'amplitude d'un signal numérique.

Dans un exemple de mise en œuvre de l'invention, on vient réduire de 33% C_{buf} et R_{buf} . Les courbes Cai et Cli illustrent la réduction conséquente

(de l'ordre de 55%) du délai de propagation, pour respectivement les situations analogique et numérique.

On aura compris que l'on peut jouer sur l'un et/ou l'autre des valeurs C_{buf} (via une réduction des dimensions du transistor) et R_{buf} (via la grille de
5 contrôle arrière).

Ainsi au nœud technologique 32nm, la vitesse peut être approximativement doublée. On estime toutefois de manière conservative un gain en vitesse de l'ordre de 25 à 33 %.

Comme indiqué précédemment, la surface occupée par la cellule
10 datapath peut être réduite de l'ordre de 15 à 25%.

L'invention offre également l'avantage de permettre une réduction des fuites et donc la consommation de puissance. Cette réduction des fuites est liée à l'utilisation de transistors plus petits. Elle peut également être obtenue via un contrôle appropriée de la grille de contrôle arrière durant les états
15 inactifs du transistor (réduction du courant de fuite I_{OFF}).

La consommation de puissance peut ainsi être réduite de l'ordre de 25 à 33% dans l'état actif. Elle est réduite de l'ordre d'une à deux décades dans l'état inactif par rapport à la cellule datapath en technologie CMOS conventionnelle ou sans commande de la grille de contrôle arrière.

On comprendra que cette réduction de consommation s'observe
20 évidemment à fréquence de fonctionnement constante dans la mesure où des transistors plus petits consomment moins. Toutefois, les transistors sont également nettement plus rapides et de plus hautes fréquences peuvent être envisagées. Une plus haute fréquence entraîne au final une consommation
25 plus importante mais aussi un taux d'usage en rapport.

L'invention présente en outre l'intérêt de permettre d'atteindre de plus hautes fréquences de fonctionnement. On estime de manière conservative une augmentation de la fréquence de l'ordre de 30 à 50 %.

Un mode opératoire d'un transistor à grille de contrôle arrière d'une
30 cellule datapath conforme à l'invention consiste à appliquer à la grille de

contrôle arrière un premier potentiel lorsque le transistor est inactif et un second potentiel lorsque le transistor est actif.

Plus particulière, lorsque la grille de contrôle arrière est à l'état bas « OFF », en étant par exemple reliée à la masse, le transistor fonctionne à
5 basse vitesse, avec de faibles fuites. En l'absence de signaux, c'est-à-dire en état inactif, la consommation de puissance est réduite.

Lorsque la grille de contrôle arrière est à l'état haut « ON », en étant par exemple reliée à une tension d'alimentation nominale V_{DD} , la vitesse de fonctionnement est augmentée.

10 En réalisant un compromis approprié entre commande de la grille de contrôle arrière et dimension physique du transistor, on peut obtenir simultanément un gain de 20% à la fois pour ce qui concerne la surface occupée et pour ce qui concerne les performances. Bien évidemment, chaque cellule peut être conçue pour tirer tous les avantages de l'un ou
15 l'autre de ces paramètres.

On a dans ce qui précède pris l'exemple d'un seul transistor d'une cellule datapath. En pratique, tout ou partie des transistors de la cellule peut disposer d'une grille de contrôle arrière.

Une ligne de grille arrière peut en outre connecter les grilles de contrôle
20 arrière d'une pluralité de transistors. En particulier, une telle ligne de grille arrière commune peut relier les grilles de contrôle arrière de transistors agencés le long d'une même rangée.

On a représenté sur la figure 3 une comparaison entre une cellule datapath additionneur complet (« Full Adder ») en technologie CMOS bulk (à
25 gauche sur la figure 3) et la même cellule selon un mode de réalisation possible de l'invention (à droite). Les transistors de la cellule conforme à l'invention sont agencés en rangées, une ligne de grille arrière BG1-BG6 s'étendant dans le substrat de base sous la couche isolante le long de chaque rangée.

30 La cellule conforme à l'invention présente une vitesse de fonctionnement améliorée de l'ordre de 20% au moins, occupe une surface

réduite de l'ordre de 20%, et affiche une consommation réduite de l'ordre de 20% en mode actif et de plus d'une décade en mode inactif.

La topologie de l'exemple de la figure 3 est en outre avantageuse en ce qu'elle propose une configuration régularisée permettant de limiter les
5 aberrations et déformations engendrées par la réduction des dimensions sous les longueurs d'ondes d'exposition des masques photorésistants. Cette configuration régularisée s'appuie notamment sur une seule orientation de poly (ce qui permet de n'avoir qu'une seule tolérance dimensionnelle par rapport aux outils de fabrication) et un seul pas de poly (ce qui permet de
10 mieux contrôler les phénomènes optiques).

La cellule est en outre constituée uniquement de bandes de zones actives, ce qui permet de simplifier les opérations de photolithographie.

Dans l'exemple représenté sur la figure 3, les transistors d'une même rangée présentent les mêmes dimensions (même largeur notamment).
15 L'invention n'est toutefois pas limitée à un tel cas de figure, mais vise également des transistors de dimensions physiques différentes (largeur en particulier) le long d'une même rangée.

Par ailleurs, chaque transistor (ou chaque ensemble de transistors, notamment chaque rangée de transistors) peut disposer d'un « facteur
20 d'échelle » dédié, simplement en venant appliquer un potentiel différent sur chaque grille de contrôle arrière.

On aura compris que l'invention n'est pas limitée à une cellule datapath selon son premier aspect, mais s'étend également à un circuit intégré comprenant une telle cellule, à un procédé de commande d'une telle cellule
25 ainsi qu'à un procédé de commande d'une telle cellule dans lequel on réduit la largeur physique d'au moins un transistor de la cellule pour en diminuer la capacitance et on associe au transistor une grille de contrôle arrière pour en augmenter la conductance.

REVENDICATIONS

- 5 1. Cellule de chemin de données spécifiquement adaptée à son environnement d'utilisation dans un circuit intégré réalisée sur un substrat semi-conducteur sur isolant comprenant une couche mince de matériau semi-conducteur séparée d'un substrat de base par une couche isolante, la cellule comprenant un ensemble de transistors à effet de champ, chaque
- 10 transistor disposant dans la couche mince d'une région de source (S_7), d'une région de drain (D_7) et d'une région de canal (C_7) délimitée par les régions de source et de drain, et comprenant en outre une région de grille de contrôle avant (GA_7) formée au dessus de la région de canal, caractérisée en ce qu'au moins un transistor (T_7) dispose d'une région de
- 15 grille de contrôle arrière (GN_2) formée dans le substrat de base au-dessous de la région de canal, la région de grille arrière étant apte à être polarisée pour modifier les performances du transistor.
2. Cellule selon la revendication 1, dans lequel une ligne de grille arrière
- 20 (BG_1 - BG_6) connecte les régions de grille arrière d'une pluralité de transistors.
3. Cellule selon la revendication 2, dans lequel la ligne de grille arrière (BG_1 - BG_6) s'étend dans le substrat de base sous la couche isolante le long d'une rangée de transistors.
- 25 4. Cellule selon la revendication 1, dans lequel la région de grille arrière est isolée du substrat de base par un caisson de conductivité opposé.
5. Cellule selon la revendication 1, dans lequel la région de grille arrière
- 30 présente une conductivité du même type que celle du canal du transistor.

6. Circuit intégré réalisée sur un substrat semi-conducteur sur isolant comprenant une cellule à chemin de données selon l'une quelconque des revendications précédentes.
- 5 7. Procédé de commande d'une cellule selon la revendication 1, dans lequel la région de grille arrière est reliée à un premier potentiel lorsque le transistor est inactif, et à un deuxième potentiel lorsque le potentiel est actif.
8. Procédé de conception d'une cellule à chemin de données dans lequel
10 on adapte la cellule spécifiquement à son environnement d'utilisation dans un circuit intégré réalisé sur un substrat semi-conducteur sur isolant comprenant une couche mince de matériau semi-conducteur séparée d'un substrat de base par une couche isolante, comprenant les étapes consistant à :
- 15 - réduire la largeur physique d'un transistor de la cellule, pour en diminuer la capacitance, et
- associer au transistor une grille de contrôle arrière agencée dans le substrat de base, pour en augmenter la conductance en utilisation dans un état actif.

1/3

FIG. 1

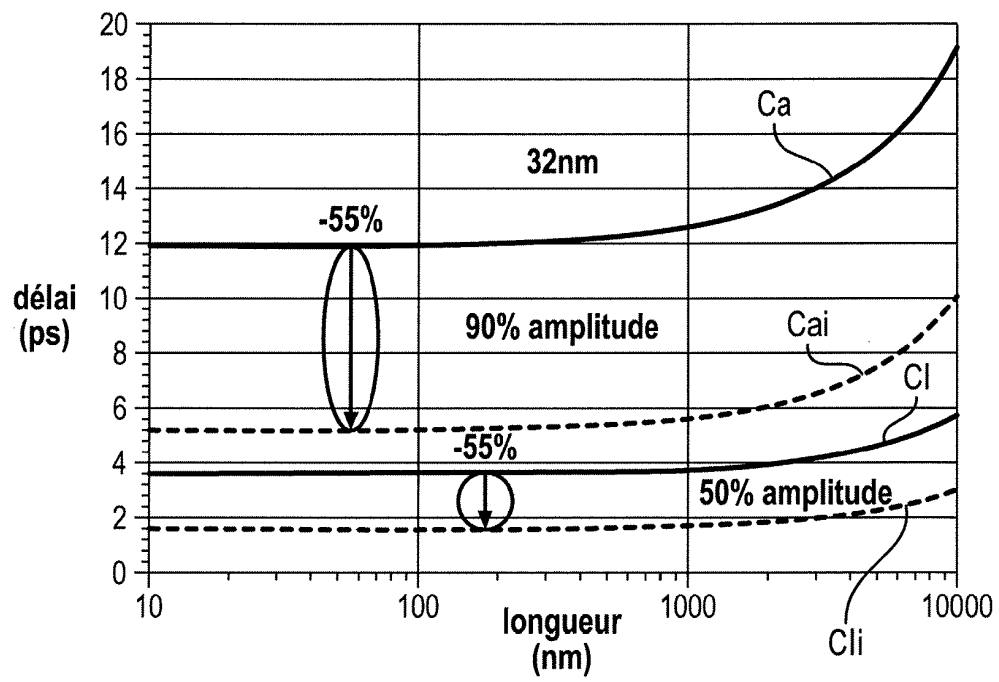


FIG. 2

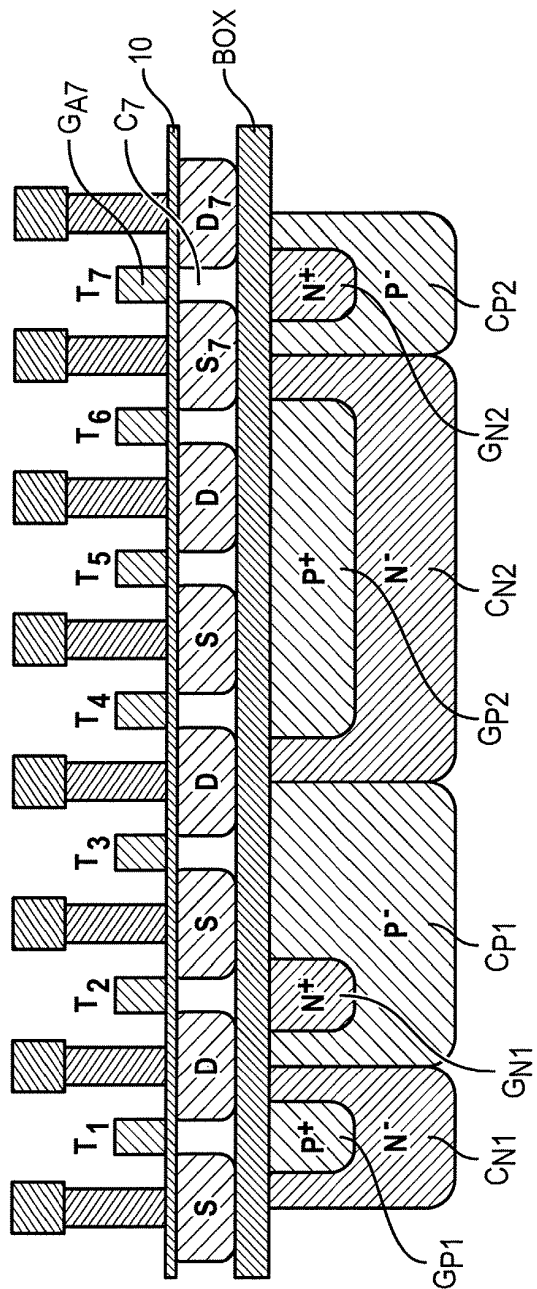
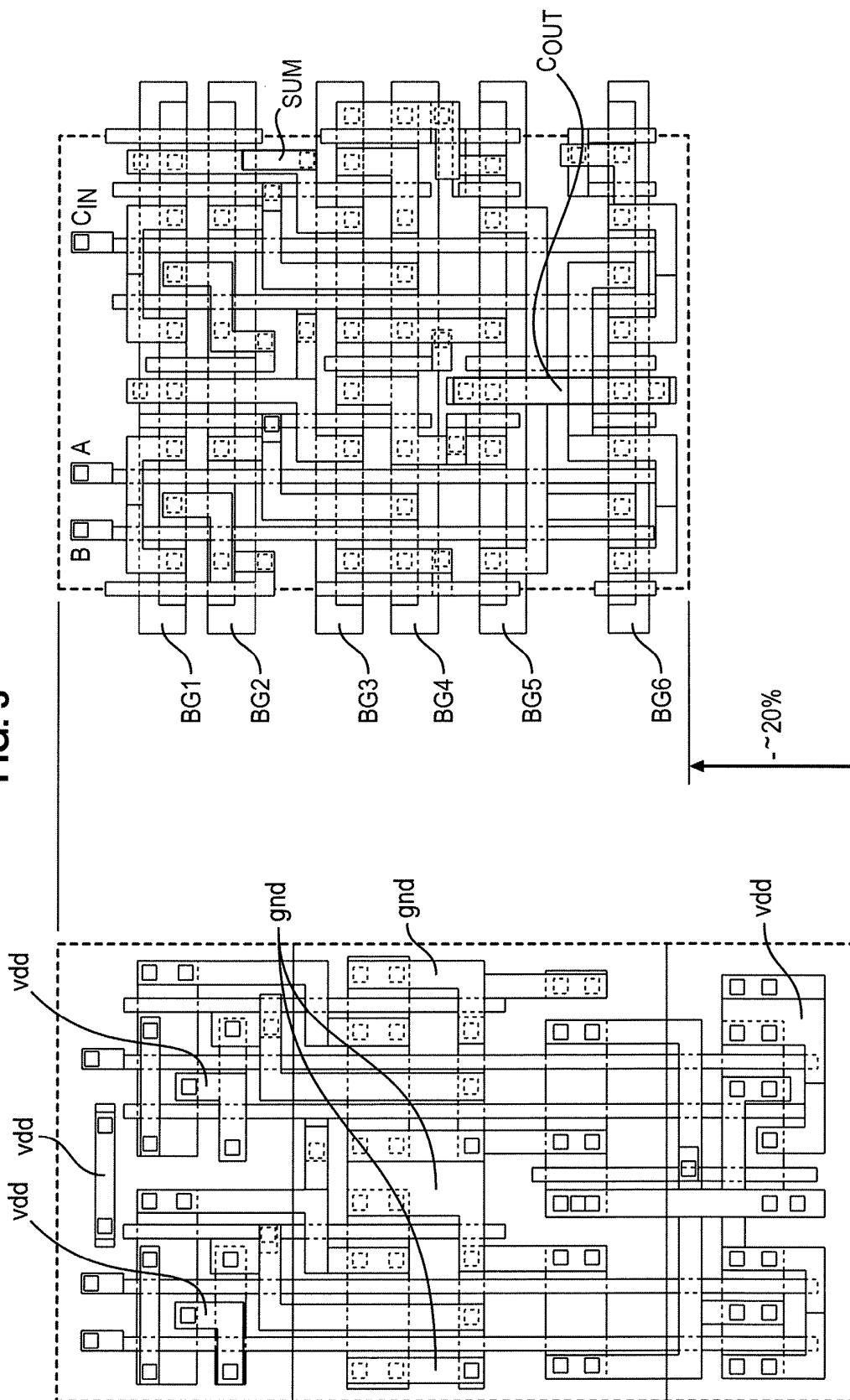


FIG. 3





**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 733620
FR 1051526

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 7 112 997 B1 (LIANG MINCHANG [US] ET AL) 26 septembre 2006 (2006-09-26) * abrégé * * colonne 5, ligne 19 - colonne 10, alinéa 24 * * figures 8,9 *	1-8	H01L27/085 H01L27/118 H01L21/762 H01L21/8232
X	BECKETT P: "Performance characteristics of a nanoscale double-gate reconfigurable array" PROCEEDINGS OF THE INTERNATIONAL SOCIETY FOR OPTICAL ENGINEERING (SPIE), SPIE, USA, vol. 7268, 1 janvier 2008 (2008-01-01), pages 72680E-1, XP002579039 ISSN: 0277-786X * le document en entier *	1-8	
X	US 6 063 686 A (MASUDA HIROO [JP] ET AL) 16 mai 2000 (2000-05-16) * abrégé * * colonne 6, ligne 36 - colonne 8, ligne 11 * * colonne 10, ligne 63 - colonne 11, ligne 52 * * figure 20 *	1-8	
X	US 2003/001658 A1 (MATSUMOTO KOICHI [JP]) 2 janvier 2003 (2003-01-02) * abrégé * * alinéas [0008], [0009], [0019], [0022], [0027] *	1-8	
X	US 6 072 217 A (BURR JAMES B [US]) 6 juin 2000 (2000-06-06) * abrégé * * figures 5,6,7 *	1-8	
----- -/--			
Date d'achèvement de la recherche		Examineur	
8 septembre 2010		Morena, Enrico	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

1
EPO FORM 1503 12.99 (P04C14)



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**
établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 733620
FR 1051526

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	HOON CHOI ET AL: "Improved current drivability with back-gate bias for elevated source and drain structured FD-SOI SiGe MOSFET" MICROELECTRONIC ENGINEERING, ELSEVIER PUBLISHERS BV., AMSTERDAM, NL LNKD-DOI:10.1016/J.MEE.2009.03.015, vol. 86, no. 11, 1 novembre 2009 (2009-11-01), pages 2165-2169, XP002579041 ISSN: 0167-9317 * le document en entier *	1-8	
A	WO 2010/007478 A1 (UNIV YALE [US]; MA TSO-PING [US]; LEE MINJOO [US]; SUN XIAO [US]) 21 janvier 2010 (2010-01-21) * abrégé * * figures 5,6,7,9 *	1-8	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
		Date d'achèvement de la recherche	Examineur
		8 septembre 2010	Morena, Enrico
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		
P : document intercalaire		& : membre de la même famille, document correspondant	

1
EPO FORM 1503 12.99 (P04C14)

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1051526 FA 733620**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **08-09-2010**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 7112997	B1	26-09-2006	US 2006279333 A1	14-12-2006
US 6063686	A	16-05-2000	AUCUN	
US 2003001658	A1	02-01-2003	WO 0245174 A1	06-06-2002
			JP 2002164544 A	07-06-2002
			TW 530417 B	01-05-2003
US 6072217	A	06-06-2000	AUCUN	
WO 2010007478	A1	21-01-2010	AUCUN	