

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95110813

※ 申請日期：95.3.28

※ IPC 分類：G02F 1/345 (2006.01)

一、發明名稱：(中文/英文)

G02F 1/343 (2006.01)

液晶顯示器 / LIQUID CRYSTAL DISPLAY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

友達光電股份有限公司 / AU OPTRONICS CORP.

代表人：(中文/英文)

李焜耀 / LEE, KUEN-YAO

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行二路一號 / No.1, Li-Hsin Road 2,
Science-Based Industrial Park, Hsin-Chu, Taiwan, R.O.C.

國 籍：(中文/英文)

中華民國 / TWN

三、發明人：(共 1 人)

姓 名：(中文/英文)

1. 林祥麟 / LIN, HSIANG-LIN

國 籍：(中文/英文)

1. 中華民國 / TWN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種薄膜電晶體液晶顯示器元件結構與製程，特別是指可以補償畫素電極與訊號線之間的寄生電容之設計。

【先前技術】

一般而言，液晶面板容易因製程偏差造成資料線與畫素電極重疊偏移，使得畫素電極與資料線過於接近，產生如第 1 圖所示之寄生電容(parasitic capacitance between pixel and data line, C_{pd} 、 C_{pd}')，而過大之寄生電容將導致串音(cross talk)現象；或由於曝光接合處產生的差異，亦容易造成重疊偏移而產生曝光接合不均(shot mura)等問題影響畫質。這些都是影響畫素電極開口率大小設計的主要因素之一。

因此，為減少寄生電容效應並達到高開口率之需求，習知技術係利用不同的設計方式來加以解決，譬如用遮蔽電容(shielding C_s)，和在資料線與畫素電極間加一層聚合物絕緣薄膜(polymer insulator film)。其中，多加一層聚合物絕緣薄膜的設計，雖可以減少寄生電容效應，並能讓畫素電極跨越資料線而達到高開口率，然而，影響聚合物絕緣薄膜減少寄生電容效應之參數，主要取決於所選聚合物

絕緣薄膜的介電係數，以及聚合物絕緣薄膜的膜厚大小，亦即畫素電極與資料線距離的大小。可是受限於聚合物絕緣薄膜材料開發，與其介電係數值和膜厚又可能受其他製程步驟影響而改變，故仍會影響寄生電容被減少的能力。因此，畫素電極與資料線重疊部分之大小差異，還是會造成 C_{pd} 與 C_{pd}' 的不平衡，而產生串音或其他缺陷。

此外，為解決寄生電容所造成的效應，目前也有利用點反轉(dot inversion)或直行反轉(column inversion)等方式驅動之液晶面板，以使相鄰資料線同時送出的訊號正負極性相反，進而讓 C_{pd} 與 C_{pd}' 相抵消。而且，若同時讓畫素電極跨越左右兩邊資料線上的面積固定，更可將 ΔC_{pd} 減到最小。

但是，雖然在光罩的佈局設計上，可以固定畫素電極與資料線的重疊面積，如第 2 圖所示，第 2 圖為原始光罩之畫素電極與資料線重疊之示意圖。在原始之光罩設計中，各畫素電極 20 與左右兩側資料線 26、28 重疊之面積相等。然而在實際生產製程上，原先的設計值卻可能因為黃光製程而產生不同對位層的偏移，而發生如第 3 圖所繪示之實際面板上畫素電極 30 與左右資料線 36、38 的重疊面積變異之狀況，造成畫素電極 30 與左側資料線 36 的重疊面積大於畫素電極 30 與右側資料線 38 的重疊面積，導

致寄生電容的不平衡。

【發明內容】

本發明係提供一種可以補償畫素電極與訊號線之間的寄生電容之薄膜電晶體液晶顯示器元件的結構與製程，以解決習知寄生電容所造成的效應。

根據本發明之申請專利範圍，其係在原畫素電極兩側各增加一補償分支電極，以補償畫素電極因製程偏移與資料線所產生的寄生電容，使畫素電極與左右兩邊的資料線的寄生電容平衡。因此，在使用點反轉驅動或直行反轉驅動(相鄰資料線正負極性相反)的情形下，可以平衡 C_{pd} 與 C_{pd}' 的效應，並同時減低串音或其他因曝光接合處產生的不均 C_{pd} 、 C_{pd}' 不平衡所造成的均 C_{pd} 、 C_{pd}' 不平衡的現象。

由於本發明具有補償畫素電極之設計，故可有效解決因製程偏差使資料線與畫素電極重疊偏移，以及產生串音或由於曝光接合處產生的不均等影響畫質之問題。此外，本發明不限於直線型資料線之設計，其亦可應用於鋸齒狀資料線之設計，及以三角型(delta)排列畫素設計之液晶顯示器。

【實施方式】

本發明利用在畫素電極兩側各增加一補償分支電極，以補償畫素電極因製程偏移與資料線所產生的寄生電容，使畫素電極與左右兩邊的資料線的寄生電容得以補償平衡，其較佳實施方式可概述如下：

實施例一：

請參考第 4 圖，第 4 圖為原始光罩之畫素電極與資料線佈局設計的示意圖。如第 4 圖所示，畫素電極 40 剛好切齊資料線 46、48，亦即不與兩側之資料線 46、48 相重疊，而補償用的第一分支電極 42 及第二分支電極 44 係分別配置在畫素電極 40 相對於資料線 46、48 的另一側，且第一分支電極 42 及第二分支電極 44 與畫素電極 40 相電連接在一起。

請參考第 5 圖，第 5 圖為實際製程之面板上畫素電極 40 與左右資料線 46、48 的重疊面積變異的補償示意圖。如第 5 圖所示，當因黃光製程產生對位偏移等變異，而使畫素電極 40 往左偏移時，會同時增加畫素電極 40 與其左側之第一資料線 46 重疊的面積 A (以下各圖中重疊部分皆以斜線表示)，以及第二分支電極 44 與其左側之第二資料線 48 重疊的面積 B，而且兩者增加的面積是一樣的，亦即 $A = B$ 。反之，當畫素電極 40 往右偏移時，則會同時增加第一分支電極 42 與其右側之第一資料線 46 重疊的面積

A，以及畫素電極 40 與其右側之第二資料線 48 重疊的面積 B，而且兩者增加的面積亦是一樣的，亦即 $A = B$ 。因此補償偏移重疊的面積相同。

實施例二：

請參考第 6 圖，第 6 圖為原始光罩之畫素電極與資料線佈局設計的示意圖。如第 6 圖所示，畫素電極 50、第一分支電極 52 及第二分支電極 54 各與資料線 56、58 有重疊，而且畫素電極 50 與第一資料線 56 重疊的面積為 A'，畫素電極 50 與第二資料線 58 重疊的面積為 B，第一分支電極 52 與第一資料線 56 重疊的面積為 A，第二分支電極 54 與第二資料線 58 重疊的面積為 B'。

請參考第 7 圖，第 7 圖為實際製程之面板上畫素電極 50 與左右資料線 56、58 的重疊面積變異的補償示意圖。如第 7 圖所示，當因黃光製程產生對位偏移等變異，而使畫素電極 50 往左偏移時，會增加畫素電極 50 與其左側之第一資料線 56 重疊面積 A' 的大小，以及第二分支電極 54 與其左側之第二資料線 58 重疊面積 B' 的大小，而且會同時減少第一分支電極 52 與其右側之第一資料線 56 重疊面積 A 的大小，以及畫素電極 50 與其右側之第二資料線 58 重疊面積 B 的大小；反之，畫素電極 50 往右偏移時，則會增加畫素電極 50 與其右側之第二資料線 58 重疊面積 B 的

大小，以及第一分支電極 52 與其右側之第一資料線 56 重疊面積 A 的大小，而且會同時減少第二分支電極 54 與其左側之第二資料線 58 重疊面積 B' 的大小，以及畫素電極 50 與其左側之第一資料線 56 重疊面積 A' 的大小。

然而，不論畫素電極 50 因曝光對位製程向左或向右偏移，在本實施例中，第一分支電極 52 與第一資料線 56 重疊的面積加上畫素電極 50 與第一資料線 56 重疊的面積可以等於畫素電極 50 與第二資料線 58 重疊的面積加上第二分支電極 54 與第二資料線 58 重疊的面積，亦即 $A+A'$ 面積可以等於 $B+B'$ ，以使 ΔCpd 減到最小。

實施例三：

請參考第 8 圖，第 8 圖為原始光罩之畫素電極與資料線佈局設計的示意圖。如第 8 圖所示，畫素電極 70 切齊第一資料線 76 之右側，而與畫素電極 70 電連接之第二分支電極 74 則與第二資料線 78 之右側相切齊。其中，畫素電極 70 與第二資料線 78 之重疊面積為 C ，而與畫素電極 70 電連接之第一分支電極 72 與第一資料線 76 之重疊面積為 D ，且畫素電極 70 與第二資料線 78 之重疊面積等於與畫素電極 70 電連接之第一分支電極 72 與第一資料線 76 之重疊面積，即 C 等於 D 。

請參考第 9 圖，第 9 圖為實際製程之面板上畫素電極 70 與左右資料線 76、78 的重疊面積變異的補償示意圖。如第 9 圖所示，當因黃光製程產生對位偏移等變異，而使畫素電極 70 往左偏移時，會使畫素電極 70 與其左側之第一資料線 76 形成一重疊面積 D' ，以及使第二分支電極 74 與其左側之第二資料線 78 形成一重疊面積 C' ，而且會同時減少第一分支電極 72 與其右側之第一資料線 76 重疊面積 D 的大小，以及減少畫素電極 70 與其右側之第二資料線 78 重疊面積 C 的大小，但 $C+C'$ 仍等於或接近 $D+D'$ ；反之，畫素電極 70 往右偏移時，則會增加畫素電極 70 與其右側之第二資料線 78 重疊面積 C 的大小，以及第一分支電極 72 與其右側之第一資料線 76 重疊面積 D 的大小，而且重疊面積 C 的增加大小會等於重疊面積 D 的增加大小。

值得注意的是，本實施例之原始光罩所設計之重疊的區域可同時位於第一資料線 76 及第二資料線 78 的左側，如第 8 圖所示，或同時位於第一資料線 76 及第二資料線 78 的右側，如第 10 圖所示。當畫素電極 70 向左或向右偏移時，資料線 76、78 與各電極 70、72、74 於左右兩側之總重疊面積都會相同。

實施例四：

請參考第 11 圖，第 11 圖為原始光罩之畫素電極與資

料線佈局設計的示意圖。如第 11 圖所示，畫素電極 80 同時與第一資料線 86 左側及第二資料線 88 右側相切齊。其中，與畫素電極 80 電連接之第一分支電極 82 與第一資料線 86 之重疊面積為 E，與畫素電極 80 電連接之第二分支電極 84 與第二資料線 88 之重疊面積為 F，且與畫素電極 80 電連接之第一分支電極 82 與第一資料線 86 之重疊面積等於與畫素電極 80 電連接之第二分支電極 84 與第二資料線 88 之重疊面積，即 E 等於 F。

同樣地，如第 12 圖所示，當因黃光製程產生對位偏移等變異，而使畫素電極 80 向左或向右偏移時，資料線 86、88 與各電極 80、82、84 於左右兩側之總重疊面積都會相同。

實施例五：

本發明之補償偏移所造成的 Cpd 設計，亦可以應用在資料線的部份分段，而這些分段可以由分支資料線來達到。如第 13 圖所示，第一分支資料線 91 及第二分支資料線 92 電連接而成第一資料線 97，第三分支資料線 93 及第四分支資料線 94 電連接而成第二資料線 98。而且畫素電極 90 同時切齊分支資料線 92 及分支資料線 93，第一分支電極 95 切齊分支資料線 92，第二分支電極 96 切齊分支資料線 93。當畫素電極 90 向左或向右偏移時，分支資料線

92、93 與各電極 90、92、94 於左右兩側之總重疊面積都會相同。此外，其他分支資料線與畫素電極及分支電極之重疊情況類似實施例一至四，在此不多加贅述。

不限於直線型資料線之設計，本發明補償偏移所造成的 Cpd 設計，亦可應用於鋸齒狀 (zigzag) 資料線之設計，實施方式有如下所述。

實施例六：

如第 14 圖所示，畫素電極 100 部份切齊第一鋸齒狀資料線 106 及第二鋸齒狀資料線 108，與畫素電極 100 電連接之第一分支電極 102 切齊第一資料線 106，而與畫素電極 100 電連接之第二分支電極 104 切齊第二資料線 108。當因黃光製程產生對位偏移等變異，而使當畫素電極 100 向左或向右偏移時，資料線 106、108 與各電極 100、102、104 於左右兩側之總重疊面積都會相同。

實施例七：

第 15 圖所示為鋸齒狀資料線之另一補償偏移所造成的 Cpd 設計。畫素電極 110 與第一鋸齒狀資料線 116 之重疊面積為 G' ，畫素電極 110 與第二鋸齒狀資料線 118 之重疊面積為 H ，與畫素電極 110 電連接之第一分支電極 112 與第一鋸齒狀資料線 116 之重疊面積為 G ，與畫素電極 110 電連接之第二分支電極 114 與第二鋸齒狀資料線 118 之重

疊面積為 H' ，且與畫素電極 110 電連接之第一分支電極 112 與第一鋸齒狀資料線 116 之重疊面積加上畫素電極 110 與第一鋸齒狀資料線 116 之重疊面積等於畫素電極 110 與第二鋸齒狀資料線 118 之重疊面積加上與畫素電極 110 電連接之第二分支電極 114 與第二鋸齒狀資料線 118 之重疊面積，亦即 $G+G'$ 等於 $H+H'$ 。當因黃光製程產生對位偏移等變異，而使當畫素電極 110 向左或向右偏移時，資料線 116、118 與各電極 110、112、114 於左右兩側之總重疊面積都會相同。

實施例八：

第 16 圖所示為鋸齒狀資料線之另一補償偏移所造成的 Cpd 設計。畫素電極 120 與第一鋸齒狀資料線 126 切齊，與畫素電極 120 電連接之第二分支電極 124 與第二鋸齒狀資料線 128 切齊。其中，畫素電極 120 與第二鋸齒狀資料線 128 之重疊面積為 C' ，與畫素電極 120 電連接之第一分支電極 122 與第一鋸齒狀資料線 126 之重疊面積為 D' ，且畫素電極 120 與第二鋸齒狀資料線 128 之重疊面積等於與畫素電極 120 電連接之第一分支電極 122 與第一鋸齒狀資料線 126 之重疊面積，即 C' 等於 D' 。此外，本實施例所設計之重疊的區域亦可同時位於第一鋸齒狀資料線 126 及第二鋸齒狀資料線 128 的左側，或同時位於第一鋸齒狀資料線 126 及第二鋸齒狀資料線 128 的右側。當因黃光製程產

生對位偏移等變異，而使當畫素電極 120 向左或向右偏移時，資料線 126、128 與各電極 120、122、124 於左右兩側之總重疊面積都會相同。

實施例九：

第 17 圖所示為鋸齒狀資料線之另一補償偏移所造成的 Cpd 設計。畫素電極 130 同時與第一鋸齒狀資料線 136 及第二鋸齒狀資料線 138 部份切齊。其中，與畫素電極電連接之第一分支電極 132 與第一鋸齒狀資料線 136 之重疊面積為 E' ，與畫素電極 130 電連接之第二分支電極 134 與第二鋸齒狀資料線 138 之重疊面積為 F' ，且與畫素電極 130 電連接之第一分支電極 132 與第一鋸齒狀資料線 136 之重疊面積等於與畫素電極 130 電連接之第二分支電極 134 與第二鋸齒狀資料線 138 之重疊面積，即 E' 等於 F' 。當因黃光製程產生對位偏移等變異，而使當畫素電極 130 向左或向右偏移時，資料線 136、138 與各電極 130、132、134 於左右兩側之總重疊面積都會相同。

相較於上述應用於一般畫素排列設計之補償方式，本發明補償偏移所造成的 Cpd 設計，亦可應用於以三角型排列畫素之設計，而不限於一般陣列式畫素排列設計之補償方式，實施方式有如下所述。

實施例十：

如第 18 圖所示。畫素電極 140 係由彼此電連接之第一子畫素電極 141 及第二子畫素電極 142 組成。其中，第一子畫素電極 141 與第一資料線 146 重疊之面積為 M ，第一子畫素電極 141 與第二資料線 148 重疊之面積為 N ，第二子畫素電極 142 與第二資料線 148 重疊之面積為 O ，第二子畫素電極 142 與第三資料線 143 重疊之面積為 P ，而且第一子畫素電極 141 與第一資料線 146 重疊之面積加上第二子畫素電極 142 與第三資料線 143 重疊之面積等於第一子畫素電極 141 與第二資料線 148 重疊之面積加上第二子畫素電極 142 與第二資料線 148 重疊之面積，即 $M+P$ 等於 $N+O$ 時可以使 ΔCpd 減到最小。當因黃光製程產生對位偏移等變異，而使當畫素電極 140 向左或向右偏移時，資料線 146、148、143 與各電極 141、142 於左右兩側之總重疊面積都會相同。

實施例十一：

第 19 圖所示為以三角型排列畫素之補償另一種方式。畫素電極 150 係由彼此電連接之第一子畫素電極 151 及第二子畫素電極 152 組成。其中，第一子畫素電極 151 與第一資料線 156 重疊之面積為 M' ，第一子畫素電極 151 與第二資料線 158 重疊之面積為 N' ，第二子畫素電極 152 與第二資料線 158 重疊之面積為 O' ，第二子畫素電極 152

與第三資料線 153 重疊之面積為 P' ，而且第一子畫素電極 151 與第二資料線 158 重疊之面積加上第二子畫素電極 152 與第二資料線 158 重疊之面積等於畫素電極 150 與第二資料線 158 重疊之面積且等於第一子畫素電極 151 與第一資料線 156 重疊之面積加上第二子畫素電極 152 與第三資料線 153 重疊之面積，即 $N' + O'$ 等於畫素電極 150 與第二資料線 158 重疊之面積且等於 $M' + P'$ 時，可以使 ΔC_{pd} 減到最小。當畫素電極 150 向左或向右偏移，資料線 156、158、153 與各電極 151、152 於左右兩側之總重疊面積都會相同。

以上所述皆為本發明利用補償分支電極之設計，以補償畫素電極因製程偏移與資料線所產生的寄生電容，使畫素電極與左右兩邊的資料線的寄生電容平衡。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖所繪示為液晶面板寄生電容示意圖。

第 2 圖所繪示為習知原始光罩之畫素電極與資料線重疊之示意圖。

第 3 圖所繪示為習知實際面板之畫素電極與左右資料線的重疊面積變異之示意圖。

第 4 圖所繪示為本發明畫素電極與資料線佈局設計的示意圖。

第 5 圖所繪示為本發明畫素電極往左或右偏移時之補償示意圖。

第 6 圖所繪示為本發明畫素電極與資料線佈局設計的示意圖。

第 7 圖所繪示為本發明畫素電極往左或右偏移時之補償示意圖。

第 8 圖所繪示為本發明畫素電極與資料線佈局設計的示意圖。

第 9 圖所繪示為本發明畫素電極往左或右偏移時之補償示意圖。

第 10 圖所繪示為本發明畫素電極與資料線佈局設計的示意圖。

第 11 圖所繪示為本發明畫素電極與資料線佈局設計的示意圖。

第 12 圖所繪示為本發明畫素電極往左或右偏移時之補償示意圖。

第 13 圖所繪示為本發明畫素電極與資料線佈局設計的示意圖。

第 14~17 圖所繪示為本發明應用於鋸齒狀資料線與畫素

電極佈局設計的示意圖。

第 18、19 圖所繪示為本發明應用於三角型排列畫素之資料線與畫素電極佈局設計的示意圖。

【主要元件符號說明】

20、30、40、50、70、80、90、100、110、120、130、140、150：畫素電極；

42、52、72、82、95、102、112、122、132：第一分支電極；

44、54、74、84、96、104、114、124、134：第二分支電極；

26、36、46、56、76、86、97、146、156：第一資料線；

28、38、48、58、78、88、98、148、158：第二資料線；

91：第一分支資料線；

92：第二分支資料線；

93：第三分支資料線；

94：第四分支資料線；

106、116、126、136：第一鋸齒狀資料線；

108、118、128、138：第二鋸齒狀資料線；

141、151：第一子畫素電極；

142、152：第二子畫素電極；

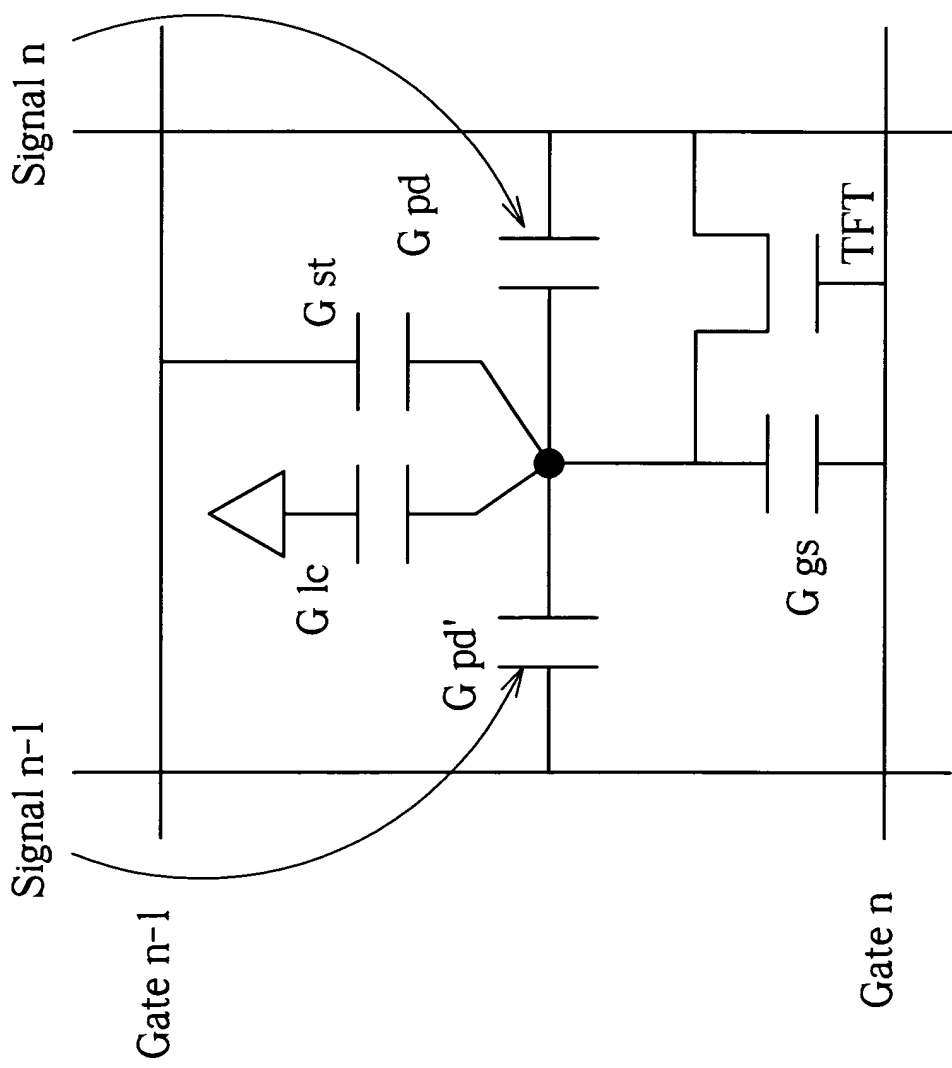
143、153：第三資料線；

五、中文發明摘要：

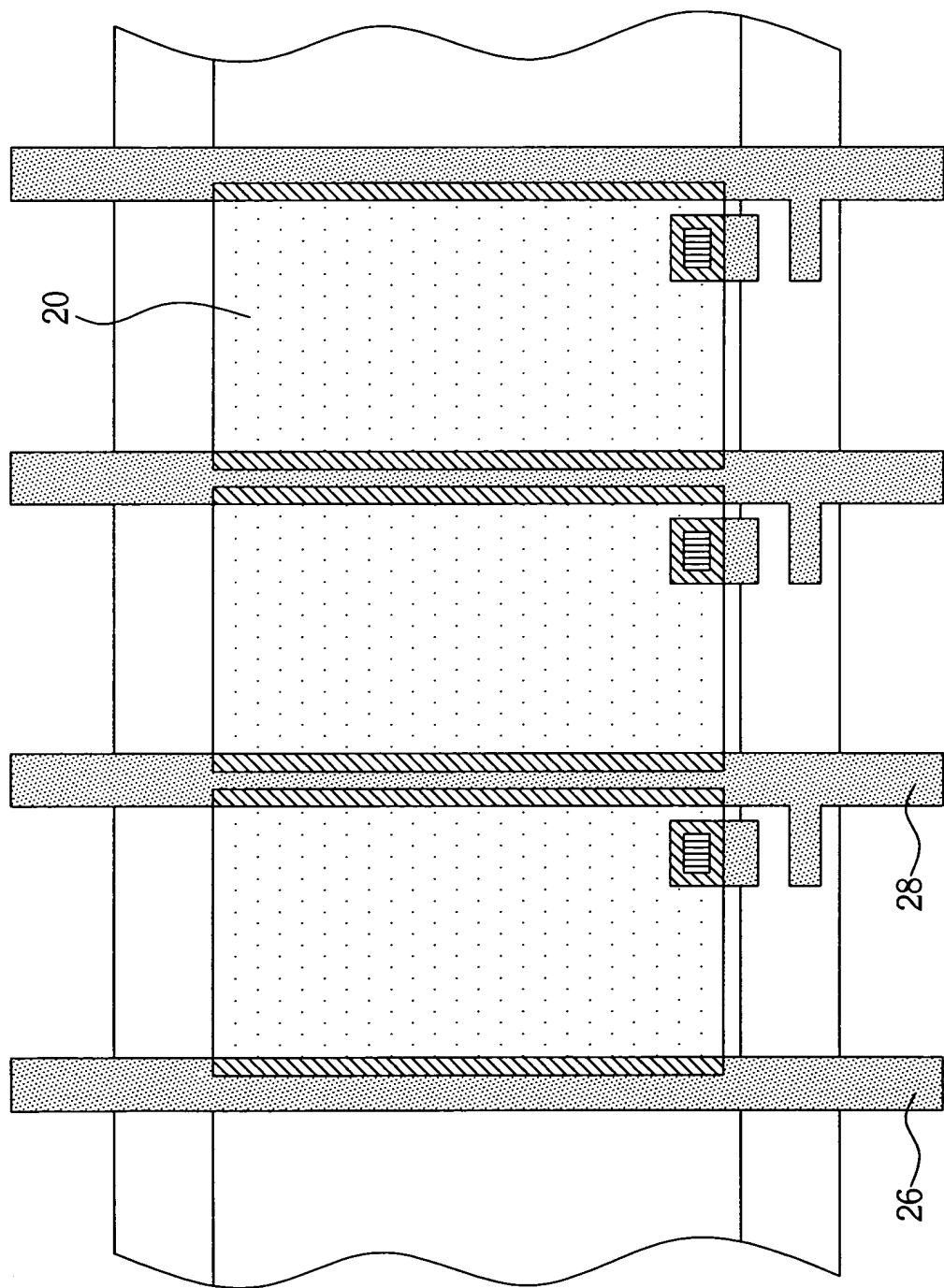
本發明在主動式矩陣液晶顯示器之畫素電極兩側各增加一補償分支電極，藉以補償畫素電極因製程偏移與資料線所產生的寄生電容，使畫素電極與左右兩邊的資料線的寄生電容平衡。而在使用點反轉驅動或直行反轉驅動的情形下，又能平衡寄生電容的效應，同時減低串音或其他因曝光接合處產生的不均所造成的寄生電容不平衡。

六、英文發明摘要：

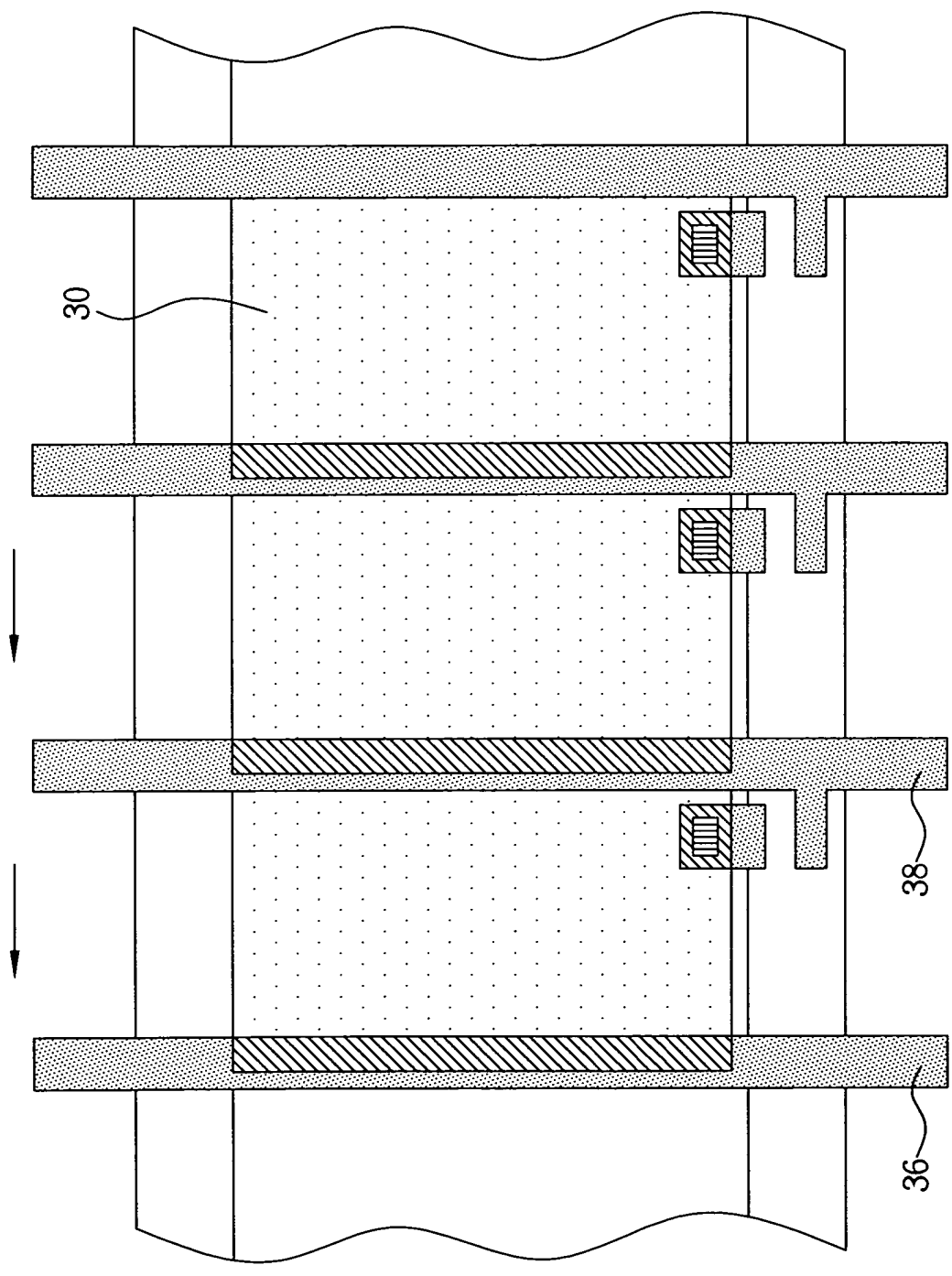
A liquid crystal display has a capacitance-compensated structure to balance the parasitic capacitance. The capacitance-compensated structure can compensate the parasitic capacitance when the overlay shifts between the pixel electrode and the data line. The application of the capacitance-compensated structure also includes the zigzag data line, and the pixel electrode of array and delta matrix.



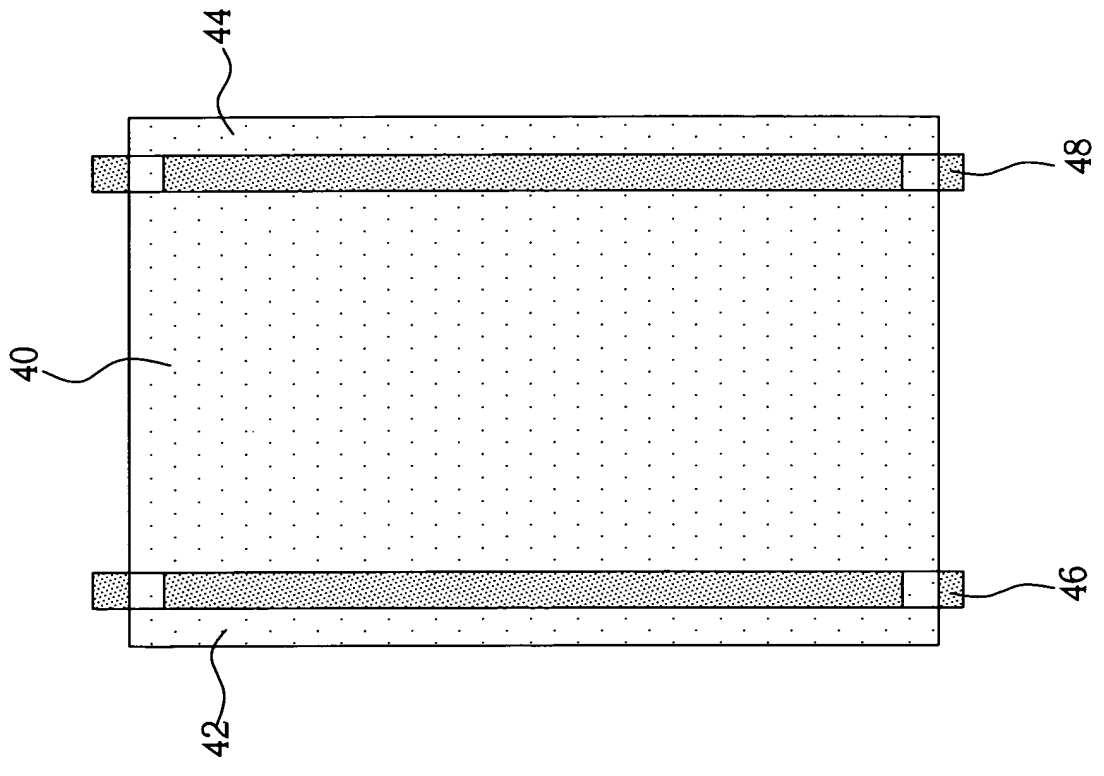
第1圖



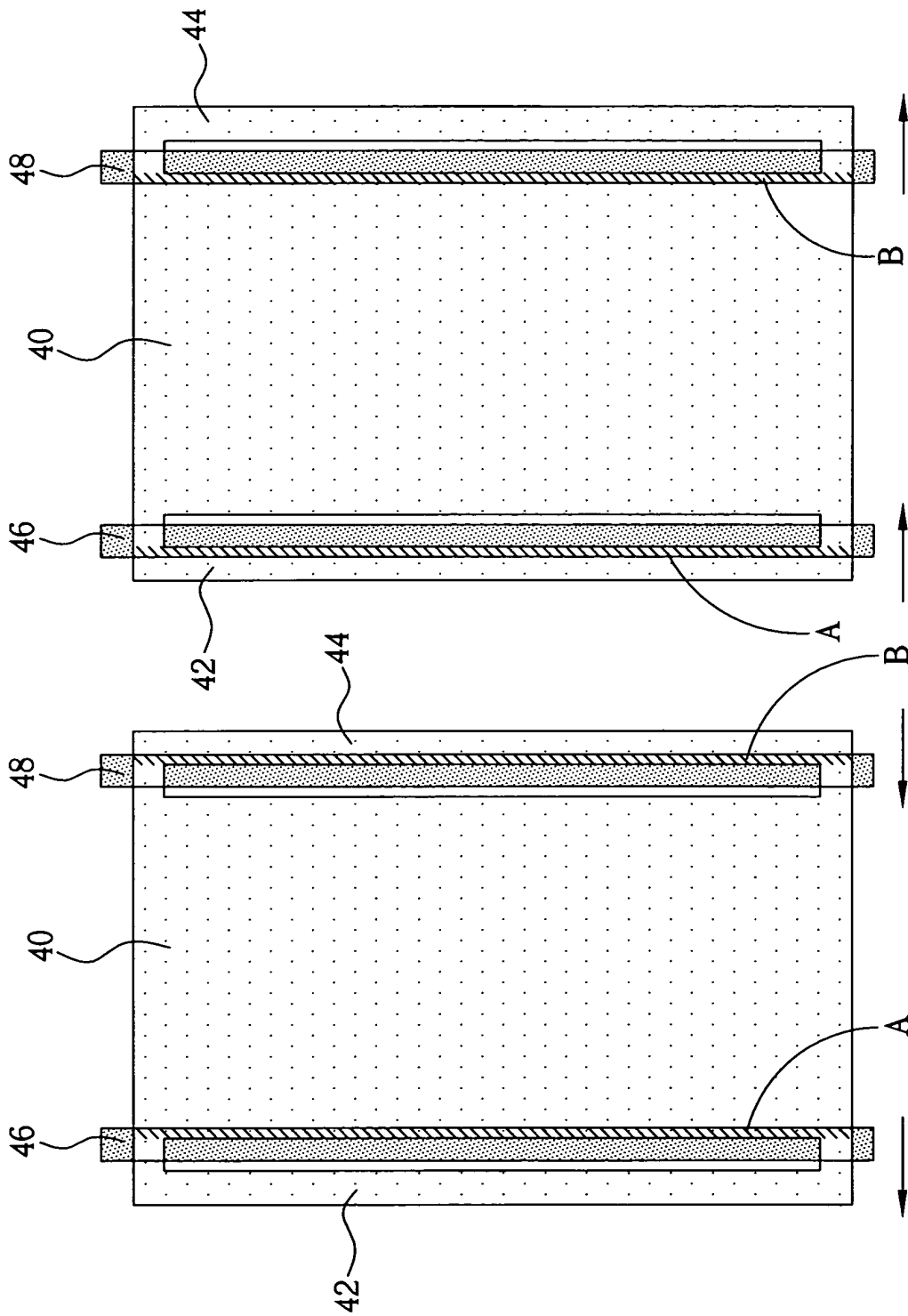
第2圖



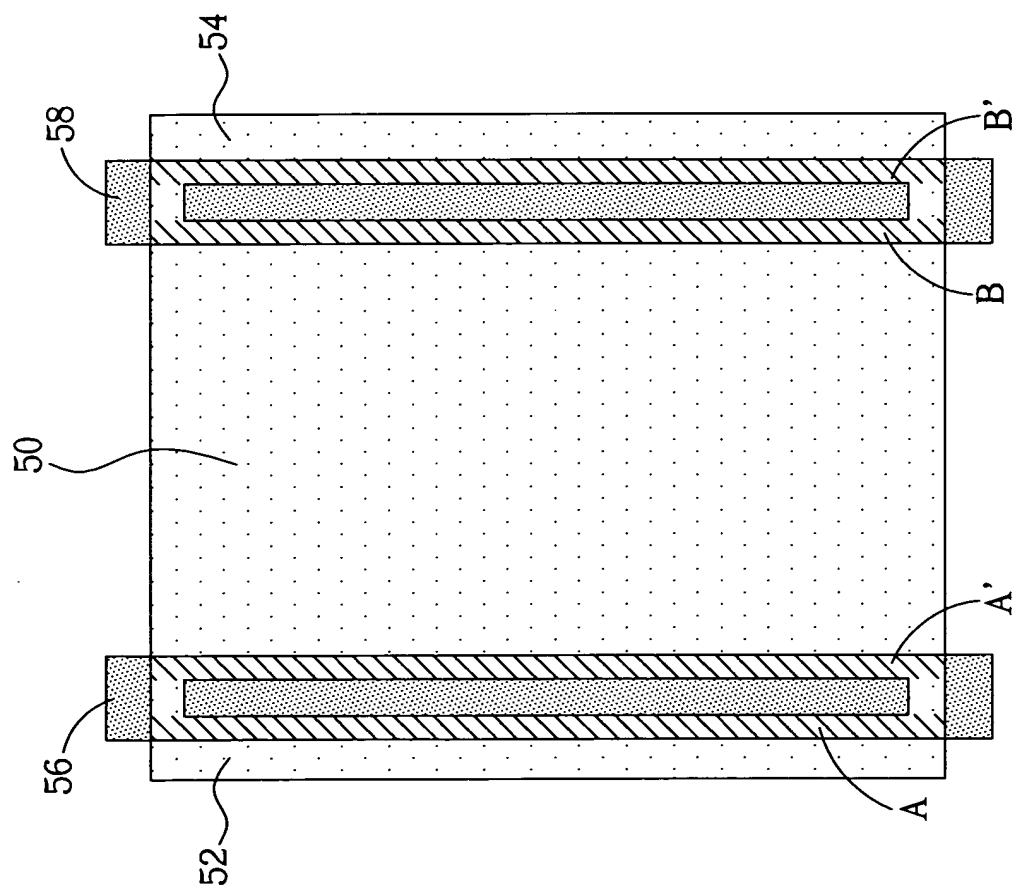
第3圖



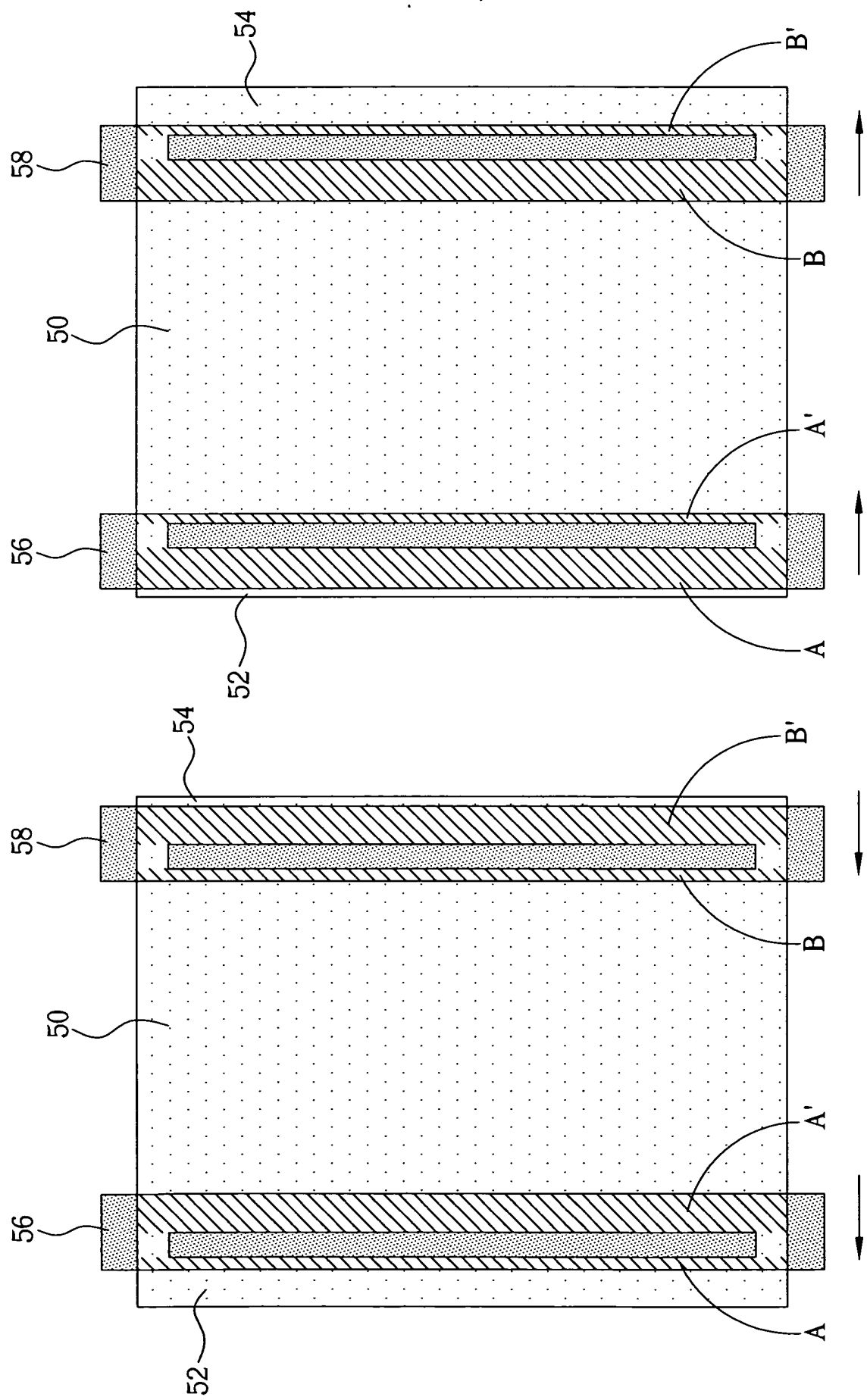
第4圖



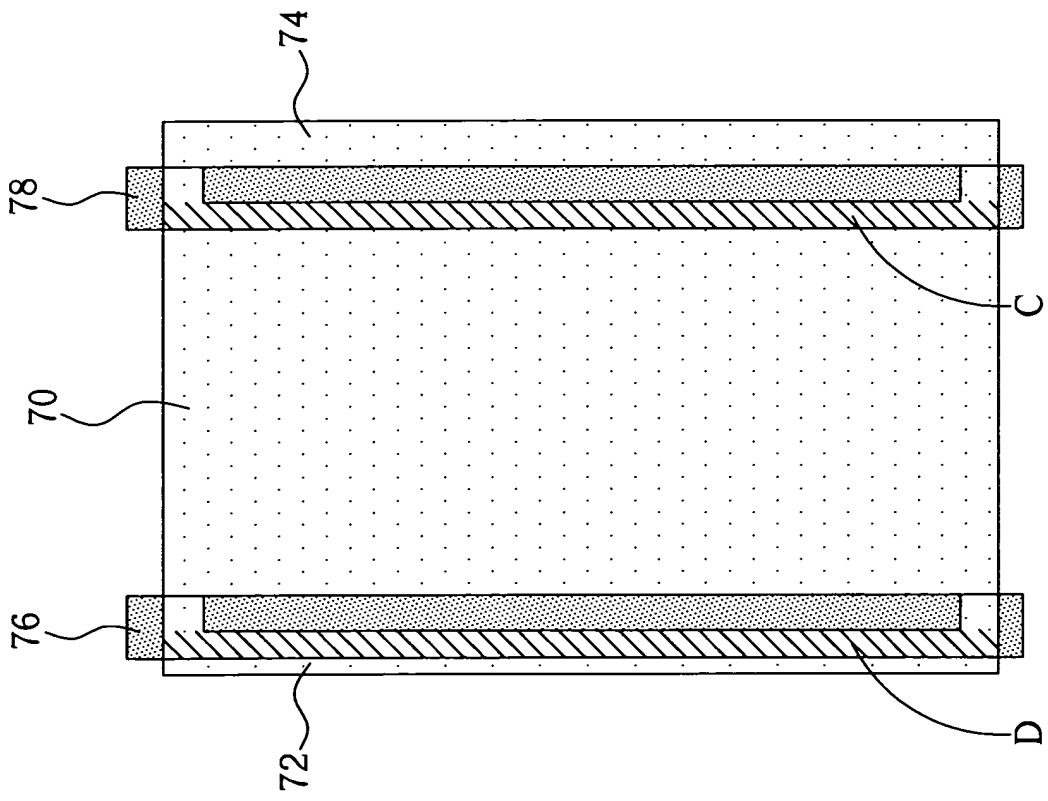
第5圖



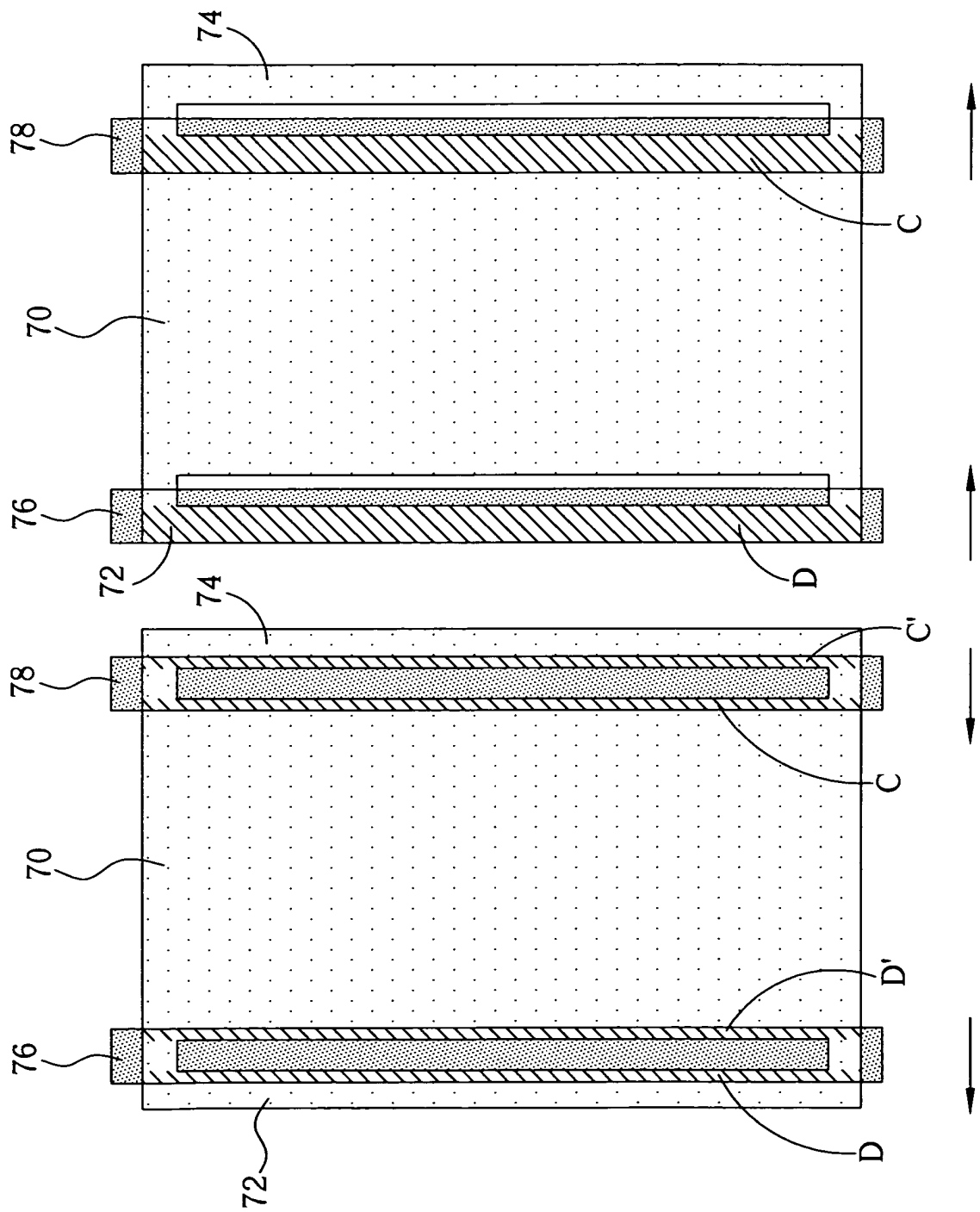
第6圖



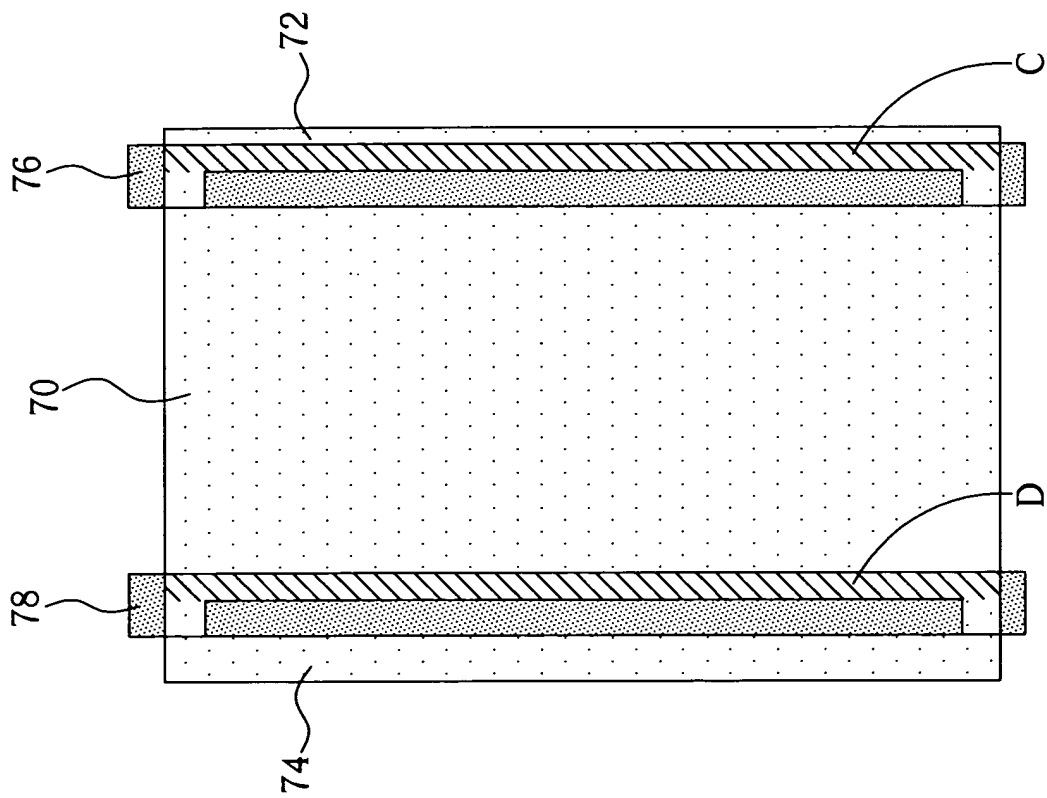
第7圖



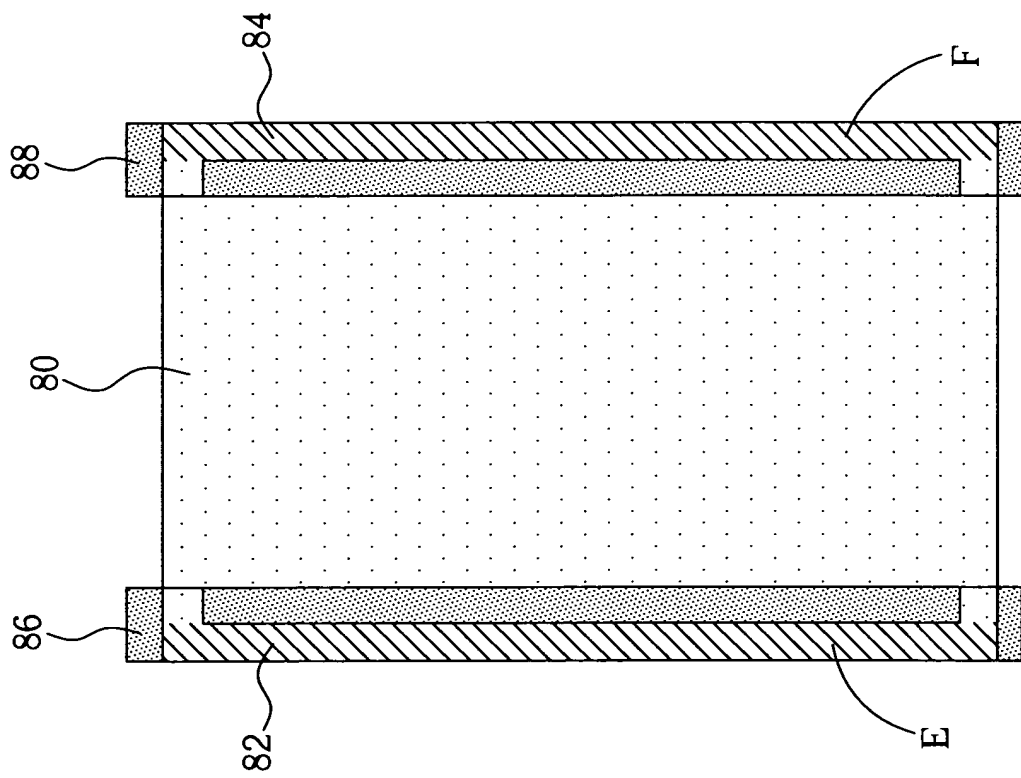
第8圖



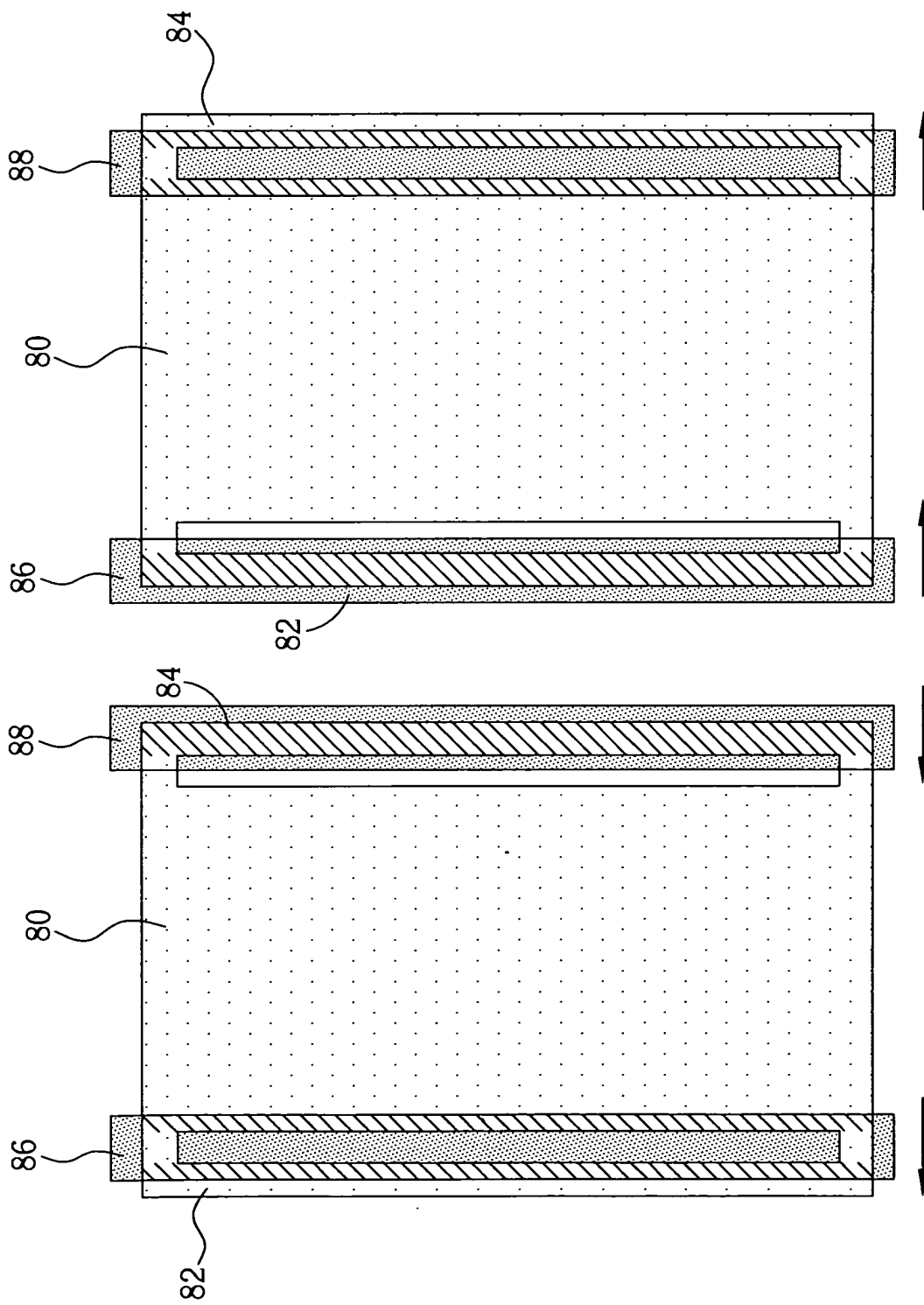
第9圖



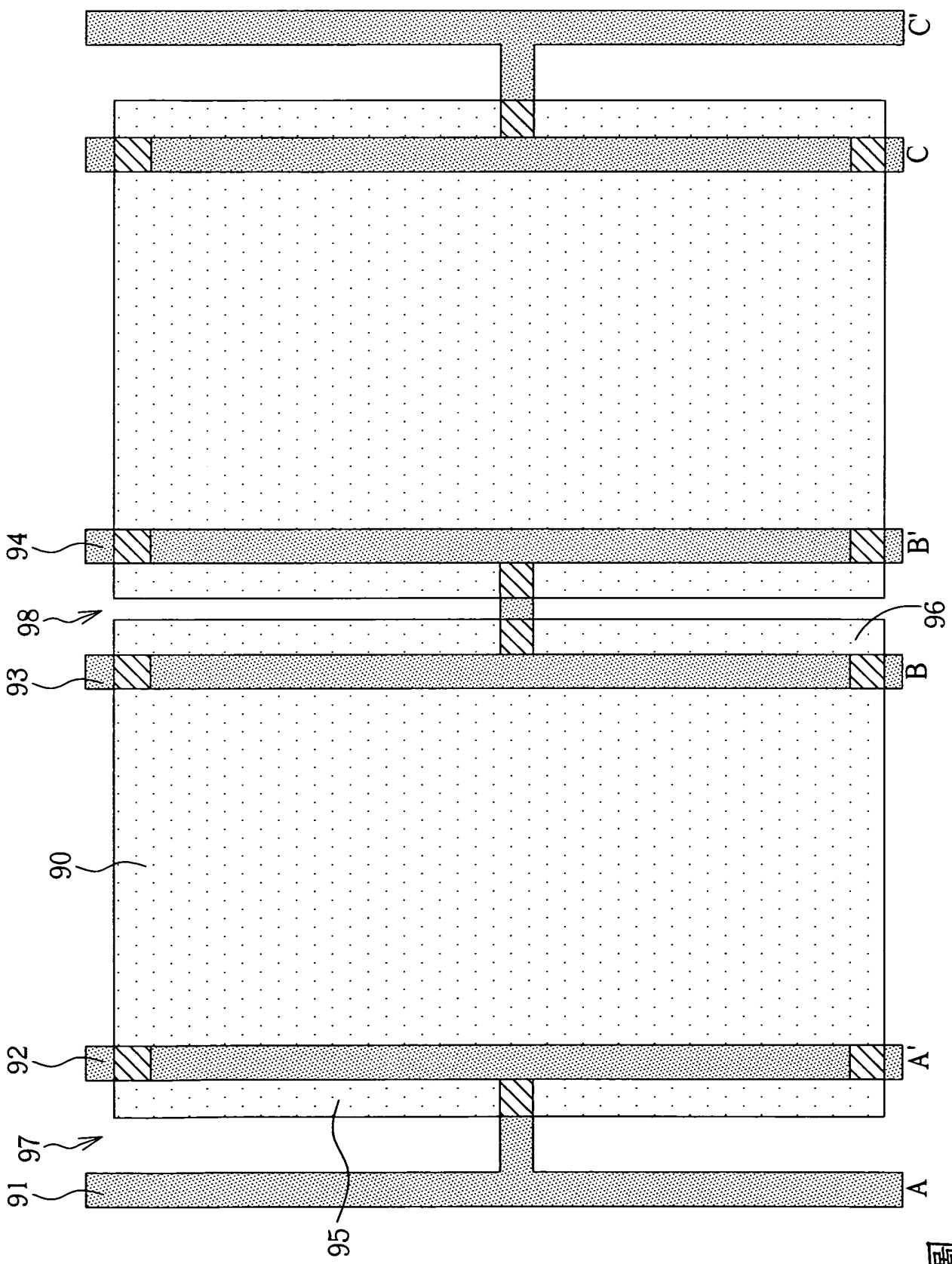
第10圖



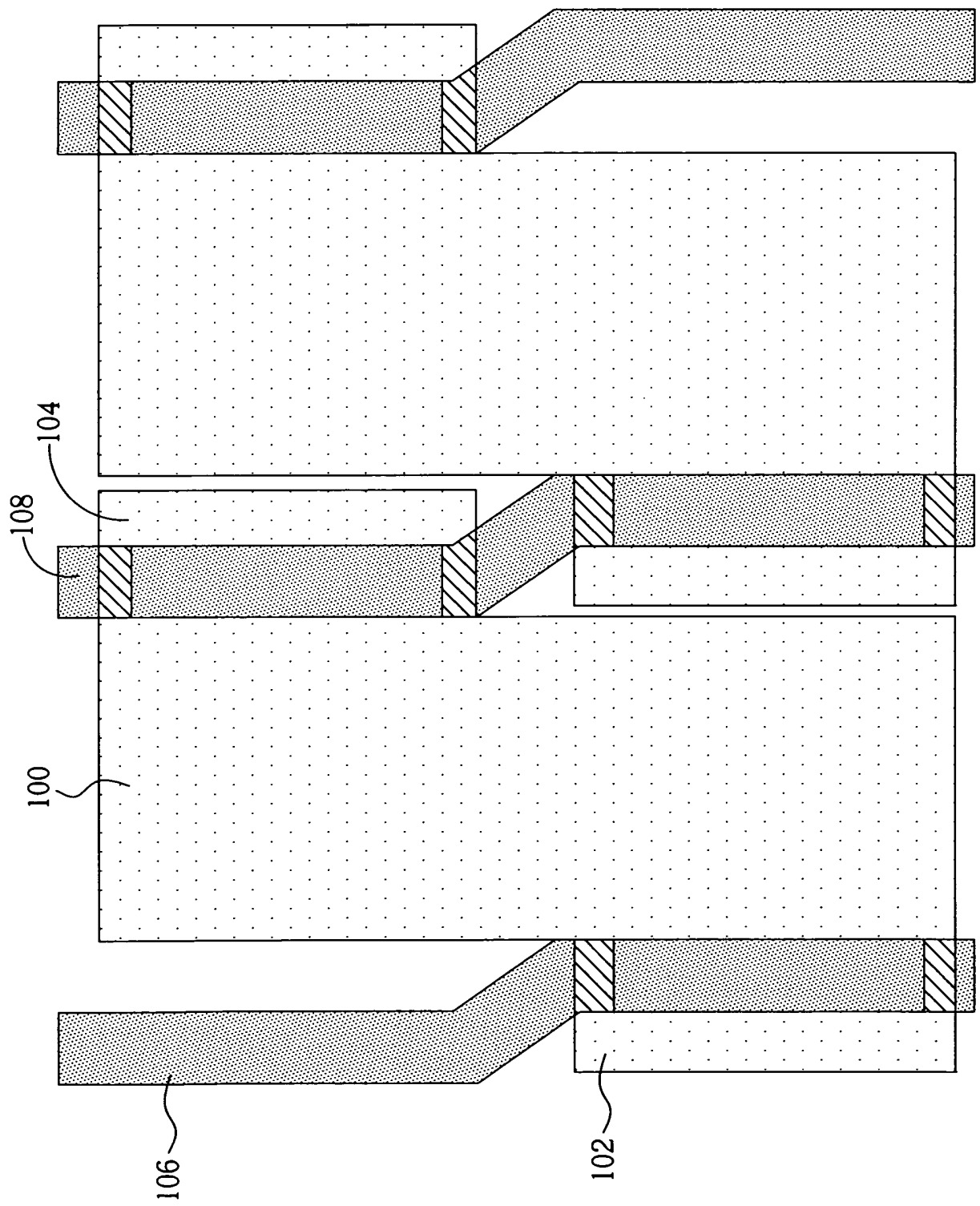
第11圖



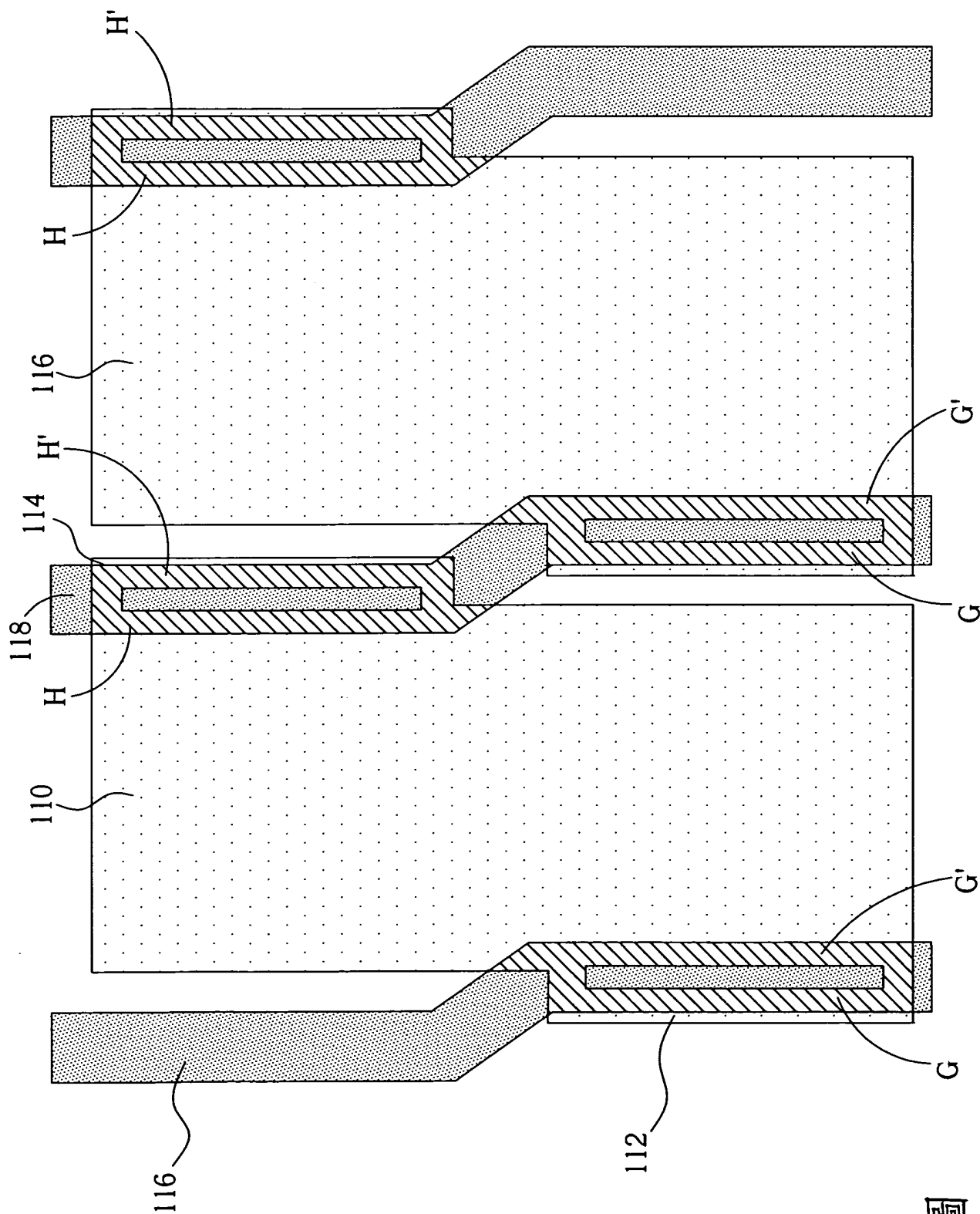
第12圖



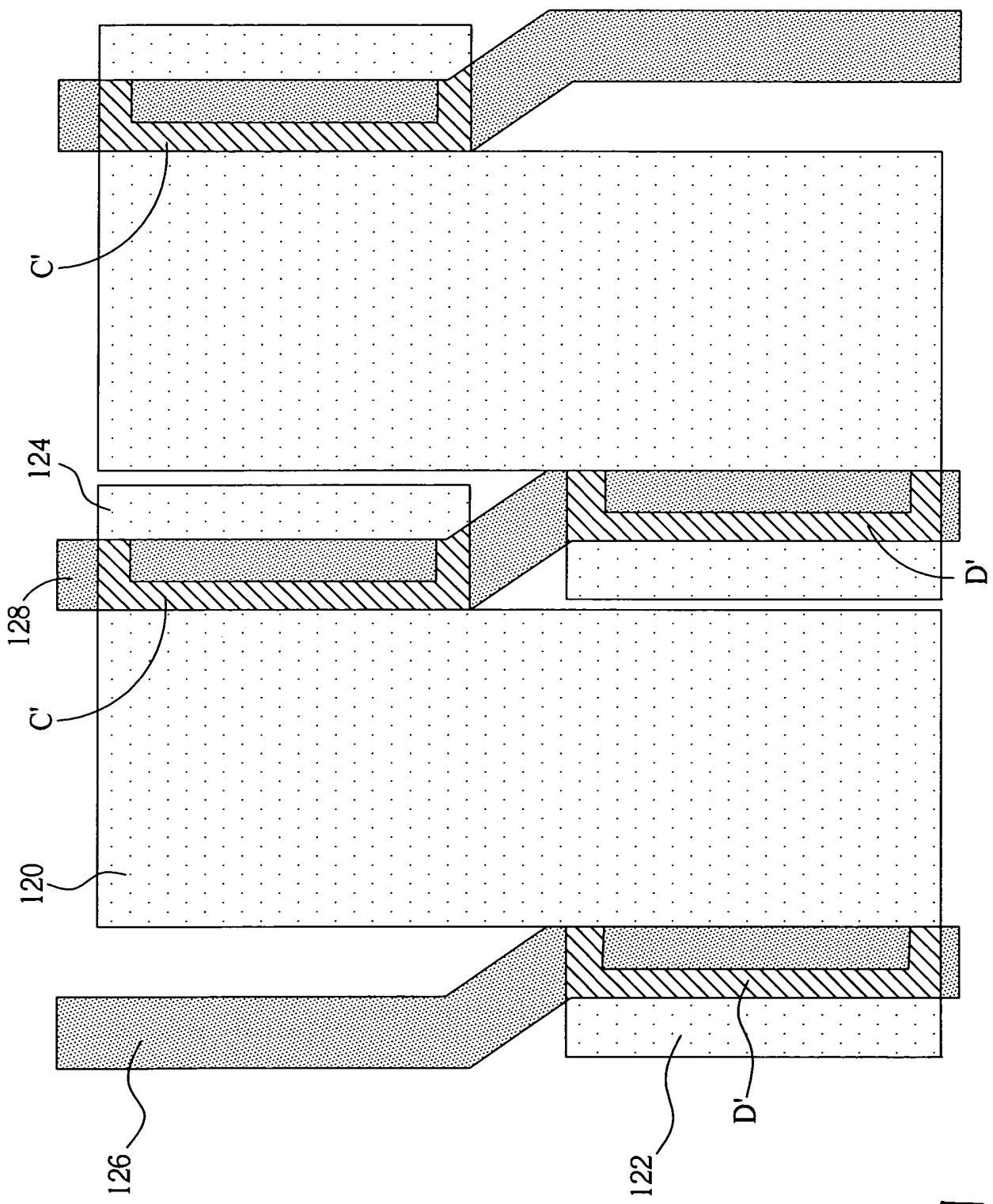
第13圖



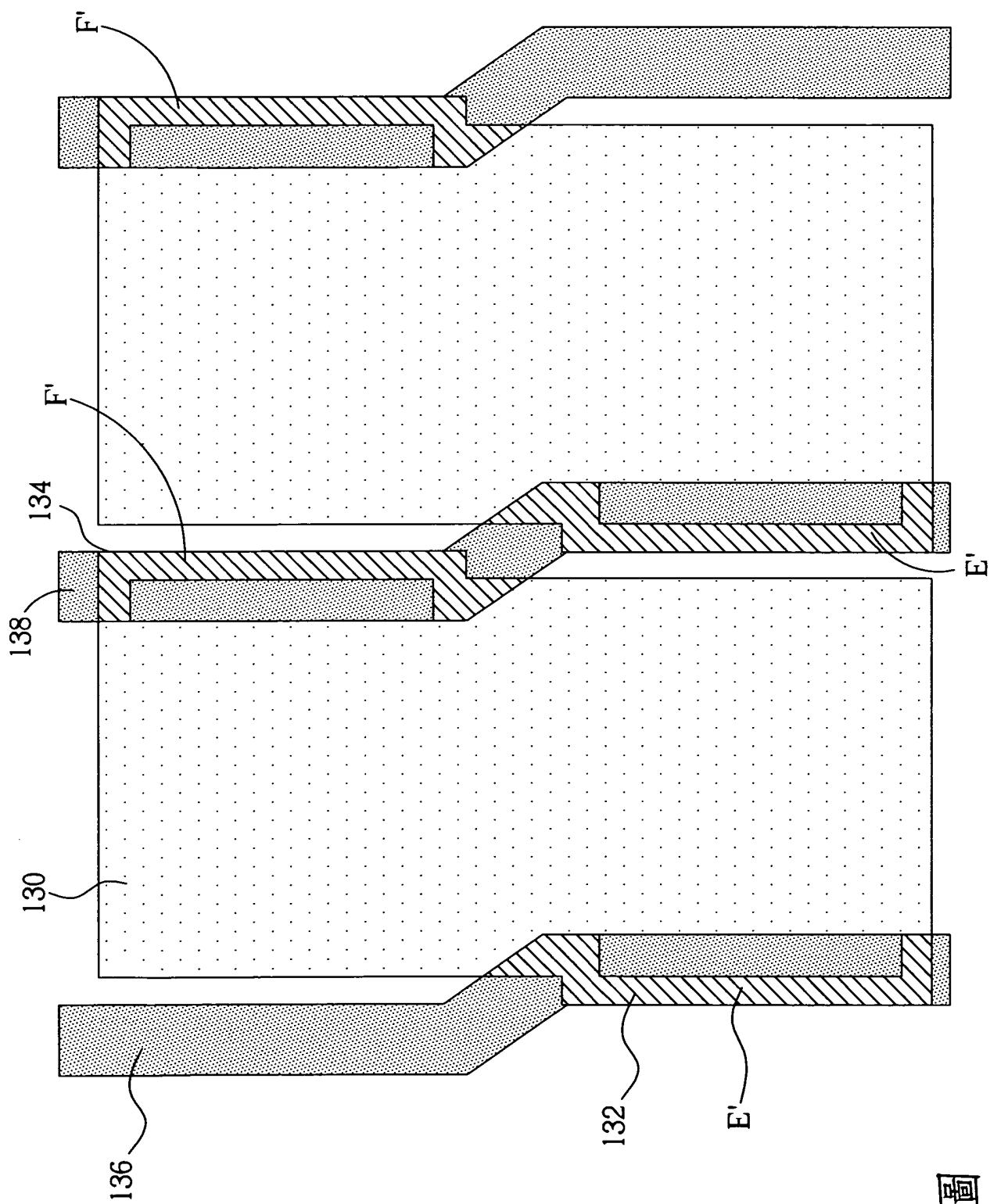
第14圖



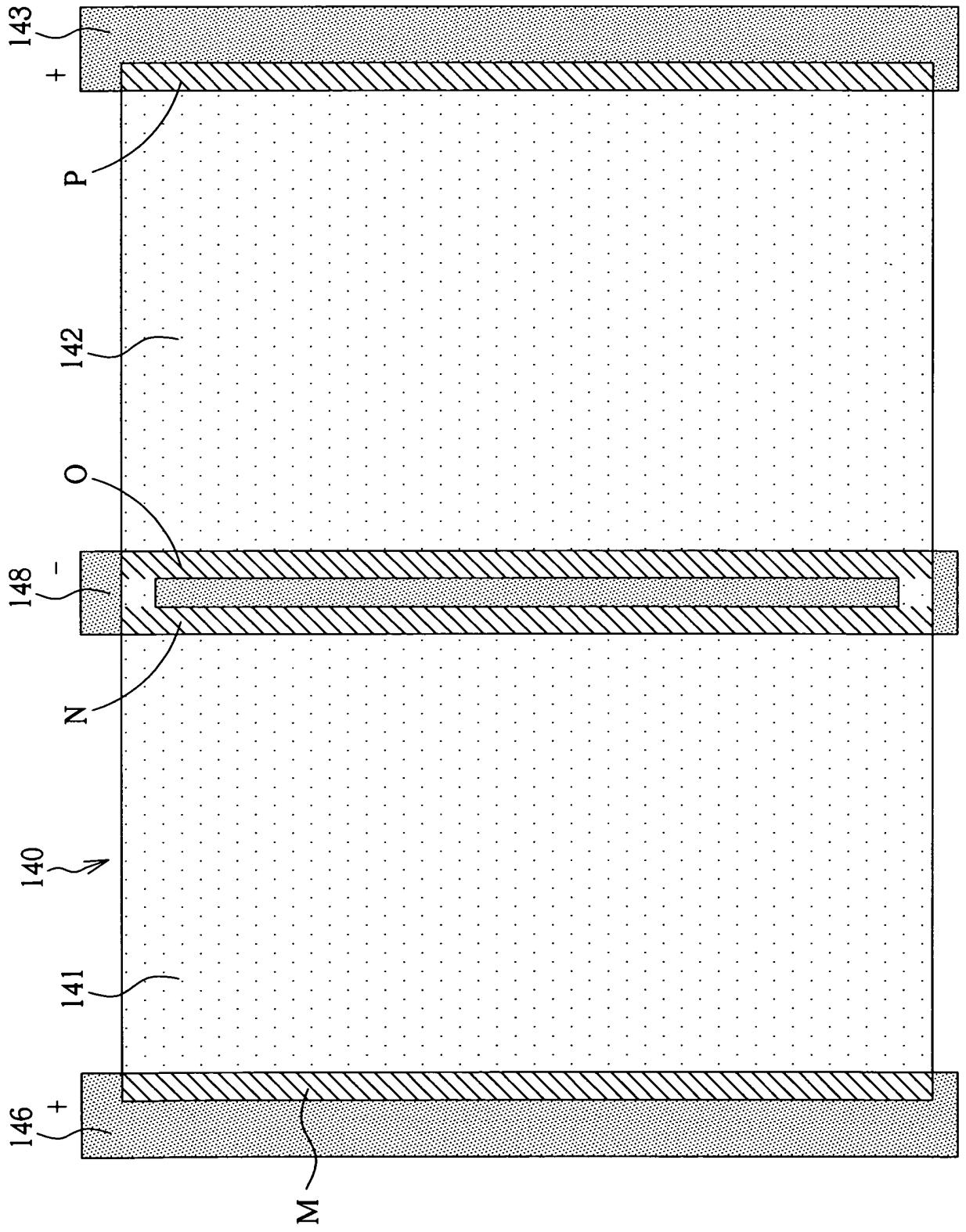
第15圖



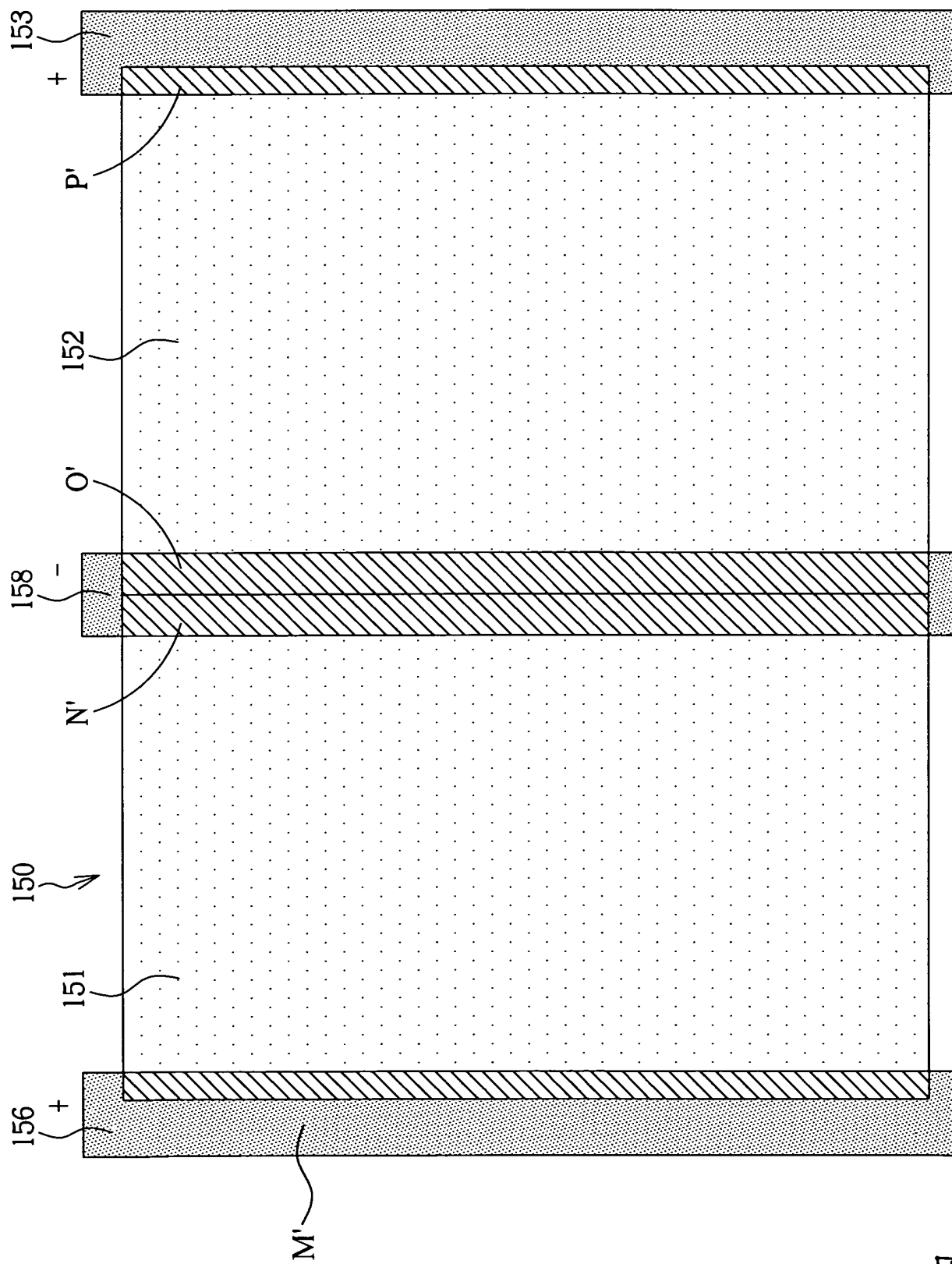
第16圖



第17圖



第18圖



第19圖

七、指定代表圖：

(一)本案指定代表圖為：第 (5) 圖。

(二)本代表圖之元件符號簡單說明：

40：畫素電極；

42：第一分支電極；

44：第二分支電極；

46：第一資料線；

48：第二資料線；

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

99年6月9日修正本

十、申請專利範圍：

1. 一種液晶顯示器，包括：

一基板；

複數個畫素電極，位於該基板上，以一畫素矩陣陣列排列方式形成；

一第一資料線及一第二資料線，形成於該基板上；

複數條掃描線形成於該基板上，該些掃描線與該第一資料線及該第二資料線彼此交錯；

一第一分支電極，該第一分支電極與該第一資料線至少部份重疊，且該第一分支電極電連接一畫素電極，其中該第一分支電極及該畫素電極之間具有一第一間隙；以及

一第二分支電極，該第二分支電極與該第二資料線至少部份重疊，且該第二分支電極電連接該畫素電極，其中該第一分支電極及該第二分支電極位於該畫素電極之相對側，以及該第二分支電極與該畫素電極之間具有一第二間隙。

2. 如申請專利範圍第 1 項所述之液晶顯示器，其中：

該畫素電極與該第一資料線之重疊面積為 A' ；

該畫素電極與該第二資料線之重疊面積為 B ；

與該畫素電極電連接之該第一分支電極與該第一資料線之重疊面積為 A ；以及

與該畫素電極電連接之該第二分支電極與該第二資料線之重疊面積為 B' ，且 $A + A'$ 等於 $B + B'$ 。

3. 如申請專利範圍第 1 項所述之液晶顯示器，其中：

該第一資料線及該第二資料線為鋸齒狀。

4. 如申請專利範圍第 3 項所述之液晶顯示器，其中：

該第一分支電極位於該畫素電極一側之上方，以及該第二分支電極位於該畫素電極相對側之下方。

5. 如申請專利範圍第 3 項所述之液晶顯示器，其中：

該第一分支電極位於該畫素電極一側之上方，以及該第二分支電極位於該畫素電極相對側之上方。

6. 如申請專利範圍第 1 項所述之液晶顯示器，其中：

該第一資料線是由第一分支資料線及第二分支資料線電連接而成，且該第二分支資料線介於該第一分支資料線及該畫素電極之間；以及

該第二資料線是由第三分支資料線及第四分支資料線電連接而成，且該第三分支資料線介於該第四分支資料線及該畫素電極之間。

7. 如申請專利範圍第 6 項所述之液晶顯示器，其中：

該畫素電極與該第二分支資料線至少部份重疊；以及
該畫素電極與該第三分支資料線至少部份重疊。

8. 如申請專利範圍第 6 項所述之液晶顯示器，其中：

該畫素電極與該第一分支資料線及該第二分支資料線
至少部份重疊；以及

該畫素電極與該第三分支資料線及該第四分支資料線
至少部份重疊。

9. 一種液晶顯示器，包括：

一基板；

複數個畫素電極，位於該基板上，以一畫素矩陣陣列
排列方式形成；

一第一資料線、一第二資料線及一第三資料線，分別
形成於該基板上，其中該第二資料線設於該第一資料線及
該第三資料線之間；以及

複數條掃描線，形成於該基板上，該些掃描線與該第
一資料線、該第二資料線及該第三資料線彼此交錯；

其中至少一畫素電極，具有第一子畫素電極及第二子
畫素電極，該第一子畫素電極及該第二子畫素電極彼此電
連接，該第一子畫素電極部分重疊該第一資料線及該第二
資料線，且該第二子畫素電極部分重疊該第二資料線及該
第三資料線。

10. 如申請專利範圍第 9 項所述之液晶顯示器，其中：
- 該第一子畫素電極與該第一資料線之重疊面積為 M ；
 - 該第一子畫素電極與該第二資料線之重疊面積為 N ；
 - 該第二子畫素電極與該第二資料線之重疊面積為 O ；

以及

該第二子畫素電極與該第三資料線之重疊面積為 P ，
且 $M+P$ 等於 $N+O$ 。

11. 如申請專利範圍第 9 項所述之液晶顯示器，其中該第一子畫素電極及該第二子畫素電極之間具有一間隙。

十一、圖式：