

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-210610

(P2005-210610A)

(43) 公開日 平成17年8月4日(2005.8.4)

(51) Int. Cl.<sup>7</sup>

H03K 21/40

F I

H03K 21/40

D

テーマコード (参考)

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願2004-17243 (P2004-17243)  
 (22) 出願日 平成16年1月26日 (2004.1.26)

(71) 出願人 000003218  
 株式会社豊田自動織機  
 愛知県刈谷市豊田町2丁目1番地  
 (71) 出願人 591220850  
 新潟精密株式会社  
 新潟県上越市西城町2丁目5番13号  
 (74) 代理人 100074099  
 弁理士 大菅 義之  
 (72) 発明者 後藤 栄孝  
 愛知県刈谷市豊田町2丁目1番地 株式会  
 社豊田自動織機内  
 (72) 発明者 宮城 弘  
 新潟県上越市西城町2丁目5番13号 新  
 潟精密株式会社内

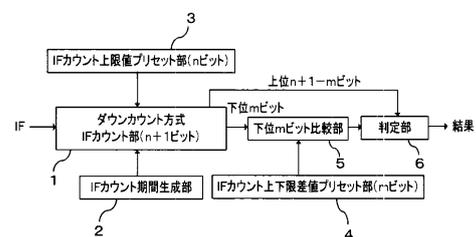
(54) 【発明の名称】 IF カウント方式

(57) 【要約】

【課題】 より小さな回路構成によってIFカウンタを実現するIFカウント方式を提供する。

【解決手段】 IFカウンタを、分周されたIF信号をカウントするダウンカウント方式IFカウント部1と、IF信号をカウントする期間を生成するIFカウント期間生成部2と、カウント開始の初期値を与えるIFカウント上限値プリセット部3と、カウント値の下位mビットについての情報とIFカウント上下限値差プリセット部に設定された情報とを比較する下位mビット比較部5と、カウント値の上位n+1-mビットについての情報と下位mビット比較部5の比較結果についての情報とからカウント値が所定の範囲内にあるかを判定する判定部6とによって構成する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

所定の期間について I F 信号をカウントする I F カウンタのカウント方式であって、  
カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット処理と

、  
前記 I F 信号をカウントする期間を生成する I F カウント期間生成処理と

該 I F カウント期間生成処理によって生成された期間内に前記上限値プリセット部で設定された初期値から前記 I F 信号に応じてダウンカウントを行なうダウンカウント方式 I F カウント処理と、

所望のカウント値の上限値と下限値との差の情報を与える I F カウント上下限值差プリセット処理と、 10

該 I F カウント上下限值差プリセット処理に与えられた I F カウント上下限值差の情報と前記ダウンカウント方式 I F カウント処理によるカウント情報に基づく第一の情報とを比較する比較処理と、

前記ダウンカウント方式 I F カウント処理によるカウント情報に基づく第二の情報と前記比較処理による比較結果の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定処理とを有することを特徴とする I F カウント方式。

**【請求項 2】**

n > m の関係を有する 1 以上の整数 m、n において、前記第一の情報は前記ダウンカウント方式 I F カウント処理による n + 1 ビットで構成されるカウント情報の下位 m ビットの情報であり、前記第二の情報は前記カウント情報の上位 n + 1 - m ビットであることを特徴とする請求項 1 に記載の I F カウント方式。 20

**【請求項 3】**

前記 I F 信号は、分周比 1 / 2、1 / 4、1 / 8、1 / 16、1 / 32 のいずれか 1 つを選択的に使用して分周された I F 信号であることを特徴とする請求項 1 に記載の I F カウント方式。

**【請求項 4】**

所定の期間について I F 信号をカウントする I F カウンタであって、  
カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット処理と

、  
前記 I F 信号をカウントする期間を生成する I F カウント期間生成処理と

該 I F カウント期間生成処理によって生成された期間内に前記上限値プリセット処理で設定された初期値から前記 I F 信号に応じてダウンカウントを行なうダウンカウント方式 I F カウント処理と、

前記ダウンカウント方式 I F カウント処理によるカウント情報に基づく第一の情報と第二の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とする I F カウント方式。

**【請求項 5】**

所定の期間について I F 信号をカウントする I F カウンタであって、

カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット部と、 40

前記 I F 信号をカウントする期間を生成する I F カウント期間生成部と

該 I F カウント期間生成部によって生成された期間内に前記上限値プリセット部で設定された初期値から前記 I F 信号に応じてダウンカウントを行なうダウンカウント方式 I F カウント部と、

所望のカウント値の上限値と下限値との差の情報を与える I F カウント上下限值差プリセット部と、

該 I F カウント上下限值差プリセット部に設定された情報と前記ダウンカウント方式 I F カウント部におけるカウント情報に基づく第一の情報とを比較する比較部と、

前記ダウンカウント方式 I F カウント部におけるカウント情報に基づく第二の情報と前記比較部の比較結果の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあ 50

るかを判定する判定部とを有することを特徴とする I F カウンタ。

【請求項 6】

所定の期間について I F 信号をカウントする I F カウンタであって、

カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット部と、  
前記 I F 信号をカウントする期間を生成する I F カウント期間生成部と

該 I F カウント期間生成部によって生成された期間内に前記上限値プリセット部で設定された初期値から前記 I F 信号に応じてダウンカウントを行なうダウンカウント方式 I F カウント部と、

前記ダウンカウント方式 I F カウント部におけるカウント情報に基づく第一の情報と第二の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とする I F カウンタ。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ラジオの受信機に使用される I F カウンタにおける I F カウント方式に関する。

【背景技術】 20

【0002】

ラジオの受信機において、従来から I F ( I n t e r m e d i a t e F r e q u e n c y ) をカウントするために使用されている I F カウンタは、例えば図 5 に示すように、  
n ビットで構成される I F カウント部 15 と、 I F カウント部 15 に対して I F カウント期間を生成する I F カウント期間生成部 16 と、 n ビットで構成される I F カウント上限値を設定するための I F カウント上限値プリセット部 17 と、 n ビットで構成される I F カウント下限値を設定するための I F カウント下限値プリセット部 18 と、 I F カウント部 15 によってカウントされたカウント値と I F カウント上限値プリセット部 17 の設定値とを比較するために n ビットで構成される上限値比較部 19 と、 I F カウント部 15 によってカウントされたカウント値と I F カウント下限値プリセット部 18 の設定値とを比較するための下限値比較部 20 と、上限値比較部 19 による比較結果と下限値比較部 20 による比較結果とから I F カウント部 15 によるカウント値が所定の範囲内にあるかを判断する判定部 21 とによって構成される。 30

【0003】

I F カウント部 15 は、リミッタ回路等を通された I F 信号が入力されると、 I F カウント期間生成部 16 で生成された所定の期間内に入力される I F 信号をカウントする。

I F カウント部 15 によってカウントされたカウント値は、上限値比較部 19 及び下限値比較部 20 に入力される。上限値比較部 19 は、入力されたカウント値と I F カウント上限値プリセット部 17 に予め設定されている I F カウント上限値とを比較し、例えば「カウント値 > I F カウント上限値」の場合に比較結果 0 を出力し、「カウント値 I F カウント下限値」の場合に比較結果 1 を出力する。 40

【0004】

同様に、下限値比較部 20 は、入力されたカウント値と I F カウント下限値プリセット部 18 に予め設定されている I F カウント下限値とを比較し、例えば「カウント値 < I F カウント下限値」の場合に比較結果 0 を出力し、「カウント値 I F カウント下限値」の場合に比較結果 1 を出力する。

【0005】

上限値比較部 19 及び下限値比較部 20 による比較結果は、判定部 21 に入力されカウント値が I F カウント上限値から I F カウント下限値の範囲内であることを判定する。例えば、上限値比較部 19 の比較結果と下限値比較部 20 の比較結果の論理積を判定部 21 で 50

行なうことによって、判定部 21 の出力が 1 の場合にカウント値が IF カウント値上限値から IF カウント下限値の範囲内にあることが検出される。

【0006】

特許文献 1 は、自動的に FM・RDS 隣接局の放送局名を最初に自動検知した放送局との比較を行い、その放送局名に基づき自動変更することが可能な FM ラジオ受信機について開示したものであり、所望の周波数についてオートスキャンする場合の周波数の比較手段について開示されている。

【0007】

特許文献 2 は、IF パルス数のカウントと並行して復調回路によって復調されたデータの 1/0 の割合をカウントすることによって、一定時間内の IF パルス数の誤差量を測定する IF カウント方式について開示されている。この方法では、測定した誤差量を用いて補正回路により IF カウント数を修正して IF 周波数を測定する周波数カウント回路とし、変調によるカウント誤差の影響を受けないで正確な IF 周波数値を得ることが可能なる。

10

【特許文献 1】特開平 10 - 341138 号公報

【特許文献 2】特開平 11 - 234353 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

以上に説明したように、例えば図 5 に示した従来の回路では回路構成が大規模となってしまうという問題がある。特に、ラジオ受信機を 1 チップで実現するためには、従来以上の回路のスリム化が要求される。

20

本発明は、上述した問題に鑑みてなされたものであり、その解決しようとする課題は、従来より小さな回路構成によって IF カウンタを実現する IF カウント方式を提供することである。

【課題を解決するための手段】

【0009】

請求項 1 記載の発明は、所定の期間について IF 信号をカウントする IF カウンタのカウント方式であって、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット処理と、前記 IF 信号をカウントする期間を生成する IF カウント期間生成処理と、該 IF カウント期間生成処理によって生成された期間内に前記上限値プリセット部で設定された初期値から前記 IF 信号に応じてダウンカウントを行なうダウンカウント方式 IF カウント処理と、所望のカウント値の上限値と下限値との差の情報を与える IF カウント上下限値差プリセット処理と、該 IF カウント上下限値差プリセット処理に与えられた IF カウント上下限値差の情報と前記ダウンカウント方式 IF カウント処理によるカウント情報に基づく第一の情報とを比較する比較処理と、前記ダウンカウント方式 IF カウント処理によるカウント情報に基づく第二の情報と前記比較処理による比較結果の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定処理とを有することを特徴とする IF カウント方式である。

30

【0010】

請求項 1 記載の発明によると、前記ダウンカウント方式 IF カウント処理によって前記上限値プリセット処理で設定された値から前記 IF 信号に応じてデクリメント処理を行なうことで、前記 IF 信号が前記上限値より大きい場合には 0 までカウントされてなおデクリメント処理が行なわれるため最上位ビットが 1 となり判定処理によって前記 IF 信号は前記所望の上限値より大きいと判定され、前記比較処理による比較結果が前記 IF カウント上下限値差プリセット処理で設定された値が前記第一の情報に基づく値以上で、かつ前記第二の情報を構成するビットが全て 0 である場合には、前記判定処理によって前記 IF 信号は前記所望の上限値及び下限値の範囲内にあると判定され、さらに、前記第二の情報を構成するビットが全て 0 でない場合には、前記判定処理によって前記 IF 信号は前記所望の下限値より小さいと判定される作用によって、前記上限値プリセット処理及び前記 I

40

50

F カウント上下限值差プリセット処理を予め設定することでIF信号が所定の範囲にあるかを判定することが可能となり、前記上下限值差プリセット処理で設定される前記所望の下限値を構成するビット数や比較処理において比較する情報を構成するビット数を小さくすることが可能となり、回路構成を小さくする効果を奏する。

【0011】

請求項2記載の発明は、 $n > m$ の関係を有する1以上の整数 $m$ 、 $n$ において、前記第一の情報は前記ダウンカウント方式IFカウント処理による $n + 1$ ビットで構成されるカウント情報の下位 $m$ ビットの情報であり、前記第二の情報は前記カウント情報の上位 $n + 1 - m$ ビットであることを特徴とする請求項1に記載のIFカウント方式である。

【0012】

請求項2に記載の発明によると、請求項1と同様の効果を奏し、前記ダウンカウント方式IFカウント処理によってカウントされた前記IF信号のカウント値の上位 $n + 1 - m$ ビットの情報の最上位ビットが1の場合には、IF信号が所望の上限値より大きいと判断し、ダウンカウント方式IFカウント処理でカウントされたIF信号のカウント値の上位 $n + 1 - m$ ビットの情報の上位 $n + 1 - m$ ビットが全て0、かつダウンカウント方式IFカウント処理によってカウントされたIF信号のカウント値の下位 $m$ ビットの値がIFカウント上下限值差プリセット処理で設定された値以下の場合には、所望の上限値及び下限値の範囲内であると判断し、ダウンカウント方式IFカウント処理によってカウントされたIF信号のカウント値の上位 $n + 1 - m$ ビットの情報の上位 $n + 1 - m$ ビットが全て0でない場合には、所望の下限値より小さいと判断することが可能となる効果を奏する。

10

20

【0013】

請求項3記載の発明は、前記IF信号は、分周比 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ のいずれか1つを選択的に使用して分周されたIF信号であることを特徴とする請求項1に記載のIFカウント方式である。

請求項3に記載の発明によると、請求項1と同様の効果に加えて、前記IF信号の周波数が高い場合であっても分周比を変更することによってより高周波のIF信号をカウントすることが可能となる効果を奏する。

【0014】

請求項4記載の発明は、所定の期間についてIF信号をカウントするIFカウンタであって、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット処理と、前記IF信号をカウントする期間を生成するIFカウント期間生成処理と、該IFカウント期間生成処理によって生成された期間内に前記上限値プリセット処理で設定された初期値から前記IF信号に応じてダウンカウントを行なうダウンカウント方式IFカウント処理と、前記ダウンカウント方式IFカウント処理によるカウント情報に基づく第一の情報と第二の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とするIFカウント方式である。

30

【0015】

請求項4記載の発明によると、前記ダウンカウント方式IFカウント処理によって前記上限値プリセット処理で設定された値から前記IF信号に応じてデクリメント処理を行なうことで、前記IF信号が前記上限値より大きい場合には0までカウントされてなおデクリメント処理が行なわれるため前記第一の情報を構成する最上位ビットが1となり判定処理によって前記IF信号は前記所望の上限値より大きいと判定され、前記第二の情報を構成するビットが全て0である場合には、前記判定処理によって前記IF信号は前記所望の上限値及び下限値の範囲内であると判定され、さらに、前記第二の情報を構成するビットが全て0でない場合には、前記判定処理によって前記IF信号は前記所望の下限値より小さいと判定される作用によって、前記上限値プリセット処理で設定する上限値を予め設定することでIF信号が所定の範囲にあるかを判定することが可能となり、下限値についてのプリセット処理を要しないため回路構成を小さくする効果を奏する。

40

【0016】

請求項5記載の発明は、所定の期間についてIF信号をカウントするIFカウンタであ

50

って、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット部と、前記IF信号をカウントする期間を生成するIFカウント期間生成部と、該IFカウント期間生成部によって生成された期間内に前記上限値プリセット部で設定された初期値から前記IF信号に応じてダウンカウントを行なうダウンカウント方式IFカウント部と、所望のカウント値の上限値と下限値との差の情報を与えるIFカウント上下限值差プリセット部と、該IFカウント上下限值差プリセット部に設定された情報と前記ダウンカウント方式IFカウント部におけるカウント情報に基づく第一の情報とを比較する比較部と、前記ダウンカウント方式IFカウント部におけるカウント情報に基づく第二の情報と前記比較部の比較結果の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とするIFカウンタである。

10

**【0017】**

請求項5記載の発明によると、前記ダウンカウント方式IFカウント部によって前記上限値プリセット部で設定された値から前記IF信号に応じてデクリメント処理を行なうことで、前記IF信号が前記上限値より大きい場合には0までカウントされてなおデクリメント処理が行なわれるため最上位ビットが1となり判定部によって前記IF信号は前記所望の上限値より大きいと判定され、前記比較部での比較結果が前記IFカウント上下限值差プリセット部に設定された値が前記第一の情報に基づく値以上で、かつ前記第二の情報を構成するビットが全て0である場合には、前記判定部によって前記IF信号は前記所望の上限値及び下限値の範囲内にあると判定され、さらに、前記第二の情報を構成するビットが全て0でない場合には、前記判定部によって前記IF信号は前記所望の下限値より小さいと判定される作用によって、請求項1と同様の効果を奏し、前記上限値プリセット部及び前記IFカウント上下限值差プリセット部に予め上限値を設定することによってIF信号が所定の範囲にあるかを判定することが可能となり、前記上下限值差プリセット部を構成するビット数や比較部を構成するビット数を小さくすることが可能となり、回路構成を小さくする効果を奏する。

20

**【0018】**

請求項6記載の発明は、所定の期間についてIF信号をカウントするIFカウンタであって、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット部と、前記IF信号をカウントする期間を生成するIFカウント期間生成部と、該IFカウント期間生成部によって生成された期間内に前記上限値プリセット部で設定された初期値から前記IF信号に応じてダウンカウントを行なうダウンカウント方式IFカウント部と、前記ダウンカウント方式IFカウント部におけるカウント情報に基づく第一の情報と第二の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とするIFカウンタである。

30

**【0019】**

請求項6記載の発明によると、前記ダウンカウント方式IFカウント部によって前記上限値プリセット部に設定された値から前記IF信号に応じてデクリメント処理を行なうことで、前記IF信号が前記上限値より大きい場合には0までカウントされてなおデクリメント処理が行なわれるため前記第一の情報を構成する最上位ビットが1となり判定部によって前記IF信号が前記所望の上限値より大きいと判定され、前記第二の情報を構成するビットが全て0である場合には、前記判定部によって前記IF信号は前記所望の上限値及び下限値の範囲内にあると判定され、さらに、前記第二の情報を構成するビットが全て0でない場合には、前記判定部によって前記IF信号は前記所望の下限値より小さいと判定される作用によって、請求項4と同様の効果を奏し、前記上限値プリセット部で設定する上限値を予め設定することでIF信号が所定の範囲にあるかを判定することが可能となり、下限値についてのプリセット処理を要しないため回路構成を小さくする効果を奏する。

40

**【発明の効果】****【0020】**

以上のように、本発明のいずれの態様によっても、従来より小さな回路構成によってIFカウンタを実現するIFカウント方式を提供することが可能となる。

50

## 【発明を実施するための最良の形態】

## 【0021】

以下、本発明の実施形態について図1から図4に基づいて説明する。

図1は、本発明の第一の実施形態の機能ブロック図である。

本実施形態に係るIFカウンタは、分周されたIF信号をカウントするダウンカウント方式IFカウント部1と、ダウンカウント方式IFカウント部1でIF信号をカウントする期間を生成するIFカウント期間生成部2と、ダウンカウント方式IFカウント部1にカウントを開始する初期値を与えるIFカウント上限値プリセット部3と、ダウンカウント方式IFカウント部1でカウントされたカウント値の下位mビットについての情報とIFカウント上下限值差プリセット部に予め設定された情報とを比較する下位mビット比較部5と、ダウンカウント方式IFカウント部1でカウントされたカウント値の上位 $n + 1 - m$ ビットについての情報と下位mビット比較器5の比較結果についての情報とからカウント値が所定の範囲内にあるかを判定する判定部6とを有する。また、本実施形態に係るIFカウンタは、pチャンネルとnチャンネルMOSトランジスタを製造できるCMOSプロセスにより半導体回路基盤上に成形される。

10

## 【0022】

ダウンカウント方式IFカウント部1は $n + 1$ ビットで構成されるデータのカウンタ機能を有する。IFカウント上限値プリセット部3に予め設定されたnビットで構成されるデータを初期値として、IFカウント期間生成部2によって生成される所定の期間内について、例えば1ずつデクリメント処理を行なってIF信号をカウントする。

20

## 【0023】

IFカウント期間生成部2は、ダウンカウント方式IFカウント部1がIF信号をカウントする期間を生成する。すなわち、ダウンカウント方式IFカウント部1へ入力されるクロック信号を監視し、前記生成された所定の期間を経過するとダウンカウント方式IFカウント部1に対してリセット信号を送る。

## 【0024】

IFカウント上限値プリセット部3には、nビットで構成されるIFカウント値の上限値が予め設定され、ダウンカウント方式IFカウント部1に対してカウント開始時の初期値を与える。

IFカウント上下限值差プリセット部4には、mビットで構成されるIFカウント値の上限値と下限値との差の値が予め設定され、ダウンカウント方式IFカウント部1でカウントされた $n + 1$ ビットで構成されるカウント値の下位mビットのデータと比較するために使用される。

30

## 【0025】

下位mビット比較部5は、ダウンカウント方式IFカウント部1でカウントされたIF信号のカウント値の下位mビットの情報とIFカウント上限値プリセット部4に設定されたIFカウント値の上下限值差の情報とを入力として比較し比較結果を判定部6へ出力する。

## 【0026】

判定部6は、ダウンカウント方式IFカウント部1でカウントされたIF信号のカウント値の上位 $n + 1 - m$ ビットの情報と下位mビット比較部5の比較結果の情報とからIF信号のカウント値がIFカウント上限値プリセット部3で設定された上限値とIFカウント上限値プリセット部3及びIFカウント上下限值差プリセット部4で設定された値に基づく下限値との範囲にあるかを判定し結果を出力する。すなわち、ダウンカウント方式IFカウント部1でカウントされたIF信号のカウント値の上位 $n + 1 - m$ ビットの情報の最上位ビットが1の場合には、IF信号が所望の上限値より大きいと判断し、ダウンカウント方式IFカウント部1でカウントされたIF信号のカウント値の上位 $n + 1 - m$ ビットの情報の上位 $n + 1 - m$ ビットが全て0、かつダウンカウント方式IFカウント部1でカウントされたIF信号のカウント値の下位mビットの値がIFカウント上下限值差プリセット部4に設定された値以下の場合には、所望の上限値及び下限値の範囲内であると判

40

50

断し、ダウンカウント方式 I F カウント部 1 でカウントされた I F 信号のカウント値の上位  $n + 1 - m$  ビットの情報の上位  $n + 1 - m$  ビットが全て 0 でない場合には、所望の下限値より小さいと判断する。以上の構成にすることによって、例えば、従来の回路構成では  $n$  ビットで構成される比較部 ( 図 5 の上限値比較部 19 や下限値比較部 20 ) や I F カウント下限値プリセット部 20 が必要とされたが、本発明の実施例では  $n > m$  の関係にある  $m$  ビットで構成される下位  $m$  ビット比較部 5 や I F カウント上下限値差プリセット部 4 を用いることによって各構成要素が少ないビット数で構成されるため全体として回路規模を小さくすることが可能となる。

#### 【 0 0 2 7 】

したがって、図 5 に示す  $n$  ビットで構成される I F カウント下限値プリセット部 18 や下限値比較部 20 等を用いることなく所望の上限値及び下限値に I F 信号の周波数があるかを判定することが可能となり、回路構成を従来に比べて小さくすることが可能となる。

図 2 は、本発明の第一の実施形態の主要部を示す回路図である。

#### 【 0 0 2 8 】

本実施例で使用する I F カウンタは、分周された I F 信号をカウントするための 12 ビットダウンカウンタ 7 と、12 ビットダウンカウンタによってカウントされたカウント値の下位 7 ビットの値と信号線 C P から得る図示しない例えば D I P - S W I T C H やレジスタ等で構成される I F カウント上下限値差プリセット部に予め設定されている値とを比較するための 7 ビットコンパレータ 8 と、12 ビットダウンカウンタによってカウントされたカウント値の上位 5 ビットの全ビットが " 0 " かを判定するためのアンド回路 9 と、7 ビットコンパレータ 8 での比較結果とアンド回路 9 での比較結果との論理積をとるためのアンド回路 10 と、アンド回路 10 による出力の反転ビットと 12 ビットダウンカウンタによってカウントされた値の最上位ビット ( 12 ビット ) の反転ビットとの論理積をとるためのアンド回路 11 と、I F 信号が図示しない例えば D I P - S W I T C H やレジスタ等で構成される I F カウント上限値プリセット部及び I F カウント上下限値差プリセット部に基いて決定される上限値と下限値との間にあるかの判定結果を出力するための出力レジスタ 13 と、出力レジスタ 13 から出力する信号を制御するための R S フリップフロップ 12 とを少なくとも備えている。

#### 【 0 0 2 9 】

12 ビットダウンカウンタ 7 は、図 1 に示したダウンカウント方式 I F カウント部 1 に対応する。12 ビットダウンカウンタ 7 には、図示しない例えば D I P - S W I T C H やレジスタ等で構成される 11 ビットの I F カウント上限値プリセット部に予め設定されたデータの信号 D と、カウント対象である I F 信号が図示しないリミッタ回路を介しさらに図示しない分周器によって分周された I F 信号 C K S と、リセット信号である R S T とが入力される。

#### 【 0 0 3 0 】

リセット信号 R S T が入力されると図示しない例えば D I P - S W I T C H やレジスタ等で構成される I F カウント上限値プリセット部に設定されているデータが信号 D を介して 12 ビットダウンカウンタ 7 にセットされる。12 ビットダウンカウンタ 7 は、上記セットされた I F カウント上限値を初期値として I F 信号 C K S に従ってダウンカウントを行なう。

#### 【 0 0 3 1 】

ここで、上記分周器での分周比は例えば  $1 / 2$ 、 $1 / 4$ 、 $1 / 8$ 、 $1 / 16$ 、 $1 / 36$  等を選択的に使用することができ、タイムベースは必要に応じて  $4 \text{ m S} \sim 32 \text{ m S}$  程度となるように設定する。

7 ビットコンパレータ 8 は、図 1 に示した下位  $m$  ビット比較器に対応する。7 ビットコンパレータ 8 には、図示しない D I P - S W I T C H やレジスタ等で構成される 7 ビットの I F カウント上下限値差プリセットに予め設定されたデータの信号 C P と 12 ビットダウンカウンタ 7 の下位 7 ビットのデータ Q [ 6 : 0 ] とが入力され、信号 Q [ 6 : 0 ] < 信号 C P の場合に出力信号 C L T D として " 1 " を出力する。

10

20

30

40

50

## 【0032】

アンド回路9～11は、図1に示す判定部6に対応する。アンド回路9は、12ビットダウンカウンタ7の上位5ビットのデータQ[11:7]が入力され各ビットが全て"0"の場合に出力信号UD0として"1"を出力する。アンド回路10及び11に対して、7ビットコンパレータ8からの出力信号CLTD、アンド回路9からの出力信号UD0及び12ビットダウンカウンタ7の最上位ビットのデータQ[11]が入力されることによって、信号Q[11]が"1"の場合には出力信号JUXとして"1"が出力され(図3に示す(3)の区間)、信号CLTDが"1"かつ信号UD0が"1"の場合には出力信号JEXとして"1"が出力され(図3に示す(2)の区間)、信号JUXが"0"かつ信号JEXが"0"の場合には出力信号JLXとして"1"が出力される(図3に示す(1)の区間)。

10

## 【0033】

RSフリップフロップ12への入力信号である入力信号J\_SRは、図示しないIFカウント期間生成回路から出力される信号であり、リセット信号RSTに同期してカウント期間の開始を指示する信号である。また、入力信号IF\_LAは、図示しないIFカウント期間生成回路から出力される信号であり、タイムベース信号TBXに同期してカウント期間の終了を指示する信号である。

## 【0034】

信号IF\_LAに"1"が入力され、かつ信号J\_SRに"0"入力される(すなわち、図示しないIFカウント期間生成回路で生成されるIFカウント期間を示す信号TBXがOFFとなり、タイムベース期間の終了を示す信号IF\_LAがONとなる)と出力信号QNに"1"が出力される。出力レジスタ13は、入力信号QNから"1"が入力されると信号JEX、JLX、JUXをそれぞれ出力信号JE、JL、JUとして出力する。

20

## 【0035】

以上により、IF信号CKSが図示しないDIP-SWITCHやレジスタ等で構成されるIFカウント上限値プリセット部に設定された上限値より大きい場合には出力信号(JE, JL, JU)が(0, 0, 1)となり、上限値とIFカウント上下限値差プリセット部及びIFカウント上限値プリセット部に基づく下限値との間にある場合には出力信号(JE, JL, JU)が(1, 0, 0)となり、下限値以下の場合には出力信号(JE, JL, JU)が(0, 1, 0)となる。

30

## 【0036】

図3は、図2に示す回路によって出力される主要部の波形を示す図である。

信号RSTに同期してRSフリップフロップ12への入力信号J\_SRがONとなることにより出力レジスタ13がリセットされる。さらに、IFカウント期間生成回路によってIFカウント期間(タイムベース期間)であることを示す信号TBXがON状態となり、信号Dから入力されるDIP-SWITCHやレジスタ等で構成されるIFカウント上限値プリセット部に設定された値を初期値として12ビットダウンカウンタ7によるダウンカウントが開始される。

## 【0037】

同図は、信号TBXが同図内に示す区間(1)内でOFFとなる場合を示している。すなわち、信号TBXがOFFとなるとRSフリップフロップ12への入力信号IF\_LAがONとなり区間(1)での信号JEX、JLX、JUXの状態が出力レジスタ13を介して信号JE、JL、JUとして出力される(この場合の出力信号(JE, JL, JU)は(0, 1, 0)となる)。

40

## 【0038】

図4は、本発明の第二の実施形態を示す機能ブロック図である。

本実施例に係るIFカウンタは、n+1ビットで構成されるダウンカウント方式IFカウント部1と、ダウンカウント方式IFカウント部1に対してIFカウント期間を生成するIFカウント期間生成部2と、nビットで構成されるIFカウント上限値を設定するためのIFカウント上限値プリセット部3と、ダウンカウント方式IFカウント部1によっ

50

てカウントされたカウント値がが所定の範囲内にあるかを判断する判定部 14 とによって構成される。

【0039】

ダウンカウント方式 I F カウント部 1 は  $n + 1$  ビットで構成されるデータのカウン機能を有する。I F カウント上限値プリセット部 3 に予め設定された  $n$  ビットで構成されるデータを初期値として、I F カウント期間生成部 2 によって生成される所定の期間内について、例えば 1 ずつデクリメント処理を行なって I F 信号をカウントする。

【0040】

I F カウント期間生成部 2 は、ダウンカウント方式 I F カウント部 1 が I F 信号をカウントする期間を生成する。すなわち、ダウンカウント方式 I F カウント部 1 へ入力されるクロック信号を監視し、前記生成された所定の期間を経過するとダウンカウント方式 I F カウント部 1 に対してリセット信号を送る。 10

【0041】

判定部 14 は、ダウンカウント方式 I F カウント部 1 でカウントしたカウント値を入力として、カウント値が所定の上限値及び下限値の範囲内にあるかを判定する。ここで、所定の上限値は I F カウント上限値プリセット部 3 に予め設定される値であり、下限値は  $n > m$  の関係を満たす  $m$  ビットのデータで与えられる。

【0042】

ダウンカウント方式 I F カウント部 1 でカウントされたカウント値の最上位ビット ( $n + 1$  ビット) が " 1 " の場合は、I F カウント値  $>$  I F カウント上限値であると判定し、 20  
 ダウンカウント方式 I F カウント部 1 でカウントされたカウント値の上位  $n + 1 - m$  ビットが全て " 0 " である場合には、I F カウント下限値 I F カウント値 I F カウント上限値であると判定する。さらに、ダウンカウント方式 I F カウント部 1 でカウントされたカウント値の上位  $n + 1 - m$  ビットが全て " 0 " でない場合には、I F カウント値  $<$  I F カウント下限値であると判定する。

【0043】

以上の構成にすることによって、さらに回路規模を小さくすることが可能となる。

本実施例は、図 2 に示す回路図において 7 ビットコンパレータ 8 及びアンド回路 10 を取り除いた回路を使用することによって実現される（従って信号 C P 及び信号 Q [ 6 : 0 ] は使用しない）。すなわち、アンド回路 9 からの出力信号 U D 0 が出力信号 J E X 及び 30  
 アンド回路 11 への入力信号となる。

【0044】

他の回路構成については、図 2 に示した回路構成と同様である。すなわち、12 ビットダウンカウンタ 7 は、図 4 に示したダウンカウント方式 I F カウント部 1 に対応する。12 ビットダウンカウンタ 7 には、図示しない例えば D I P - S W I T C H やレジスタ等で構成される 11 ビットの I F カウント上限値プリセット部に予め設定されたデータの信号 D と、カウント対象である I F 信号が図示しないリミッタ回路を介しさらに図示しない分周器によって分周された I F 信号 C K S と、リセット信号である R S T とが入力される。

【0045】

リセット信号 R S T が入力されると図示しない D I P - S W I T C H やレジスタ等で構成される I F カウント上限値プリセット部に設定されているデータが信号 D を介して 12 ビットダウンカウンタ 7 にセットされる。12 ビットダウンカウンタ 7 は、上記セットされた I F カウント上限値を初期値として I F 信号 C K S に従ってダウンカウントを行なう。 40

【0046】

ここで、上記分周器での分周比は例えば  $1 / 2$ 、 $1 / 4$ 、 $1 / 8$ 、 $1 / 16$ 、 $1 / 36$  等を選択的に使用する。また、タイムベースは必要に応じて  $4 \text{ m S} \sim 32 \text{ m S}$  程度となるように設定する。

アンド回路 9 及び 11 は、図 4 に示す判定部 14 に対応する。アンド回路 9 は、12 ビットダウンカウンタ 7 の上位 5 ビットのデータ Q [ 11 : 7 ] が入力され各ビットが全て 50

” 0 ” の場合に出力信号 U D 0 として ” 1 ” を出力する。アンド回路 1 1 に対して、アンド回路 9 からの出力信号 U D 0 及び 1 2 ビットダウンカウンタ 7 の最上位ビットのデータ Q [ 1 1 ] が入力されることによって、信号 Q [ 1 1 ] が ” 1 ” の場合には出力信号 J U X として ” 1 ” が出力され ( 図 3 に示す ( 3 ) の区間 )、信号 U D 0 が ” 1 ” の場合には出力信号 J E X として ” 1 ” が出力され ( 図 3 に示す ( 2 ) の区間 )、信号 J U X が “ 0 ” かつ信号 J E X が ” 0 ” の場合には出力信号 J L X として ” 1 ” が出力される ( 図 3 に示す ( 1 ) の区間 )。

#### 【 0 0 4 7 】

R S フリップフロップ 1 2 への入力信号である入力信号 J \_ S R は、図示しない I F カウント期間生成回路から出力される信号であり、リセット信号 R S T に同期してカウント期間の開始を指示する信号である。また、入力信号 I F \_ L A は、図示しない I F カウント期間生成回路から出力される信号であり、タイムベース信号 T B X に同期してカウント期間の終了を指示する信号である。

#### 【 0 0 4 8 】

信号 I F \_ L A に ” 0 ” が入力され、かつ J \_ 信号 S R に ” 1 ” 入力される ( すなわち、図示しない I F カウント期間生成回路で生成される I F カウント期間を示す信号 T B X が O F F となり、タイムベース期間の終了を示す信号 I F \_ L A が O N となる ) と出力信号 Q N に ” 1 ” が出力される。出力レジスタ 1 3 は、入力信号 Q N から ” 1 ” が入力されると信号 J E X、J L X、J U X をそれぞれ出力信号 J E、J L、L U として出力する。

#### 【 0 0 4 9 】

以上により、I F 信号 C K S が図示しない D I P - S W I T C H やレジスタ等で構成される I F カウント上限値プリセット部に設定された上限値より大きい場合には出力信号 ( J E、J L、L U ) が ( 0、0、1 ) となり、上限値と I F カウント上限値プリセット部に基づく下限値との間にある場合には出力信号 ( J E、J L、J U ) が ( 1、0、0 ) となり、下限値以下の場合には出力信号 ( J E、J L、J U ) が ( 0、1、0 ) となる。

#### 【 0 0 5 0 】

以上の構成によって第 1 の実施例に示した回路構成による I F カウンタよりもさらに回路規模を小さくすることが可能となる。

#### 【 図面の簡単な説明 】

#### 【 0 0 5 1 】

【 図 1 】 本発明の第一の実施形態を示す機能ブロック図である。

【 図 2 】 本発明の第一の実施形態の主要部を示す回路図である。

【 図 3 】 図 2 に示す回路によって出力される主要部の波形を示す図である。

【 図 4 】 本発明の第二の実施形態を示す機能ブロック図である。

【 図 5 】 従来例を示す機能ブロック図である。

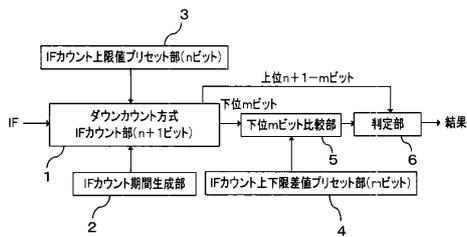
#### 【 符号の説明 】

#### 【 0 0 5 2 】

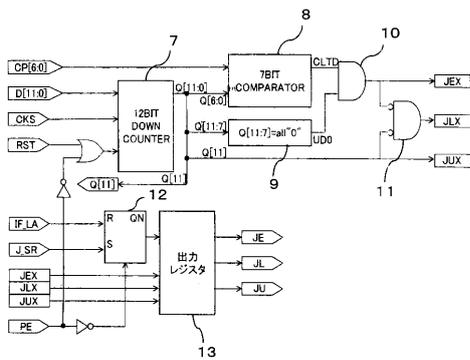
- |     |     |                     |    |
|-----|-----|---------------------|----|
| 1   | ・・・ | ダウンカウント方式 I F カウント部 |    |
| 2   | ・・・ | I F カウント期間生成部       |    |
| 3   | ・・・ | I F カウント上限値プリセット部   |    |
| 4   | ・・・ | I F カウント上下限値差プリセット部 | 40 |
| 5   | ・・・ | 下位 m ビット比較部         |    |
| 6   | ・・・ | 判定部                 |    |
| 7   | ・・・ | 1 2 ビットダウンカウンタ      |    |
| 8   | ・・・ | 7 ビットコンパレータ         |    |
| 9   | ・・・ | アンド回路               |    |
| 1 0 | ・・・ | アンド回路               |    |
| 1 1 | ・・・ | アンド回路               |    |
| 1 2 | ・・・ | R S フリップフロップ        |    |
| 1 3 | ・・・ | 出力レジスタ              | 50 |

- 1 4 . . . 判定部
- 1 5 . . . IFカウント部
- 1 6 . . . IFカウント期間生成部
- 1 7 . . . IFカウント上限値プリセット部
- 1 8 . . . IFカウント下限値プリセット部
- 1 9 . . . 上限値比較部
- 2 0 . . . 下限値比較部
- 2 1 . . . 判定部

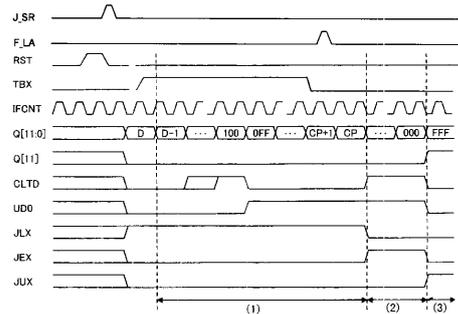
【 図 1 】



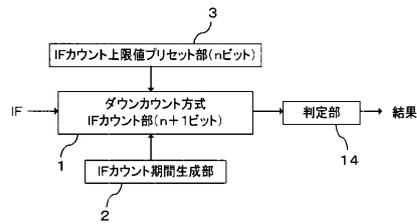
【 図 2 】



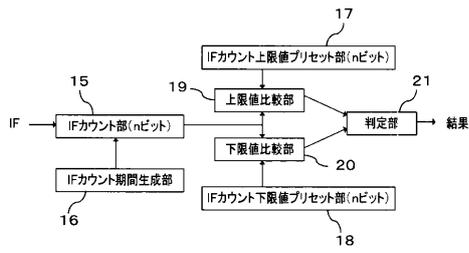
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

【要約の続き】