

1. 一种集成电路,包括熔丝器件,所述熔丝器件被配置为从电闭合状态转移到电断开状态,其中所述熔丝器件包括电绝缘PN结半导体区域,所述电绝缘PN结半导体区域被配置为响应于反向偏置电压的施加而以反向模式进行操作,当所施加的反向偏置电压小于电压阈值时,所述PN结半导体区域操作以允许电流从其中通过,并且当所施加的反向偏置电压大于或等于所述电压阈值时,所述PN结半导体区域以足够高的电阻值操作以防止电流从其中通过。

2. 根据权利要求1所述的集成电路,其中在所述电断开状态中,所述足够高的电阻值为1兆欧与50兆欧之间的电阻。

3. 根据权利要求1所述的集成电路,其中所述电断开状态中的所述足够高的电阻值与所述电闭合状态中的电阻值之间的比率在 10^6 与 5×10^8 之间。

4. 根据权利要求1所述的集成电路,其中在所述PN结半导体区域被配置以使得流通过所述PN结半导体区域的电流的电平的演化曲线是对所述反向偏置电压的响应,在所述反向偏置电压保持小于所述电压阈值并且所述熔丝器件在所述电闭合状态中进行操作的情况下,所述电流的电平随着所述反向偏置电压的增加而增加,并且当所述反向偏置电压达到所述电压阈值并且所述熔丝器件在所述电断开状态下操作时,所述电流的电平急剧下降到第一电流阈值以下。

5. 根据权利要求4所述的集成电路,其中在所述PN结半导体区域中在恰好所述下降之前的电流与在所述第一电流阈值处的电流的比率在 10^8 与 10^{12} 之间。

6. 根据权利要求1所述的集成电路,其中所述PN结半导体区域包括:

具有第一导电性类型P的第一半导体区;

具有第二导电性类型N的第二半导体区,所述第二导电性类型与所述第一导电性类型相对,所述第二半导体区在所述PN结半导体区域处与所述第一半导体区相接触;

所述第一半导体区上的第一导电接触区;以及

所述第二半导体区上的第二导电接触区;

其中所述PN结半导体区域不与所述第一导电接触区或所述第二导电接触区中的任何一个相接触。

7. 根据权利要求6所述的集成电路,其中所述第一半导体区和所述第二半导体区中的一个半导体区具有非均质浓度的掺杂剂,所述非均质浓度的掺杂剂在所述PN结半导体区域的位置处具有较低浓度值并且在对应的导电接触区的位置处具有较高浓度值。

8. 根据权利要求7所述的集成电路,其中在所述PN结半导体区域的所述位置处的所述较低浓度值是P掺杂区域。

9. 根据权利要求7所述的集成电路,其中所述PN结半导体区域的所述位置处的所述较低浓度值是N掺杂区域。

10. 根据权利要求7所述的集成电路,其中所述较低浓度值大于或等于 $c/10$ 并且小于或等于 $3c/10$,其中 c 是所述较高浓度值。

11. 根据权利要求1所述的集成电路,还包括半导体衬底和形成在所述半导体衬底中的沟槽隔离部,其中所述电绝缘PN结半导体区域位于所述沟槽隔离部的顶部表面上。

12. 根据权利要求1所述的集成电路,还包括半导体衬底层和掩埋氧化物层,其中所述电绝缘PN结半导体区域位于所述掩埋氧化物层的顶部表面上的所述半导体衬底层中,并且

通过沟槽隔离部而横向绝缘。

13. 根据权利要求1所述的集成电路,其中所述熔丝器件被配置为存储二进制信息项,所述二进制信息项的逻辑值取决于所述熔丝器件的状态。

14. 根据权利要求1所述的集成电路,包括多个熔丝器件。

15. 根据权利要求14所述的集成电路,其中所述多个熔丝器件被配置为存储数字字。

16. 根据权利要求1所述的集成电路,还包括读取电路,被配置为检测所述熔丝器件的状态。

17. 一种集成电路,包括熔丝器件,所述熔丝器件被配置为从电闭合状态转移到电断开状态,所述熔丝器件包括:

电绝缘PN结半导体区域,包括具有第一导电性类型P的第一半导体区以及具有第二导电性类型N的第二半导体区,所述第二导电性类型与所述第一导电性类型相对,所述第一半导体区和所述第二半导体区形成PN结半导体区域,

在所述第一半导体区上的第一导电接触区,

在所述第二半导体区上的第二导电接触区,

其中所述PN结半导体区域不与所述第一导电接触区和所述第二导电接触区相接触,

其中所述第二半导体区具有非均质浓度的掺杂剂,所述非均质浓度的掺杂剂在所述PN结半导体区域的位置处具有较低浓度值并且在对应的导电接触区的位置处具有较高浓度值;

其中所述第二半导体区包括第一域和第二域,所述第二域与所述第一域相比更少强掺杂,所述第二域相接触地设置为在所述第二半导体区的所述第一域与所述第一半导体区之间接触,所述PN结半导体区域被形成在所述第二域与所述第一半导体区之间,并且其中所述第一导电接触区位于所述第一半导体区上并且所述第二导电接触区位于所述第一域上;以及

其中所述第二域的掺杂剂的浓度大于或等于 $c/10$ 并且小于或等于 $3c/10$,其中 c 是所述第一域的掺杂剂的浓度。

18. 根据权利要求17所述的集成电路,其中所述第二域的长度大于或等于0.5微米并且小于或等于2.5微米。

19. 根据权利要求17所述的集成电路,其中所述电绝缘PN结半导体区域的厚度在2微米与2.5微米之间。

20. 根据权利要求17所述的集成电路,还包括衬底,并且其中所述电绝缘PN结半导体区域通过绝缘区域与所述衬底绝缘。

21. 根据权利要求20所述的集成电路,其中所述电绝缘PN结半导体区域包括位于所述绝缘区域上的掺杂多晶硅条,并且其中所述绝缘区域是浅沟槽型绝缘。

22. 根据权利要求20所述的集成电路,其中所述衬底是绝缘体上硅的类型,包括载体衬底、位于所述载体衬底上的掩埋绝缘层以及位于所述掩埋绝缘层上的半导体膜,并且其中所述电绝缘PN结半导体区域是所述半导体膜的位于所述掩埋绝缘层上的掺杂部分并且与所述半导体膜的其余部分横向绝缘。

23. 根据权利要求17所述的集成电路,其中所述熔丝器件被配置为存储二进制信息项,所述二进制信息项的逻辑值取决于所述熔丝器件的状态。

24. 根据权利要求17所述的集成电路,包括多个熔丝器件。
25. 根据权利要求24所述的集成电路,其中所述多个熔丝器件被配置为存储数字字。
26. 根据权利要求17所述的集成电路,还包括被配置为检测所述熔丝器件的状态的读取电路。

集成的熔丝器件

[0001] 相关申请的交叉引用

[0002] 本申请要求于2017年3月1日提交的专利号为1751665的法国申请的优先权,该申请的公开内容以法律允许的最大程度通过引用而整体并入本文。

技术领域

[0003] 本发明的实施例涉及集成电路,并且更具体地涉及熔丝器件(或简称为“熔丝”)。

背景技术

[0004] 通常,熔丝器件是自然拥有电通过或闭合状态(其中熔丝器件允许电流通过并因此充当闭合开关)以及电断开状态(其中熔丝器件充当断开开关(到可能的电流泄漏内))的器件。

[0005] 在存在触发事件的情况下,熔丝器件从其电通过状态转移到电断开状态,并且该转移是不可逆转的,也就是说,已经转移到其电断开状态的熔丝器件不能返回到电通过状态。

[0006] 熔丝器件在电子设备中有许多应用,并且使得调整电容和/或电阻值成为可能,特别是在集成电路生产之后。在这方面,例如可以生产通过熔丝器件并联连接的电容器网络,这些熔丝器件根据期望的最终电容值而将被选择性地断开。

[0007] 在可能的应用中,可以引用但不限于此的是存储器电路、特别是EEPROM存储器,在这些电路内可执行电容调整(“修整”)。

[0008] 目前,用于生产熔丝器件的常规解决方案包括使用借助激光束而被局部熔化的金属线(自然电通过),以使熔丝转移到其断开状态。然而,这种技术需要附加的设备项目(即,激光器)和附加的方法步骤。

[0009] 需要简化集成电路内的熔丝器件的生产和实施。

发明内容

[0010] 根据实施例,提出了熔丝器件的完全不同的结构,该熔丝器件拥有自然电通过状态并且能够通过修改熔丝器件的电子行为而被置于电断开状态。

[0011] 根据一个实施例,提出了使用PN结或二极管作为熔丝元件,PN结或二极管在展现出非常低的电阻的反向操作模式中是非理想的并且是泄漏的,从而赋予PN结或二极管电通过状态。另一方面,在编程之后(即,在施加足够的反向偏置电压之后),该二极管不再充当二极管而是作为展现出特别高的电阻值的电阻元件。

[0012] 因此,根据一个方面,提出了包括一种集成电路,该集成电路包括至少一个熔丝器件,该至少一个熔丝器件被配置为从电闭合状态转移到电断开状态。

[0013] 该熔丝器件包括PN结半导体区域,PN结半导体区域与集成电路的其余部分电绝缘并且被配置为在施加小于电压阈值的反向偏置电压时以其反向模式进行操作,该熔丝器件因而处于它的电闭合状态,并且PN结半导体区域被配置为在施加大于或等于电压阈值的反

向偏置电压之后,表现为具有足够高值的电阻,使得熔丝器件被认为是处于它的电断开模式。

[0014] 根据应用,并且具体根据在集成电路中使用的电压,本领域技术人员将知道如何将结区域配置为针对所设想的应用和电压而获得足够高的电阻值,以将熔丝器件认为处于它的电断开模式(即,展示出可忽略的泄漏电流)。

[0015] 因此,作为非限制性示例,在电断开模式中,PN结半导体区域被配置以使得例如对于大约1伏特至几伏特(具体是5伏特)的量级的电压,电阻值可以在约1兆欧与约50兆欧之间。

[0016] 根据一个实施例,PN结半导体区域被配置以使得电断开模式中的电阻值与反向操作模式中的PN结的电阻值之间的比率在约 10^6 与约 5×10^8 之间。

[0017] 根据一个实施例,PN结半导体区域被配置以使得:当被反向偏置时,流通过PN结的电流的电平的演化曲线随反向偏置电压而增加,直到反向偏置电压保持小于电压阈值(熔丝器件因而处于它的电闭合状态),并且该电流的电平的演化曲线在反向偏置电压达到电压阈值时急剧下降到第一电流阈值以下。

[0018] 此时,结区域PN不再充当二极管,但是该结区域的电行为已经以不可逆的方式被修改,以便表现为具有大值的电阻。

[0019] 更具体地,PN结半导体区域被配置以使得恰好在下降之前的电流的电平与第一电流阈值(即恰好在下降之后)之间的比率在约 10^8 与约 10^{12} 之间。

[0020] 可以获得上述效果的非限制性示例性结构如下:PN结半导体区域包括:具有第一导电性类型P的第一半导体区以及具有第二导电性类型N的第二半导体区,第二导电性类型与第一导电性类型相对,第一半导体区和第二半导体区在它们的交界处形成PN结;第一半导体区上的第一导电接触区;第二半导体区上的第二导电接触区,PN结不与这两个接触区接触,并且第一区和第二区中的至少一个具有非均质浓度的掺杂剂,该非均质浓度的掺杂剂在该结的级别处比在对应接触区的级别处具有更低的浓度值。

[0021] 在第一变型中,这两个区中展示出非均质浓度的掺杂剂的区可以具有P型导电性。

[0022] 在该第一变型中,根据一个实施例,第一半导体区域包括第一域(例如P+掺杂)以及第二域(例如,P掺杂),第二域与第一域相比更少强掺杂,第二域相接触地设置在第一区的第一域与第二区(例如,N+掺杂)之间,PN结被形成在第二域与第二区之间,并且两个接触区域分别位于第一域和第二区上。

[0023] 即,在某些情况下,优选的是,两个区中展示出非均质浓度的掺杂剂的一个区具有N型导电性。该另一变型可以特别使导致电流急剧下降的电压阈值具有较低值。

[0024] 在该另一变型中,根据一个实施例,第二半导体区包括第一域(例如N+掺杂)以及第二域(例如,N掺杂),第二域与第一域相比更少强掺杂,第二域相接触地设置在第二区的第一域与第一区(例如,P+掺杂)之间,PN结被形成在第二域与第一区之间,并且两个接触区域分别位于第一域和第一区上。

[0025] 无论第二域的掺杂剂的浓度如何,都可以获得上述效果。即,为了特别利用不太高并且与集成电路中采用的技术兼容的电压阈值(通常为小于15伏特的电压阈值)来获得工业上可接受的效果,第二域的掺杂剂的浓度有利地大于或等于 $5c/10$ 并且小于或等于 $5c/10$,其中c是第一域的掺杂剂的浓度。

[0026] 同样,第二域的长度也影响电压阈值的值。

[0027] 因此,这里再次为了特别利用不太高并且与集成电路中采用的技术兼容的电压阈值(通常为小于15伏特的电压阈值)来获得工业上可接受的效果,有利的是,第二域的长度大于或等于0.5微米并且,有利的是,第二域的长度小于或等于2.5微米。

[0028] 有利的是,结半导体区域通过绝缘区域与集成电路的衬底绝缘。这使得熔丝器件的操作可以不会被由衬底的存在而导致的寄生二极管所干扰。

[0029] 结半导体区域可以包括位于浅沟槽类型的绝缘区域(STI:浅沟槽绝缘(Shallow Trench Insulation))上的掺杂多晶硅条。这使得可以将结半导体区域与大块的衬底或与阱相绝缘。

[0030] 结半导体区域的厚度可以在2微米与2.5微米之间。

[0031] 作为变型,衬底可以是绝缘体上硅(SOI:Silicon On Insulator),该绝缘体上硅包括载体衬底、位于载体衬底上的掩埋绝缘层以及位于掩埋绝缘层上的半导体膜,并且结半导体区域因而是半导体膜的掺杂部分、位于掩埋绝缘层上、并且例如通过浅沟槽而与半导体膜的其余部分横向绝缘。

[0032] 根据另一方面,提出了一种集成电路,该集成电路包括至少一个熔丝器件,该至少一个熔丝器件被配置为从电闭合状态转移到电断开状态,其中熔丝器件包括PN结半导体区域,该PN结半导体区域与集成电路的其余部分电绝缘并且包括具有第一导电性类型P的第一半导体区、具有与第一导电性类型相对的第二导电性类型N的第二半导体区,第一半导体区和第二半导体区在其交界处形成PN结;在第一半导体区上的第一导电接触区;在第二半导体区上的第二导电接触区域,PN结不与两个接触区相接触,第一区和第二区中的至少一个在该结的级别处具有比在对应的接触区的级别处更低的不均匀浓度值的掺杂剂。

[0033] 这样的熔丝器件还可以被配置为存储二进制信息项,二进制信息项的逻辑值取决于该器件的状态(通过或断开)。并且借助于读取电路(例如测量逻辑电路,该测量逻辑电路通过对两个接触区施加读取电压来确定流通过该器件的电流),可以容易地确定该状态。

[0034] 当集成电路包括多个熔丝器件时,它们例如可以存储数字字(例如但不限于集成电路的标识符)。在这种情况下,读取电路被配置为检测这些熔丝器件中的每一个的状态。

附图说明

[0035] 通过审查完全非限制性模式的实现和实施例的详细描述以及附图,本发明的其他优点和特性将变得显而易见,其中:

[0036] 图1和图2是集成电路熔丝的俯视图和截面图;

[0037] 图3示出了流通过结半导体区域的电流根据图1-图2的电路电压的演化;

[0038] 图4示出了流通过结半导体区域的电流根据电压的以10为底的对数的演化;

[0039] 图5是集成电路熔丝的截面图;

[0040] 图6示出了通过结半导体区域的电流根据图5的电路电压的演化;

[0041] 图7是集成电路熔丝的截面图;

[0042] 图8示出了使用熔丝电路来执行电容值的调整(修整);以及

[0043] 图9示出了使用熔丝电路来存储数字字。

具体实施方式

[0044] 在图1和图2中,应用IC来指示集成电路,该集成电路包括位于绝缘区域RIS之上的熔丝器件DFS,此处浅沟槽即是通常具有介于250nm与400nm之间的深度的沟槽。

[0045] 浅沟槽RIS由半导体衬底SB制成,并且在半导体衬底SB中或在其上可以生产集成电路的其他组件(诸如举例而言,晶体管TR)。

[0046] 图2是图1的线II-II上的截面图,其中为了简化起见,晶体管TR未被表示。

[0047] 熔丝器件包括与集成电路IC的其余部分电绝缘的PN结半导体区域(标记为RJ)。

[0048] 实际上,在这里描述的示例中,结半导体区域RJ位于绝缘区域RIS之上,并且包括根据掺杂配置而掺杂的多晶硅条,该掺杂配置将在下文更详细地描述。

[0049] 通过另一绝缘区域(通常是电介质材料,其由本领域技术人员通过表达式PMD(金属前电介质,Pre-Metal Dielectric)来指代),多晶硅条与集成电路的其他组件(在这种情况下为晶体管TR)横向绝缘。

[0050] 此外,如在集成电路的制造中常规的那样,多晶硅条RJ被覆盖有绝缘保护层2(通常被本领域技术人员称为“硅保护层”(SiProt layer))。

[0051] 结半导体区域RJ的厚度例如在1000埃(Ångströms)与2500埃之间,并且可以等于2000埃。有利的是,该厚度对应于晶体管TR的栅极GR的高度。

[0052] 结半导体区域RJ完全不必位于浅沟槽型的区域RIS上。实际上,该区域RJ也可以直接位于衬底SB之上。在该实施例中,在衬底SB与区域RJ之间设置绝缘层(通常是在集成电路的制造中通常存在的二氧化硅层)。

[0053] 在图1和图2所描述的示例中,被标记为RJ的PN结半导体区域包括具有P型导电性和P+掺杂的第一半导体区Z1。通常,对于约2500埃量级的厚度的区域RJ,第一区Z1中的掺杂剂的浓度大约为 10^{20} 原子/cm³的量级,并且已经例如在以 2.5×10^{15} 原子/cm²量级剂量的硼注入的基础上被获得。

[0054] 这些半导体区域RJ还包括具有N型导电性的第二半导体区域Z2。

[0055] 第一区Z1和第二区Z2在其交界处相接触并且形成由JCT标记的PN结。

[0056] 熔丝器件DFS还包括位于第一半导体区Z1上的第一导电接触区ZC1以及位于第二半导体区Z2上的第二导电接触区ZC2。

[0057] 这两个接触区通常可以是包括金属硅化物的区。

[0058] 这些接触区旨在被耦合到导电接触件CT1和CT2,导电接触件CT1和CT2可以将区Z1和Z2连接到集成电路IC的互连部件的第一金属水平(通常由本领域技术人员通过BEOL“线路后端(Back End Of Line)”来指示)。

[0059] 以一般的方式,结JCT不与两个接触区ZC1和ZC2相接触,使得结JCT不被短路。

[0060] 此外,一般地,第一区和第二区Z1和Z2中的至少一个在结JCT的位置处比在对应的接触区的位置处具有更低浓度值的非均质浓度的掺杂剂。

[0061] 因此,在这里所描述的示例中,N型导电性的第二区Z2在结JCT的位置处比在对应接触区ZC2的位置处具有更低浓度掺杂剂的非均质浓度掺杂剂。

[0062] 在这里所描述的示例中,第二区Z2的这种非均质浓度掺杂剂是通过以下来获得:在该第二区Z2中进行注入而产生不同浓度的两个域。

[0063] 更准确地说,第二半导体区Z2包含第一域D1和第二域D2,第二域D2与第一域D1相

比更少强掺杂。

[0064] 因此,在该示例中,第一域D1以如下掺杂剂浓度而被N⁺掺杂:与例如第一区Z1的掺杂剂浓度(即,通过以 2.5×10^{15} 原子/cm²量级剂量的砷注入而获得的 10^{20} 原子/cm³量级的浓度)相等的掺杂剂浓度。

[0065] 第二域D2的掺杂剂的浓度在此是通过以 8×10^{14} 原子/cm²量级剂量的砷注入而获得的 4×10^{19} 原子/cm³的量级。

[0066] 因此,由此看出,域D2的掺杂剂的浓度c₂是第一域D1的掺杂剂浓度c的0.4倍的量级。

[0067] 该浓度c₂也比第一半导体区Z1的掺杂剂的浓度小,以保持“泄漏的”二极管效应。

[0068] 以通常的方式,被标记为RJ的PN结半导体区域被配置为:在施加小于电压阈值的反向偏置电压时,以其反向模式进行操作,熔丝器件因而处于电闭合状态。

[0069] 此外,该结半导体区域RJ还被配置为:在施加大于或等于电压阈值的反向偏置电压之后,表现为具有足够高的值的电阻,使得熔丝器件被认为处于它的电断开模式。

[0070] 这在图3和图4中更详细示出。

[0071] 图3表示针对第二域D2的长度L和半导体区域RJ的宽度W的各种值,流通过结半导体区域RJ的电流根据被施加在两个接触区ZC1和ZC2之间的电压的演化。

[0072] 如图1所示,长度L是将第二区Z2的第一域D1与结JCT分离的距离,而宽度W是所测算的与长度L正交的区域RJ的横向尺寸。

[0073] 针对等于7.4微米的宽度W以及等于2微米的长度L绘制了曲线CV₂。

[0074] 对于曲线CV₃,W等于7.4微米,并且L等于1.5微米。

[0075] 对于曲线CV₄,W=0.7微米,并且L=2微米。

[0076] 对于曲线CV₅,W=0.35微米,并且L=2微米。

[0077] 在这些曲线上看到,当结半导体区域RJ被正向偏置时(即,当接触区ZC1与接触区ZC2之间的电压差为正时),该结半导体区域表现为二极管。

[0078] 另一方面,在存在反向偏置电压(即,存在被施加在接触区ZC1与接触区ZC2之间的负电压差)的情况下,只要反向偏置电压保持低于电压阈值,则流通过PN结JCT的电流的电平随着反向偏置电压而增加。

[0079] 如图3所示,针对曲线CV₂的电压阈值VS₂位于8.5伏特附近,而针对曲线CV₃的电压阈值VS₃略小于8伏特,并且针对曲线CV₄的电压阈值VS₄位于11伏特附近。

[0080] 在该操作区中,即当反向偏置电压低于电压阈值VS_i时,熔丝器件处于它的电闭合状态。

[0081] 接下来,当反向偏置电压达到电压阈值时,流通过PN结的电流的电平急剧下降到第一电流阈值以下,在当前情况中,第一电流阈值位于 10^{-11} 安培附近。

[0082] 从该时刻起,结半导体区域RJ的电行为已经被修改,并且该结半导体区域然后表现为具有非常高的值的电阻,熔丝器件因而被认为处于它的电断开模式。

[0083] 该行为在图4中被示意性示出,图4表示流通过结半导体区域的电流I根据被施加到其端子的电压的、以10为底的对数的演化。通过曲线CV₆示出了该演化。

[0084] 被标记为RJ的PN结半导体区域实际上被配置以使得恰好在下降之前的电流电平与第一电流阈值之间的比率在约 10^8 与约 10^{12} 之间。

[0085] 已经结合图1和图2描述的熔丝器件DFS结构仅仅是非限制性的示例性结构,使得可以获得上文所述的电效果。

[0086] 上述电效果可以通过一般方式获得,条件是第二域D2的长度L严格为正,并且第二域D2的掺杂剂的浓度 c_2 小于第二半导体区Z2的第一域D1的掺杂剂的浓度 c 。

[0087] 即,这些各种参数影响电压阈值 V_{Si} 的值,电流电平将从该电压阈值 V_{Si} 急剧下降。

[0088] 因此,对于给定的宽度W,第二域的长度L使得可以影响该电压阈值 V_{Si} 的电平。实际上,对于同一宽度W,长度L越小,电压阈值 V_{Si} 的电平将越低。

[0089] 同样地,为了具有对于应用以及通常被施加到集成电路的电压可接受的电压阈值 V_{Si} (即,通常具有小于15伏特的电压阈值),优选的是,第二域D2的浓度 c_2 大于或等于第一个域D1的浓度 c 的30%,并且小于或等于该浓度的50%。

[0090] 同样地,优选地是,第二域D2的长度L大于或等于0.5微米并且小于或等于2.5微米。

[0091] 还要注意的,对于第二域D2的同一长度L,宽度W对电压阈值 V_{Si} 具有影响。因此,对于第二域D2的同一长度L,W增加地越多,阈值 V_{Si} 随着对于W为5微米的值附近的饱和效应而降低地越多。

[0092] 本领域技术人员在考虑设想获得例如具有最小阈值 V_{Si} 的最小可能体积的器件的应用时,将知道找到L、W的值与掺杂剂的各种浓度的值之间的折衷。

[0093] 此外,如上所述,优选的是,第二域D2中的掺杂剂的浓度 c_2 比第一区Z1中的掺杂剂的浓度 c_1 小,特别是以获得良好的“泄漏”二极管效应。

[0094] 在刚刚描述的示例性实施例中,第二域D2具有与第二半导体区Z2的第一域D1相同类型的导电性。

[0095] 然而,如图5所示,完全可能的是,此时第一区Z1包括比第二域D2更强掺杂的第一域D1,该第二域D2此时与第二半导体区Z2接触。

[0096] 在该示例中,第一半导体区Z1的第二域D2的掺杂剂的浓度例如也可以是 4×10^{19} 原子/ cm^3 的量级并且通过硼注入而获得。

[0097] 此外,第一半导体区Z1的第一域D1和第二半导体区Z2的掺杂剂的浓度可以等于 10^{20} 原子/ cm^3 。

[0098] 特别针对以下所提及的优选条件与上述优选条件相同:第二域D2的长度L,以及相对于第一半导体区Z1的第一域D1的浓度 c 的该第二域D2的浓度 c_1 。

[0099] 即,如图6所示,图6再次表示如图3所示的曲线的电流电压曲线,对于其中第二域D2的导电性为P型的实施例,导致电流下降的电压阈值更显著。注意,电压阈值 V_{Si} 向左移位,即,其在较高的电压阈值下发生。特别是针对曲线CV30,看到电压阈值 V_{S30} 位于10伏特附近,而对应的阈值 V_{S3} 小于8伏特。

[0100] 在刚刚描述的示例性实施例中,结半导体区域RJ包括位于绝缘区域RIS上的掺杂多晶硅条。

[0101] 即,如图7所示,可以提供集成电路,该集成电路的衬底是绝缘体上硅(SOI)型,包括载体衬底40、通常被本领域技术人员称为“BOX”的掩埋绝缘层41、以及位于掩埋绝缘层41上的半导体膜42。

[0102] 在这种情况下,如图7所示,熔丝器件DFS的结半导体区域RJ可以是半导体膜的掺

杂部分,该掺杂部分位于掩埋绝缘层41上并且通过绝缘区域RIS与例如浅沟槽类型的半导体膜的其余部分横向绝缘。

[0103] 因此,结半导体区域保持与集成电路的其余部分(特别是半导体膜42和载体衬底40)完全绝缘。

[0104] 根据半导体膜42的厚度,特别是当该膜非常薄时(如在完全耗尽的绝缘体上硅(Fully Depleted Silicon On Insulator,FDSOI)类型的技术中的情况下),第一区Z1和Z2自然可以通过外延升高,以允许容易地拾取这些区上的接触。

[0105] 应当注意,将熔丝器件放置在浅沟槽(图2)或“BOX”层41上提供了使得熔丝器件位于足够厚的氧化物区域上的优点,以最小化或实际消除在施加如下电压时相邻衬底中的不期望的效应,在该电压达到电压阈值 V_{Si} 时,该电压被施加在两个接触区ZC1和ZC2之间。

[0106] 熔丝器件具有许多应用。

[0107] 因此,如图8所示,可以执行电容值(例如)的调整(修整)。

[0108] 因此,如图8所示,可以并联设置多个电容器CD1-CDN,每个电容器与熔丝器件DFS_i串联连接。

[0109] 另外,根据熔丝器件的断开或闭合状态,可以调整电容网络的总电容值。

[0110] 也可以使用熔丝器件作为能够存储二进制信息项的器件,二进制信息项的逻辑值取决于该器件的状态。

[0111] 因此,例如,如果器件DFS_i处于通过状态,则所存储的逻辑值可以等于1,而如果熔丝器件处于断开状态,则逻辑值等于0。

[0112] 然后可以如图9所示提供集成电路,该集成电路包括一组熔丝器件,该组熔丝器件被配置为将数字字存储在一起。该数字字可以是例如集成电路标识符,但不限于该示例。此外,在这种情况下,集成电路可以包括读取电路ML,该读取电路ML被配置为检测每个熔丝器件的状态。

[0113] 该读取电路本身可以具有已知的常规结构,并且例如旨在测量通过熔丝器件的电流的值,以确定熔丝器件的闭合或断开状态,并且因此确定数字字的该对应状态的比特的逻辑值。

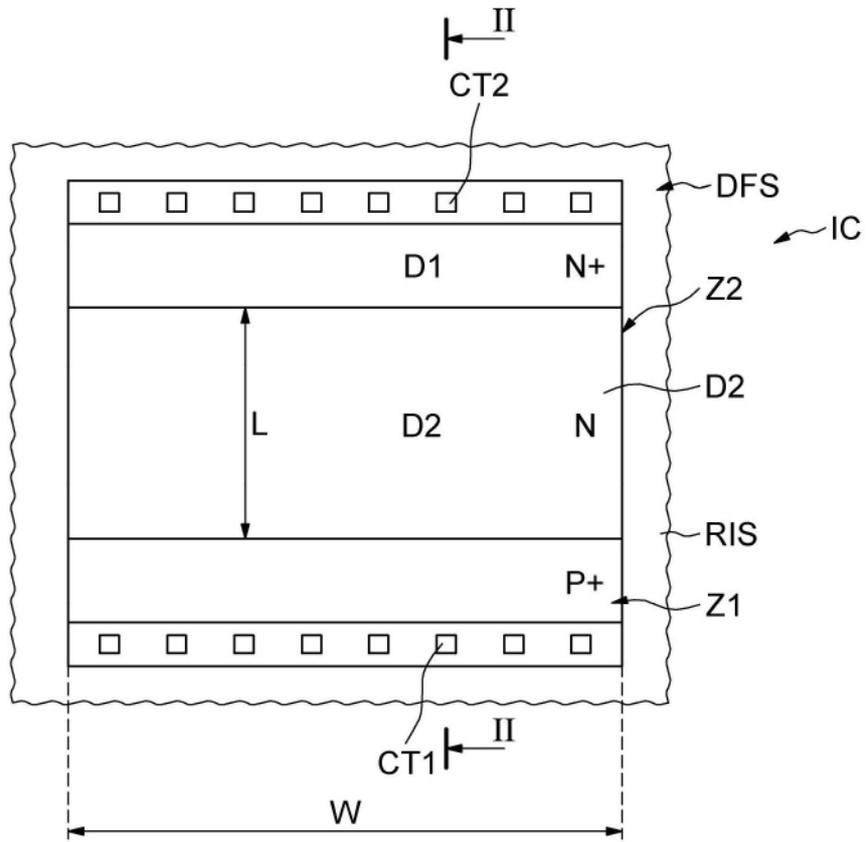


图1

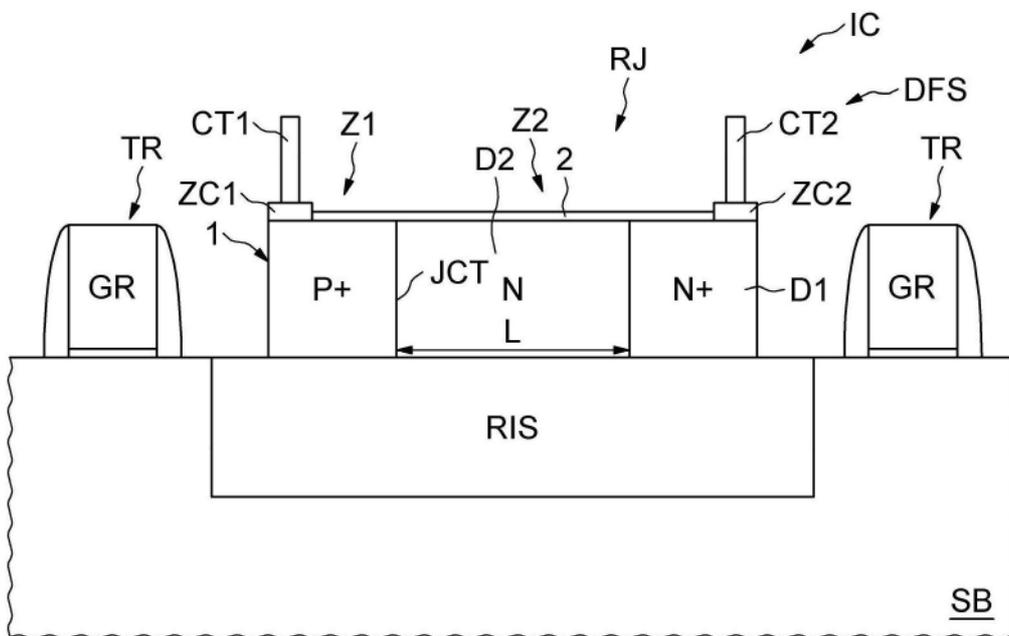


图2

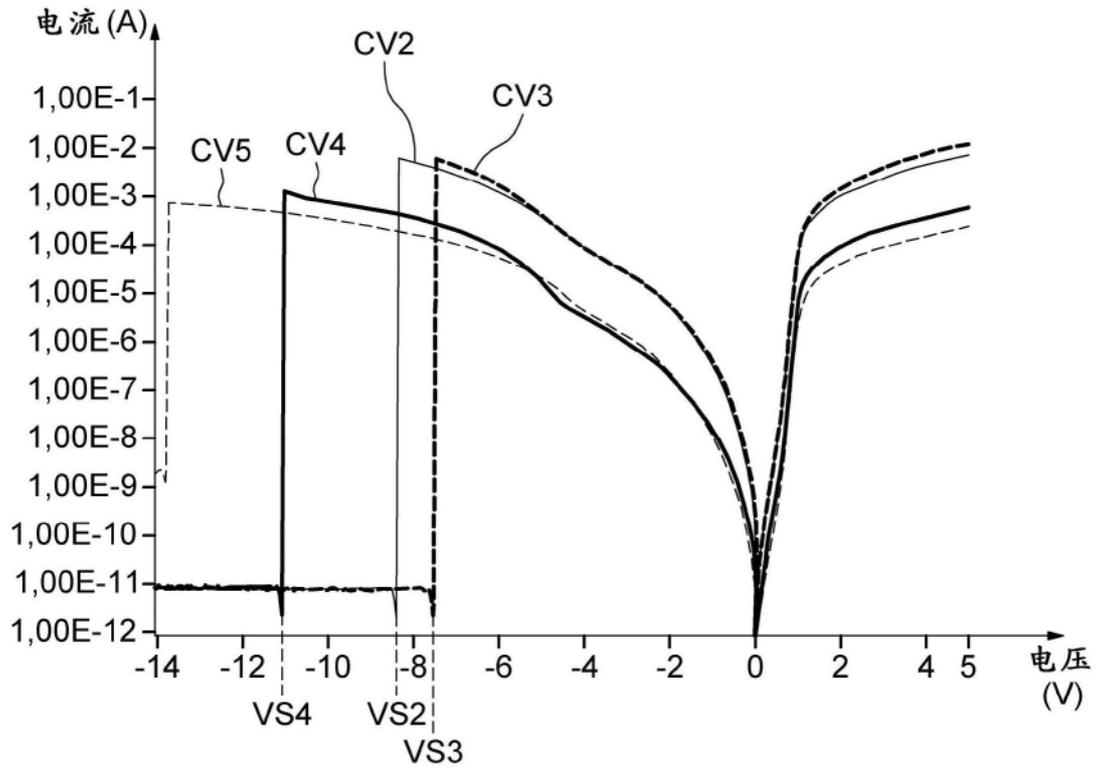


图3

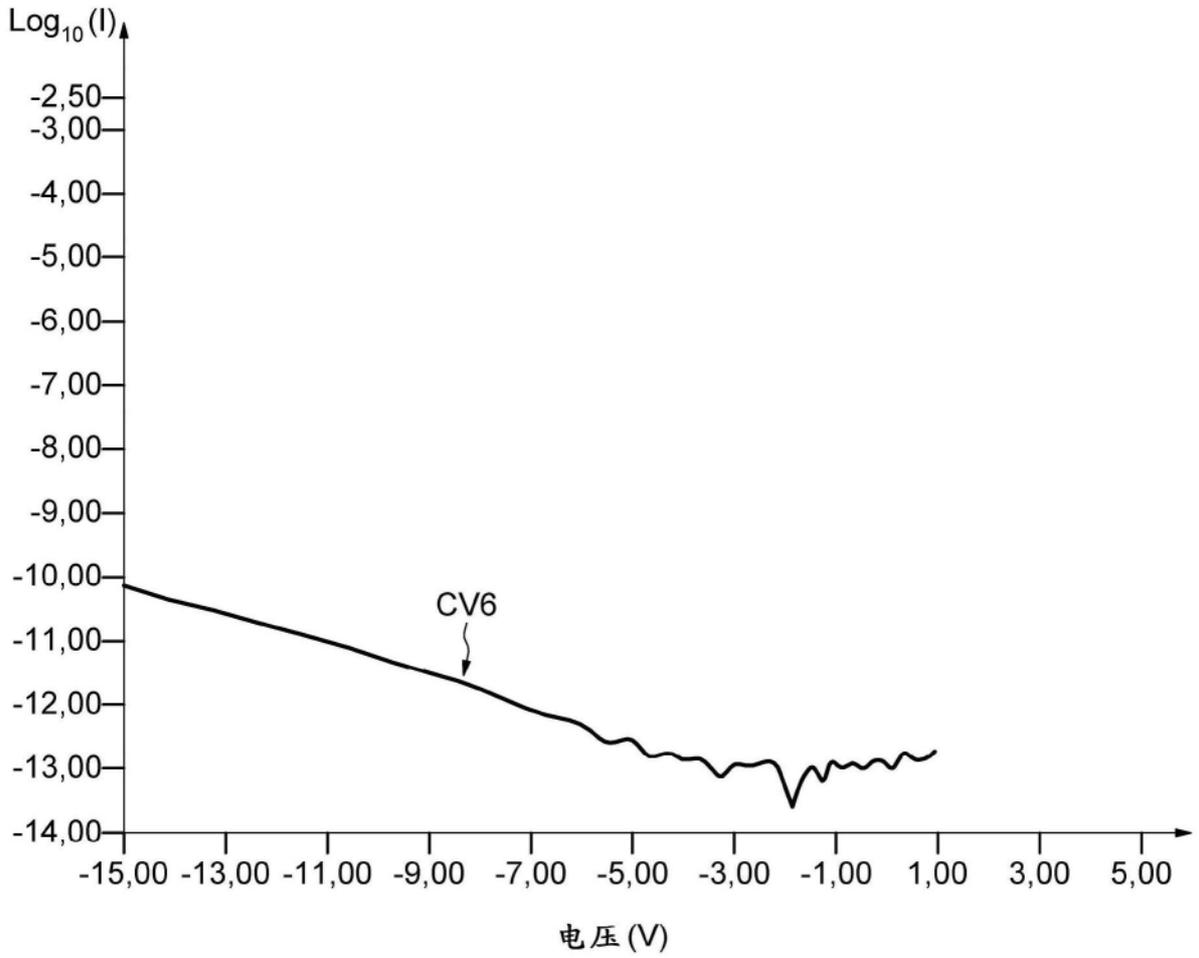


图4

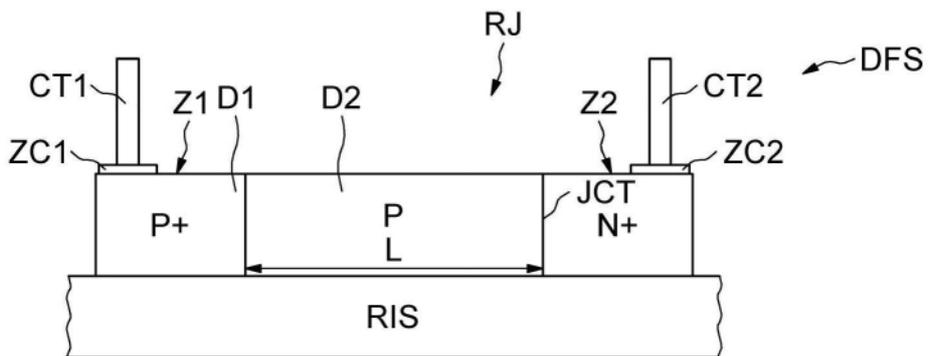


图5

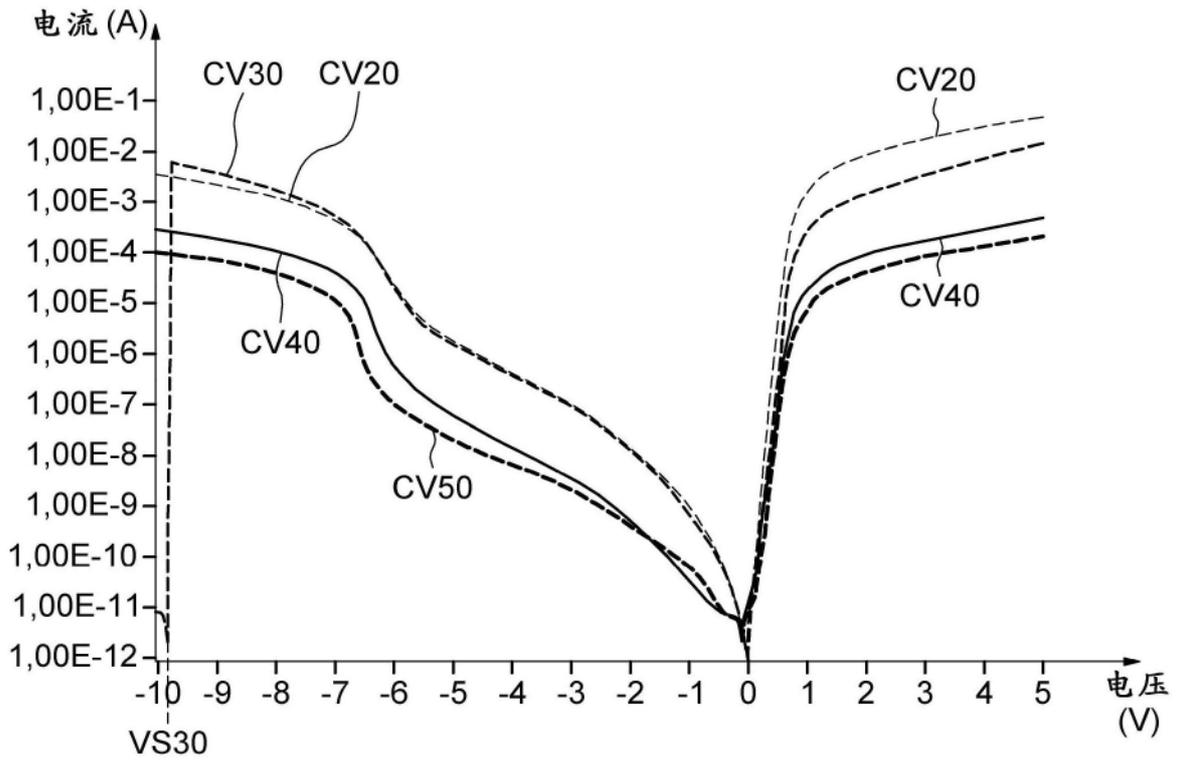


图6

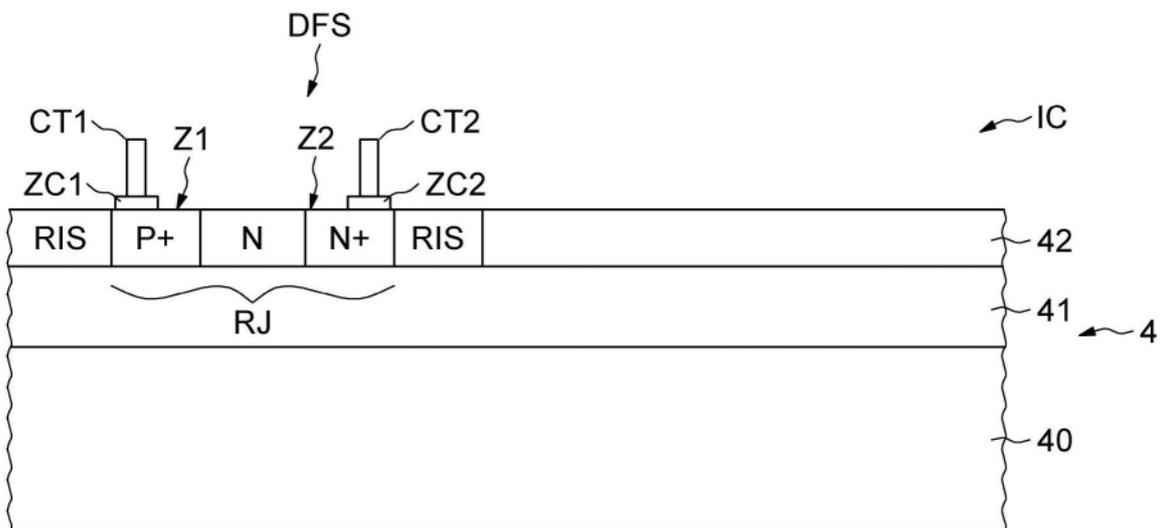


图7

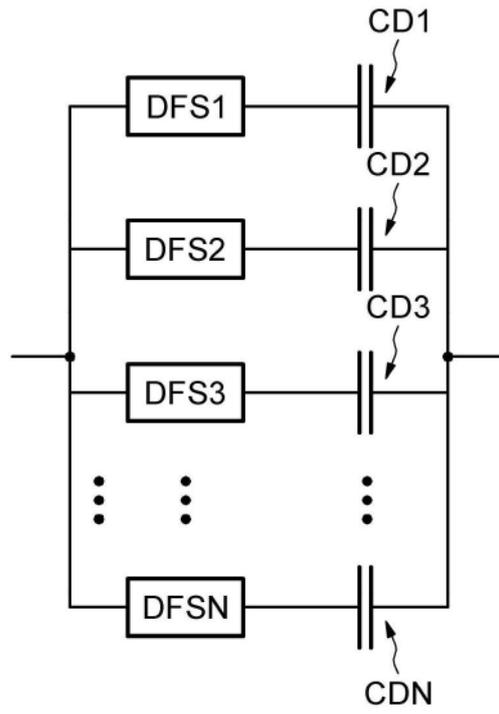


图8



图9