



(12)发明专利

(10)授权公告号 CN 108233742 B

(45)授权公告日 2020.06.23

(21)申请号 201711340062.7

(22)申请日 2017.12.14

(65)同一申请的已公布的文献号  
申请公布号 CN 108233742 A

(43)申请公布日 2018.06.29

(30)优先权数据  
15/379,055 2016.12.14 US

(73)专利权人 英飞凌科技股份有限公司  
地址 德国瑙伊贝尔格市

(72)发明人 阿尔比诺·皮杜蒂  
达米亚诺·加德勒  
赫伯特·吉特勒 亚武兹·克勒奇  
迈克尔·伦兹 扬尼斯·帕赫尼斯

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 康建峰 韩雪梅

(51)Int.Cl.  
H02M 7/217(2006.01)  
H02M 7/00(2006.01)  
H02H 7/125(2006.01)

(56)对比文件  
US 2010244559 A1,2010.09.30,  
US 6563726 B1,2003.05.13,  
US 2007081371 A1,2007.04.12,  
US 7906953 B2,2011.03.15,

审查员 周杰

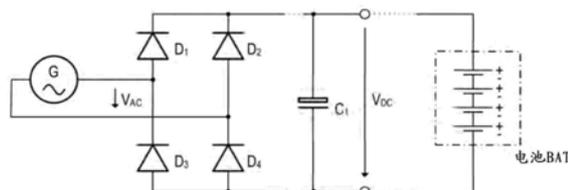
权利要求书5页 说明书20页 附图15页

(54)发明名称

整流器装置及其操作方法

(57)摘要

本文描述了一种整流器装置及其操作方法。根据一个示例,整流器包括半导体基板并且还包  
括通过第一MOS晶体管的负载电流路径以及并  
联连接至负载电流路径的二极管来连接的阳  
极端子和阴极端子。在阳极端子与阴极端子  
之间可操作地施加交流输入电压。此外,整  
流器包括被配置成使第一MOS晶体管在导  
通时间段内导通的控制电路,在导通时间段  
期间二极管被正向偏置。第一MOS晶体管、  
二极管以及控制电路被集成在半导体基板上。



1. 一种整流器装置,包括:

阳极端子和阴极端子,所述阳极端子和所述阴极端子通过第一MOS晶体管的负载电流路径以及并联连接至所述负载电流路径的二极管来连接;在所述阳极端子与所述阴极端子之间可操作地施加交流输入电压;以及

控制电路,包括:

控制逻辑,所述控制逻辑被配置成:

使所述第一MOS晶体管在导通时间段内导通,在所述导通时间段期间所述二极管被正向偏置,

通过检测所述二极管两端的电压已经达到限定的第一阈值电压的第一时刻,来检测所述导通时间段的开始,

通过检测在所述第一MOS晶体管的负载电流路径两端的电压降已经达到限定的第二阈值电压的第二时刻,来检测所述导通时间段的结束,和

在限定的掩蔽时间段内掩蔽掉对所述第二时刻的任何检测;以及

安全电路,所述安全电路被配置成在所述交流输入电压达到安全阈值时触发所述第一MOS晶体管的关断。

2. 根据权利要求1所述的整流器装置,

其中,所述阳极端子处的电势用作所述控制逻辑的参考电势。

3. 根据权利要求1所述的整流器装置,

其中,所述阳极端子处的电势用作所述控制逻辑和所述安全电路的参考电势,并且

其中,所述安全阈值表示相对于所述参考电势为正的电压电平。

4. 根据权利要求1所述的整流器装置,

其中,所述安全阈值是可编程的。

5. 根据权利要求1所述的整流器装置,

其中,所述控制逻辑被配置成通过检测所述二极管已经变得导通来检测所述导通时间段的开始。

6. 根据权利要求1所述的整流器装置,

其中,所述阳极端子处的电势用作所述控制逻辑的参考电势,并且

其中,所述控制逻辑被配置成在所述交流输入电压下降至所述第一阈值电压以下时检测所述导通时间段的开始,所述第一阈值电压相对于所述参考电势为负。

7. 根据权利要求1所述的整流器装置,其中,所述第二阈值电压比所述第一阈值电压更接近零。

8. 根据权利要求1所述的整流器装置,

其中,所述阳极端子处的电势用作所述控制逻辑的参考电势,

其中,所述控制逻辑被配置成:

在所述交流输入电压下降至相对于所述参考电势为负的所述第一阈值电压以下时检测所述导通时间段的开始;并且

在所述交流输入电压达到相对于所述参考电势也为负的第二阈值电压时检测所述导通时间段的结束。

9. 根据权利要求1所述的整流器装置,还包括:

至少第二MOS晶体管,所述第二MOS晶体管具有并联连接至所述第一MOS晶体管的负载电流路径的负载电流路径。

10. 根据权利要求9所述的整流器装置,

其中,所述控制逻辑被配置成使所述第一MOS晶体管和所述第二MOS晶体管相继导通或同时导通。

11. 根据权利要求9所述的整流器装置,

其中,所述控制逻辑被配置成使所述第二MOS晶体管比所述第一MOS晶体管更迟地关断。

12. 根据权利要求11所述的整流器装置,

其中,所述控制逻辑被配置成通过检测所述阴极端子与所述阳极端子之间的电压已经达到限定的第二阈值电压来检测所述导通时间段的结束,并且

其中,在所述第一MOS晶体管已经被关断之后,在检测到所述阴极端子与所述阳极端子之间的电压已经达到限定的第三阈值电压时所述第二MOS晶体管被关断。

13. 根据权利要求12所述的整流器装置,

其中,所述第三阈值电压比所述第二阈值电压更接近零。

14. 根据权利要求1所述的整流器装置,

其中,所述第一MOS晶体管和所述控制电路被集成在同一半导体基板中,并且

其中,所述阳极端子和所述阴极端子是所述整流器装置的仅有的外部端子。

15. 根据权利要求1所述的整流器装置,

其中,所述第一MOS晶体管是第一MOSFET,并且所述二极管是所述第一MOSFET的体二极管。

16. 根据权利要求15所述的整流器装置,还包括:

第二MOSFET,其中,所述第一MOSFET和所述第二MOSFET均由多个晶体管单元组成。

17. 根据权利要求16所述的整流器装置,

其中,所述第一MOSFET和所述第二MOSFET是垂直DMOS晶体管。

18. 根据权利要求1所述的整流器装置,

其中,所述安全电路在所述掩蔽时间段期间是激活的。

19. 根据权利要求1所述的整流器装置,

其中,所述掩蔽时间段基于所述交流输入电压的前一周期中的导通时间段来调整。

20. 一种整流器装置,包括:

半导体基板;

多个晶体管单元,所述多个晶体管单元被布置在所述半导体基板中;

第一MOS晶体管,所述第一MOS晶体管由所述多个晶体管单元中的至少一部分晶体管单元组成,所述第一MOS晶体管具有负载电流路径和并联耦接至所述负载电流路径的体二极管;

阳极端子和阴极端子,所述阳极端子和所述阴极端子通过所述第一MOS晶体管的负载电流路径以及所述体二极管来连接;以及

控制电路,包括:

控制逻辑,所述控制逻辑被配置成:

在检测到所述阴极端子与所述阳极端子之间的电压达到第一阈值电压时使所述第一MOS晶体管导通，

在检测到所述阴极端子与所述阳极端子之间的电压达到第二阈值电压时使所述第一MOS晶体管关断，和

在限定的掩蔽时间内掩蔽掉对所述阴极端子与所述阳极端子之间的电压达到所述第二阈值电压的任何检测，

其中，所述阳极端子具有用作所述控制逻辑的地电势的电势，并且其中，所述第一阈值电压和所述第二阈值电压为负；以及

安全电路，所述安全电路被配置成在所述阴极端子与所述阳极端子之间的电压达到安全阈值时触发所述第一MOS晶体管的关断，所述安全阈值是正的阈值电压。

21. 根据权利要求20所述的整流器装置，还包括：

第二MOS晶体管，所述第二MOS晶体管由所述多个晶体管单元中的另外的一部分晶体管单元组成，所述第二MOS晶体管具有并联耦接至所述第一MOS晶体管的负载电流路径的负载电流路径，

其中，所述控制逻辑还被配置成：

与所述第一MOS晶体管同时地或者在所述第一MOS晶体管之后使所述第二MOS晶体管导通；并且

在检测到所述阴极端子与所述阳极端子之间的电压达到第三阈值电压时使所述第二MOS晶体管关断。

22. 根据权利要求20所述的整流器装置，

其中，所述安全电路在所述掩蔽时间期间保持激活。

23. 根据权利要求22所述的整流器装置，

其中，所述掩蔽时间基于所述阴极端子与所述阳极端子之间的电压的前一周期中所述所述第一MOS晶体管的导通时间来调整。

24. 一种用于操作整流器装置的方法，所述整流器装置包括并联耦接在阳极端子与阴极端子之间的MOS晶体管和二极管；所述方法包括：

检测所述二极管被正向偏置；

在检测到所述二极管被正向偏置时由控制电路导通所述MOS晶体管；

在所述二极管被正向偏置时，检测在所述阴极端子与所述阳极端子之间的整流器装置两端的电压达到特定阈值电压，其中，在所述MOS晶体管导通之后的掩蔽时间期间，对在所述整流器装置两端的电压已经达到所述特定阈值电压的检测被掩蔽；

在检测到在所述整流器装置两端的电压已经达到所述特定阈值电压时使所述MOS晶体管关断；

检测所述阴极端子与所述阳极端子之间的电压上升到安全阈值以上，其中，在所述掩蔽时间期间，对已经达到所述安全阈值的检测是有效的；以及

在检测到已经达到所述安全阈值时，由所述控制电路关断所述MOS晶体管。

25. 根据权利要求24所述的方法，还包括：

基于在所述阴极端子与所述阳极端子之间的所述整流器装置两端的电压，生成用于所述控制电路的内部供电电压，

其中,所述阳极端子处的电势被用作所述控制电路的地电势。

26. 根据权利要求25所述的方法,其中,所述MOS晶体管是第一MOS晶体管,以及其中,所述整流器装置包括与所述阳极端子和所述阴极端子之间的二极管并联耦接的另外的MOS晶体管;所述方法还包括:

在检测到所述二极管被正向偏置时由所述控制电路导通所述另外的MOS晶体管;

在所述第一MOS晶体管已经被关断之后,检测在所述阴极端子与所述阳极端子之间的整流器装置两端的电压达到另外的特定阈值电压;和

在检测到在所述整流器装置两端的电压已经达到所述另外的特定阈值电压时使所述另外的MOS晶体管关断。

27. 一种整流器装置,包括:

阳极端子和阴极端子,所述阳极端子和所述阴极端子通过第一MOS晶体管的第一负载电流路径、并联连接至所述第一负载电流路径的第二MOS晶体的第二负载电流路径以及并联连接至所述第一负载电流路径的二极管来连接;在所述阳极端子与所述阴极端子之间可操作地施加交流输入电压;所述阳极端子处的电势用作所述整流器装置的参考电势;以及

控制电路,包括:

控制逻辑,所述控制逻辑被配置成使所述第一MOS晶体管在导通时间段内导通,在所述导通时间段期间所述二极管被正向偏置,

安全电路,所述安全电路被配置成在所述交流输入电压达到安全阈值时触发所述第一MOS晶体管的关断,以及

至少一个比较器电路,所述至少一个比较器电路被配置成将所述阴极端子处的电压与至少一个阈值电压进行比较,

其中,所述比较器电路接收所述阴极端子处的电压的经电平移动和缩放后的表示,作为第一输入信号,并且使用所述至少一个阈值电压的经电平移动和缩放后的版本作为第二输入信号。

28. 根据权利要求27所述的整流器装置,

其中,所述阴极端子处的电压的缩放通过分压器来实现,并且所述阴极端子处的电压的电平移动通过将偏置电流注入所述分压器来实现。

29. 根据权利要求27所述的整流器装置,

其中,所述控制逻辑被配置成顺次地或同时地导通所述第一MOS晶体管和所述第二MOS晶体管。

30. 根据权利要求29所述的整流器装置,

其中,所述控制逻辑被配置成比所述第一MOS晶体管更迟地关断所述第二MOS晶体管。

31. 根据权利要求30所述的整流器装置,

其中,所述控制逻辑被配置成通过检测所述阴极端子与所述阳极端子之间的电压已经达到限定的第二阈值电压来检测所述导通时间段的结束,以及

其中,在所述第一MOS晶体管被关断之后,当检测到所述阴极端子与所述阳极端子之间的电压已经达到限定的第三阈值电压时,所述第二MOS晶体管被关断。

32. 根据权利要求31所述的整流器装置,

其中,所述第三阈值电压比所述第二阈值电压更接近零。

## 整流器装置及其操作方法

### 技术领域

[0001] 本发明涉及供电领域,特别地涉及整流器电路和装置以及相关的方法和装置。

### 背景技术

[0002] 在电力网中,出于各种原因,电力通常以交流电流(AC)的形式分配给消费者。此外,例如在汽车中使用交流发电机来生成交流电流。在许多应用中,交流电流需要被转换成直流(DC)以向需要DC供电的电子电路或其他装置提供DC供电。该转换过程被称为整流。用于构建整流器的标准部件是硅二极管。存在若干种类型的整流器。一种通用类型是单相全波整流器,该单相全波整流器通常使用以桥式配置(所谓的Graetz桥)连接的四个二极管来构建。作为附注,应当注意,由电力网提供的交流电压(例如,120或230伏)通常在被整流之前使用变压器被转换成较低的电压。在汽车行业,交流发电机通常生成多相输出电压,并且合适的三相全波整流器可以例如包括六个二极管。此外,也可以例如在(DC/DC或 AC/DC)开关转换器中使用整流器二极管。

[0003] 硅二极管具有近似0.6伏至0.7伏的正向电压。肖特基锗二极管具有近似0.3伏的稍微较低的正向电压。pn结(即二极管的pn结)的正向电压取决于半导体材料,因而对于特定半导体制造技术实际上可以被视为恒定参数(当不考虑温度相关性时),所述特定半导体制造技术一般是基于硅的。也就是说,硅二极管每安培负载电流将总是产生近似600毫瓦至700毫瓦的功率消耗(在室温下)。因此,由四个二极管组成的二极管桥(桥式整流器)每安培(RMS)负载电流将产生近似1.2瓦至1.4瓦的功率消耗,因为在二极管桥中两个二极管总是正向偏置。特别是对于同样低的电压(例如,5伏至15伏),整流器中的功率消耗可以是总的生成功率中的相当大的一部分。

[0004] 为了减小整流器装置中的功率消耗,可以使用称为有源整流的技术。从而,硅二极管被诸如功率MOS场效应晶体管(MOSFET)或功率双极结型晶体管(BJT)等功率晶体管所替代,所述功率晶体管具有同样低的导通电阻并且因此可以产生与简单的硅二极管相比的显著较低的电压降。然而,通常需要相对复杂的控制电路以与交流电压同步地使晶体管导通和关断。

### 发明内容

[0005] 本文描述了一种整流器装置。根据示例性实施方式,所述整流器装置包括阳极端子和阴极端子,所述阳极端子和所述阴极端子通过第一MOS晶体管的负载电流路径以及并联连接至负载电流路径的二极管来连接;在阳极端子与阴极端子之间可操作地施加交流输入电压。整流器装置还包括控制电路。所述控制电路包括控制逻辑,所述控制逻辑被配置成使第一MOS晶体管在导通时间段内导通,在所述导通时间段期间二极管被正向偏置。控制电路还包括安全电路,所述安全电路被配置成在输入电压达到安全阈值时触发第一MOS晶体管的关断。

[0006] 根据另外的示例性实施方式,整流器装置包括:半导体基板;多个晶体管单元,所

述多个晶体管单元被布置在半导体基板中;以及第一MOS 晶体管,所述第一MOS晶体管由多个晶体管单元中的至少一部分晶体管单元组成。第一MOS晶体管具有负载电流路径和并联耦接至负载电流路径的体二极管。整流器装置还包括阳极端子和阴极端子,所述阳极端子和所述阴极端子通过第一MOS晶体管的负载电流路径以及体二极管来连接。此外,整流器装置包括控制电路。所述控制电路包括控制逻辑,所述控制逻辑被配置成在检测到阴极端子与阳极端子之间的电压达到第一阈值电压时使第一MOS晶体管导通。控制逻辑还被配置成在检测到阴极端子与阳极端子之间的电压达到第二阈值电压时使第一MOS晶体管关断,其中,阳极端子具有用作控制逻辑的地电势的电势,以及其中,第一阈值电压和第二阈值电压为负。此外,控制电路包括安全电路,所述安全电路被配置成在阴极端子与阳极端子之间的电压达到安全阈值时触发第一 MOS晶体管的关断,所述安全阈值是正的阈值电压。

[0007] 此外,本文描述了一种用于对整流器装置进行操作的方法,其中,所述整流器装置包括MOS晶体管和二极管,MOS晶体管和二极管二者均并联耦接在阳极端子与阴极端子之间。在一个示例性实施方式中,所述方法包括:检测二极管被正向偏置;以及在检测到二极管被正向偏置时由控制电路导通MOS晶体管。方法还包括:在二极管被正向偏置时,检测在阴极端子与阳极端子之间的整流器装置两端的电压达到特定阈值电压;以及在检测到在整流器装置两端的电压已经达到特定阈值电压时使MOS晶体管关断。此外,方法还包括:检测阴极端子与阳极端子之间的电压上升到安全阈值以上,并且在检测到已经达到安全阈值时,由控制单元关断 MOS晶体管。

[0008] 根据另外的示例,整流器装置包括阳极端子和阴极端子,所述阳极端子和所述阴极端子通过第一MOS晶体管的负载电流路径以及并联连接至负载电流路径的二极管来连接。在阳极端子与阴极端子之间可操作地施加交流输入电压。阳极端子处的电势用作整流器装置的参考电势;以及控制电路包括:控制逻辑,所述控制逻辑被配置成使第一MOS晶体管在导通时间段内导通,在所述导通时间段期间二极管被正向偏置;以及安全电路,所述安全电路被配置成在交流输入电压达到安全阈值时触发第一MOS晶体管的关断。因此,控制电路包括至少一个比较器电路,所述至少一个比较器电路被配置成将阴极端子处的电压与至少一个阈值电压进行比较,并且比较器接收阴极端子处的电压的经电平移动和缩放后的表示,作为第一输入信号,并且使用阈值电压的经电平移动和缩放的版本作为第二输入信号。

## 附图说明

[0009] 可以参照以下描述和附图来更好地理解本发明。图中的部件不一定按比例绘制,而是将重点放在对本发明的原理的说明上。此外,在图中,相似的附图标记指定对应的部件。在附图中:

[0010] 图1示出了作为说明性示例的由四个二极管组成的单相全波整流器电路。

[0011] 图2示出了可以用于取代整流器电路中的二极管的功率MOSFET,其中,在本文描述的实施方式中,功率MOSFET在被导通时进行反向导电。

[0012] 图3是示出图2的功率MOSFET的示例性实现的半导体主体的截面图。

[0013] 图4是示出图2的功率MOSFET以及被配置成在体二极管变成正向偏置时使MOSFET有效导通的控制电路的电路图。

[0014] 图5是示出当MOSFET连接至负载并且在被提供有交流电压时未被有效导通时的在

图4的MOSFET的体二极管两端的电压的时序图。

[0015] 图6A是示出可以包括在控制电路中以对用于使图4的MOSFET导通和关断的控制逻辑进行供电的示例性供电电路的电路图;图6B是更详细地示出图4的控制电路的电路图。

[0016] 图7A和图7B是示出当被提供有交流电压时的图4的MOSFET的切换的时序图。

[0017] 图8是示出用于如图7A和图7B的时序图中所示使图4的MOSFET 导通和关断的一个示例控制逻辑的框图。

[0018] 图9包括更详细地示出图8的控制逻辑的功能的四个时序图。

[0019] 图10和图11包括示出与图9的示例相似但是具有另外的安全/保护机制的示例性替代功能的时序图。

[0020] 图12示出了用于控制功率MOSFET的开关状态的控制电路的一个示例性实现,其中,控制电路包括另外的安全电路。

[0021] 图13A和图13B示出了可以用在图8的控制电路中以掩蔽MOSFET 的较早关断的定时器电路。

[0022] 图14包括更详细地示出图10的定时器电路的功能的时序图。

[0023] 图15示出了图4的示例的替代方案,其中,使用两个或更多个功率 MOSFET而不是单个功率MOSFET。

[0024] 图16包括示出在图15的整流器装置两端的电压降的时序图,其中,在二极管被正向偏置时,在被激活的情况下两个功率MOSFET的MOS 沟道将体二极管旁路,并且其中两个功率MOSFET相继被关断。

[0025] 图17示出了示例性控制逻辑,其与图8的示例相似但是适于如图15 所示的具有两个功率MOSFET的整流器装置。

[0026] 图18示出了另外的示例性控制逻辑,其可以用作图16的示例的替代方案。

[0027] 图19包括示出图18的控制逻辑的功能的时序图。

[0028] 图20示出了由图18的示例中的比较器使用的阈值电压可以如何被切换的一个示例。

[0029] 图21示出了说明用于对整流器装置进行操作的一个示例性方法的流程图。

[0030] 图22示出了说明具有另外的安全/保护机制的图21的方法的流程图。

## 具体实施方式

[0031] 如上所述,存在若干种类型的整流器。图1示出了作为说明性示例的使用以桥式配置连接的四个二极管 $D_1$ 、 $D_2$ 、 $D_3$ 、 $D_4$ (所谓的Graetz桥或桥式整流器)所构建的单相全波整流器。图1还示出了AC电压源G,其可以表示例如电网、变压器的二次侧、AC发电机(如用在汽车中的交流发电机)或任何其他公共AC电压源。电压源G提供供给至桥式整流器的交流电压 $V_{AC}$ 。电容器 $C_1$ 可以被连接至桥式整流器的输出端以减少DC 输出电压 $V_{DC}$ 的纹波。在图1的示例中,汽车电池BAT耦接至桥式整流器,使得电池可以由发电机G进行充电。硅二极管通常具有近似0.6伏至 0.7伏的正向电压,因而可以产生相当大的功率消耗。为了减少功率消耗,硅二极管可以被包括可控半导体开关的整流器装置所取代。在图2中所示的示例中,整流器装置10包括功率MOS晶体管 $M_P$ ,其具有并联耦接至功率MOS晶体管 $M_P$ 的负载电流路径(漏源电流路径)的本征二极管(intrinsic diode) $D_R$ (体二极管)。整流器装置10的阳极和阴极分

别与本征二极管的阳极和阴极对应并且分别被标记为A和K。在本文描述的示例中,功率MOS晶体管是具有作为MOSFET体二极管的本征二极管的MOSFET。然而,在该上下文中,IGBT(其也通过MOS门而被导通和关断)还可以被视为MOS晶体管,其中,IGBT可以具有集成在与IGBT相同的半导体晶片中的反向二极管。

[0032] 不像在已知有源整流器电路(也称为“同步整流器”)中,MOSFET  $M_P$ 在反向导电模式中被操作。实际上,标准整流器二极管(如用在例如图1的桥式整流器中)被功率MOSFET的体二极管所取代,当MOSFET 被导通时,所述体二极管可以被MOSFET的MOS沟道所旁路。也就是说,当体二极管被正向偏置时,MOSFET被导通(其使得MOS沟道导通),从而将经过体二极管的电流路径旁路。当二极管 $D_R$ 被反向偏置时, MOSFET  $M_P$ 总是关断。在图2所示的示例中,整流器装置10仅具有两个端子,第一端子A(阳极端子,连接至体二极管 $D_R$ 的阳极)和第二端子K(阴极端子,连接至体二极管 $D_R$ 的阴极)。如随后将说明的,用于使 MOSFET  $M_P$ 导通和关断的控制电路可以被集成在与MOSFET  $M_P$ 相同的半导体晶片中,并且集成的控制电路的内部供电可以由施加在两个端子 A和K处的AC电压内部地生成。

[0033] 图3示出了在硅基板中的图2的功率MOSFET  $M_P$ 的一个示例性实现。在本示例中,MOSFET使用由多个晶体管单元组成的垂直晶体管结构来实现。术语“垂直”通常用在功率晶体管的背景中并且指代负载电流路径(MOS沟道)的方向,其相对于通过半导体基板的底平面限定的水平面而垂直地延伸。因此,术语“垂直”可以用于区分垂直晶体管和平面晶体管,其中,负载电流路径(MOS沟道)与水平面平行地延伸。在本示例中,垂直MOS晶体管实现为所谓的沟槽型晶体管,其栅电极布置在形成在硅体中的沟槽中。然而,也可以使用其他类型的垂直功率晶体管或其他类型的晶体管。

[0034] 在图3的示例中,半导体主体100基本上由半导体基板101(晶片)形成,在半导体基板101上使用外延生长来沉积(例如,单晶硅)半导体层101'。半导体基板101和半导体层101'可以掺杂具有第一掺杂类型的掺杂剂,例如n型掺杂剂,其中,与高掺杂基板101(标记为 $n^+$ )相比,在半导体层101'中,掺杂剂的浓度可以低得多(因而标记为 $n^-$ )。沟槽110通过各向异性刻蚀工艺而形成在半导体层中。沟槽110从半导体主体100的顶表面垂直延伸到半导体主体100中并且被填充有导电材料(例如,高掺杂多晶硅)以在沟槽110内形成栅电极112。栅电极112通过氧化层111与周围的半导体主体100隔离,在利用上述的导电材料填充沟槽110之前,氧化层111被布置在沟槽110的内表面上。

[0035] 例如使用第一掺杂过程(例如,掺杂剂的扩散处理或离子注入),半导体层101'的上部被掺杂有第二掺杂类型的掺杂剂,例如p型掺杂剂。所产生的p掺杂区域通常被称为主体区域103,然而,半导体层101'的其余的n掺杂部分(与基板101直接接合)形成MOS晶体管的所谓的漂移区域102。当沟槽110向下延伸至漂移区域102时,主体区域103被分割成与相应的多个晶体管单元相关联的多个主体区域。

[0036] 使用第二掺杂过程(例如,掺杂剂的扩展处理或离子注入)来形成源极区域105。因而,MOSFET  $M_P$ 也称为DMOS(双扩散金属氧化物半导体)晶体管。源极区域掺杂有与基板101相同类型的掺杂剂(例如,n型掺杂剂)。掺杂剂的浓度可以同样高(因而,标记为 $n^+$ ),但是不一定等于基板101中的掺杂剂的浓度。源极区域105从半导体主体的顶表面而垂直延伸到半导体主体中并且与沟槽112接合。掺杂有与主体区域103相同类型的掺杂剂的主体接触区域104可以形成在相邻沟槽110之间以使得能够在半导体主体100的顶表面处与主体区域103

电接触。源极区域105和主体接触区域104通过形成功率MOSFET (DMOS晶体管)的源电极S的导电层115 (例如,金属层)在半导体主体100的顶表面处电接触。从而,各个晶体管单元并联电连接。沟槽110中的栅电极112必须与导电层115电隔离并且也例如在沟槽110的端部(在图3中不可见)相互连接。漏电极D由另外的导电层116形成在半导体主体100的底表面处。

[0037] MOSFET的体二极管 $D_R$  (也参见图3)也示出在图3的截面图中。体二极管 $D_R$ 由在主体区域103 (在每个晶体管单元中)与漏极区域102之间的转变处的pn结形成。因而,源电极S (其电连接至源极和主体接触区域)也是二极管 $D_R$ 的阳极,并且漏电极D也是二极管 $D_R$ 的阴极。根据图3的示例所设计的晶体管或相似的晶体管设计同样是已知的 (有时称为DMOS晶体管),因此不进一步详细说明。

[0038] 在该点处要注意的是,MOS晶体管 $M_P$ 并非集成在基板中的唯一部件。控制MOS晶体管 $M_P$ 的开关操作所需的所有其他电路也被集成在相同的半导体主体100中。本文描述的实施方式可以被设计为两端子整流器装置 (阳极或参考端子A以及阴极或基板端子K),其仅具有两个外部引脚并且基本上表现得像二极管。不像标准二极管,本文描述的整流器装置可以被设计成具有非常低的正向电压,这是因为在体二极管被正向偏置时低电阻MOS沟道将经过体二极管 $D_R$ 的电流路径旁路。在下文中,第一端子A处的电势 (阳极端子,与功率MOSFET  $M_P$ 的源电极对应) 被表示为参考电压 $V_{REF}$ ,而第二端子K (阴极端子,与功率MOSFET  $M_P$ 的漏电极对应) 处的电压被表示为基板电压 $V_{SUBST}$  (基板101中存在的电压,参见图3),图4更详细地示出了图2的整流器装置10。因此,整流器装置包括MOSFET/DMOS晶体管 $M_P$  (包括本征反向二极管 $D_R$ ,参见图2) 和连接至MOSFET  $M_P$ 的栅极端子的控制电路11。如上所述,MOSFET  $M_P$ 及其本征体二极管 $D_R$ 还有控制电路11分别连接在第一端子A与第二端子K之间。第一端子 (阳极) 处的电势 $V_{REF}$ 可以定义为零伏 (0V) 并且因此可以被视为集成在半导体主体100中的所有电路的参考电势或地电势。相对于参考电势 $V_{REF}$ ,基板电压 $V_{SUBST}$ 可以从 (在室温下) 近似  $-0.7$  伏的负的最小值 (即,体二极管 $D_R$ 的负正向电压) 到施加在两个端子A与K之间的交流输入电压 $V_{AC}$ 的正峰值 $V_{AC\_MAX}$ 而变化。在图4的示例中,由AC源Q经由电阻器 $R_V$ 向整流器装置10供电。向整流器装置10供电仅被视为假设案例,其用于说明整流器装置的功能。

[0039] 图5是示出用于假设案例的基板电压 $V_{SUBST}$ 相对于参考电势 $V_{REF}$ 的波形的时序图,其中,包括在整流器装置10中的MOSFET  $M_P$ 从不被导通,因而,负载电流 $i_L$ 仅可以经由体二极管 $D_R$ 穿过整流器装置10。在该示例中,还假定向整流器装置10和负载 (参见图4,电阻器 $R_V$ ) 的串联电路施加交流输入电压 $V_{AC}$ 。不失一般性的情况下,参考电势 $V_{REF}$ 可以被定义为0V。在体二极管 $D_R$ 被反向偏置 ( $V_{SUBST} > 0$ ) 时,基板电压 $V_{SUBST}$ 跟随交流输入电压 $V_{AC}$ 并且负载电流近似为零 (二极管 $D_R$ 阻断)。当体二极管 $D_R$ 被正向偏置 ( $V_{SUBST} < 0$ ) 时,只要交流输入电压 $V_{AC}$ 比体二极管 $D_R$ 的负正向电压 $-V_D$ 高 (例如, $V_{AC} > -0.6V$ ),则基板电压 $V_{SUBST}$ 跟随交流输入电压 $V_{AC}$ 。然而,当交流输入电压 $V_{AC}$ 变得比体二极管 $D_R$ 的负正向电压 $-V_D$ 低 (例如, $V_{AC} < -0.6V$ ) 时,基板电压将近似限制于体二极管 $D_R$ 的负正向电压 $-V_D$  (例如, $V_{SUBST} \approx -0.6V$ ),二极管 $D_R$ 是导通的, (负) 基板电压与交流输入电压 $V_{AC}$ 之间的差是在负载两端的电压降。实际穿过整流器装置10的负载电流 $i_L$  (在 $V_{AC} < -V_D$ 时) 取决于负载。

[0040] 如上所述,在整流器装置10两端的近似600mV至700mV的电压降 (在室温下) 可以产生相当大的功率消耗。为了减少在体二极管 $D_R$ 被正向偏置时的基板电压 $V_{SUBST}$ ,MOS晶体管 $M_P$ 可以被导通以使得MOS晶体管 $M_P$ 的MOS沟道导通。在该情况下,体二极管 $D_R$ 经由通过MOS沟

道提供的低欧姆电流路径被旁路。然而,在体二极管 $D_R$ 被反向偏置(即,阻断)的时间段中,MOS晶体管应当保持关断。控制MOS晶体管 $M_P$ 的开关操作的逻辑电路包括在控制电路11中(参见图4)。

[0041] 如图4所示,控制电路11耦接在施加有交流输入电压的两个端子A与K之间(参见图5)。然而,控制电路11中的一些电路部件需要DC供电电压以适当地操作。因而,控制电路11包括至少一个供电电路,其提供内部供电电压 $V_S$ 以向控制电路11的各种其他电路部件供电。在更详细地说明控制电路11的示例性实现及其功能之前,参照图6A和6B说明供电电路的两个示例性实现。

[0042] 图6A中所示的示例性供电电路12耦接在第一(阳极)端子A(参考电势 $V_{REF}$ )与第二(阴极)端子K(基板电压 $V_{SUBST}$ )之间,第一端子A和第二端子K分别连接至MOSFET  $M_P$ 的源极和漏极。由二极管 $D_S$ 和齐纳二极管 $D_Z$ 组成的串联电路电连接在基板(处于基板电压 $V_{SUBST}$ )与MOSFET  $M_P$ 的源电极(处于参考电势 $V_{REF}$ )之间。如图6A和6B所示,缓冲电容器 $C_S$ 并联连接至齐纳二极管 $D_Z$ 。当基板电压 $V_{SUBST}$ 的电平比电容器 $C_S$ 两端的电压 $V_{IN}$ 与二极管 $D_S$ 的正向电压的总和时,电容器 $C_S$ 经由二极管 $D_S$ 被充电。齐纳二极管 $D_Z$ 将电容器 $C_S$ 两端的电容器电压 $V_{IN}$ 限制于最大值,该最大值通过齐纳二极管 $D_Z$ 的齐纳电压来确定。此外,当基板电压 $V_{SUBST}$ 下降至比电容器电压 $V_{IN}$ 低的值时,二极管 $D_S$ 经由基板来阻止电容器 $C_S$ 的放电。电容器电压 $V_{IN}$ 可以被提供为稳压器装置REG的输入电压,并且在基板电压 $V_{SUBST}$ 低时通过电容器 $C_S$ 来缓冲输入电压 $V_{IN}$ 。稳压器REG的经调节的输出电压被表示为 $V_S$ 。经调节的输出电压 $V_S$ 可以被视为用于对集成在整流器装置10中的任何电路(如逻辑电路)进行供电的内部供电电压。

[0043] 也如图6A所示但并非供电电路12的一部分的是周期检测电路15,周期检测电路15一般包括比较器 $CMP_{NC}$ ,其被配置成在其输出处发信号通知基板电压 $V_{SUBST}$ 的新周期。比较器 $CMP_{NC}$ 可以由内部供电电压 $V_S$ 来供电。在本示例中,比较器将基板电压 $V_{SUBST}$ 与阈值电压 $V_{NC}$ 进行比较,阈值电压 $V_{NC}$ 可以等于参考电压 $V_{REF}$ 或可以是在几毫伏(millivolt)的范围内的的小的正值。阈值电压 $V_{NC}$ 被施加至比较器 $CMP_{NC}$ 的反向输入端,并且基板电压 $V_{SUBST}$ 被施加至比较器 $CMP_{NC}$ 的非反向输入端。因此,当基板电压 $V_{SUBST}$ 上升到阈值电压 $V_{NC}$ 以上时,比较器 $CMP_{NC}$ 在其输出端处生成上升沿。该上升沿可以触发单稳态触发器MF,单稳态触发器MF连接至比较器 $CMP_{NC}$ 的输出端并且在交流基板电压 $V_{SUBST}$ 的每个周期中生成具有有限脉冲长度的复位脉冲。

[0044] 注意,图6A的电路必须被视为说明性示例并且还可以以各种替选方式来实现。例如,齐纳二极管 $D_Z$ 可以由配置成将电容器电压限制于期望最大值的任何钳位电路取代。根据应用,齐纳二极管可以被省略。电容器 $C_S$ 可以由当基板电压太低以致于不能对电容器 $C_S$ 充电时提供足够电容以能够对输入电压 $V_{IN}$ 进行缓冲的任何电路(例如,若干个电容器的串联或并联电路)来取代。在一些实现中,稳压器REG可以由提供相似功能的其他电路替换。如果电容器 $C_S$ 的电容足够高以确保可接受的低纹波,则也可以省略稳压器REG。如所述的,可以考虑图6A和6B的基本示例的各种修改和增强。例如,可以在二极管 $D_S$ 的阴极与稳压器REG之间连接源极跟随器,其中,源极跟随器的栅极连接至基本上恒定的电压(例如,使用齐纳二极管生成的电压)。这将电容器电压限制于期望最大值并且减少了电流消耗。

[0045] 图6B中所示的电路更详细地示出了控制电路11(参见图4),其用在整流器装置10中以控制功率MOS晶体管 $M_P$ 的操作。相应地,控制电路包括控制逻辑14,控制逻辑14被配置

成生成控制信号ON,该控制信号ON确定了功率MOS晶体管M<sub>P</sub>的开关状态(通/断)。控制信号ON 可以为仅可以采用高电平或低电平的二进制信号。栅极驱动器13可以包括在控制电路11中;栅极驱动器电路可以被配置成转换栅极电压V<sub>G</sub>中的二进制控制信号ON,该二进制控制信号ON适于在被施加至晶体管的栅电极时使功率MOS晶体管M<sub>P</sub>导通和关断。控制逻辑14可以由内部供电电压V<sub>S</sub>来供电,内部供电电压V<sub>S</sub>可以例如由图6A中所示的供电电路12 来提供。供电电路12还可以包括在控制电路11中。如图6B中所示,栅极驱动器13可以通过独立的电压V<sub>H</sub>来供电,电压V<sub>H</sub>可以例如通过电容器(未示出,与图6A中的电容器C<sub>S</sub>相似)来缓冲。取决于实现,栅极驱动器13还可以通过内部供电电压V<sub>S</sub>来供电。

[0046] 图7A是示出根据图4的基本示例所实现的整流器装置的一个示例性实施方式的功能的时序图。特别地,示出了MOS晶体管M<sub>P</sub>的导通和关断。图7A的图与图5的图基本上相同,除了下述以外:在当前示例中,当本征体二极管D<sub>R</sub>被正向偏置以经由激活的MOS沟道将体二极管旁路时,功率MOS晶体管M<sub>P</sub>被导通。体二极管D<sub>R</sub>的旁路引起在整流器装置 10两端的电压降,该电压降显著低于标准二极管的正向电压。图7B的第一图示出了图7A中所示的波形的放大细节。图7A示出了基板电压V<sub>SUBST</sub>的完全周期,而图7B的第一图仅示出了周期的近似二分之一,在周期的近似二分之一期间,基板电压V<sub>SUBST</sub>是负的。第二图示出了施加至MOS 晶体管M<sub>P</sub>以使其导通和关断的栅极电压的简化波形。图7B的第三图示出了包括复位脉冲的复位信号RES,该复位信号RES可以由图6A中所示的周期检测电路15来生成。如图7A和图7B可见,当控制电路11检测到基板电压V<sub>SUBST</sub>为负(即,二极管D<sub>R</sub>被正向偏置)时,MOS晶体管M<sub>P</sub>被导通。为了确定导通和关断MOS晶体管M<sub>P</sub>的时刻(即,MOS 晶体管M<sub>P</sub>的导通时间段T<sub>ON</sub>的开始和结束),可以使用如下所述的负阈值电压V<sub>ON</sub>和V<sub>OFF</sub>。因此,当基板电压V<sub>SUBST</sub>达到第一阈值V<sub>ON</sub>或下降至第一阈值V<sub>ON</sub>以下时,MOS晶体管M<sub>P</sub>被导通。在本示例中,在时间 t<sub>1</sub>处满足条件V<sub>SUBST</sub> = V<sub>ON</sub>,栅极电压V<sub>G</sub>(参见图7B的第二图)被设置为高电平以使MOS晶体管M<sub>P</sub>导通。当基板电压V<sub>SUBST</sub>在周期结束时达到或超过第二阈值V<sub>OFF</sub>,则MOS晶体管M<sub>P</sub>再次被关断。在本示例中,在时间t<sub>2</sub>处满足条件V<sub>SUBST</sub> = V<sub>OFF</sub>,则栅极电压V<sub>G</sub>(参见图7B的底部的图)被设置成低电平以使MOS晶体管M<sub>P</sub>关断。当MOS晶体管M<sub>P</sub>在时间t<sub>2</sub>处被关断时,基板电压V<sub>SUBST</sub>可以在其在下一周期开始(在时刻T<sub>NC</sub>处的复位脉冲)处,在再次上升到正值之前突然下降至-V<sub>D</sub>。

[0047] 当MOS晶体管M<sub>P</sub>被导通时,基板电压V<sub>SUBST</sub>等于R<sub>ON</sub> · i<sub>L</sub>,其中, R<sub>ON</sub>是激活的MOS沟道的导通电阻。在本示例中,分别使用仅两个阈值来导通和关断MOS晶体管M<sub>P</sub>。然而,可以针对导通和/或关断来使用两个或更多个阈值。在该情况下,通过顺次地导通/关断功率MOSFET的两组或更多组晶体管单元来逐渐导通/关断功率MOSFET。随后相对于图12 来说明以两个步骤来关断功率MOSFET的整流器装置的更详细示例。

[0048] 参照回图7A,第一阈值V<sub>ON</sub>和第二阈值V<sub>OFF</sub>均为负(注意,参考电压V<sub>REF</sub>被限定为零),但是均比MOS晶体管M<sub>P</sub>的体二极管D<sub>R</sub>的负正向电压-V<sub>D</sub>高。此外,第二阈值V<sub>OFF</sub>比第一阈值V<sub>ON</sub>高。也就是说,在本示例中满足条件-V<sub>D</sub> < V<sub>ON</sub> < V<sub>OFF</sub> < 0,例如,在-V<sub>D</sub> ≈ -600mV时,V<sub>ON</sub> = -250mV并且V<sub>OFF</sub> = -50mV。如图7B可见,当第一次满足条件V<sub>SUBST</sub> = V<sub>ON</sub>时,MOS晶体管在每个周期中应当仅导通一次。当在同一周期中再次满足条件时,应当阻止MOS晶体管M<sub>P</sub>的二次导通(例如,在时刻t<sub>2</sub>处,参见图7A的第一图)。类似地,当在周期结束时满足条件V<sub>SUBST</sub> = V<sub>OFF</sub>时,MOS晶体管M<sub>P</sub>应当被关断。如果在周期期间较早地满足该条件(例如,时间t<sub>1</sub>之后不久,如果R<sub>ON</sub> · i<sub>L</sub>(t<sub>1</sub>) > V<sub>OFF</sub>),则应当阻止MOS晶体管的较早关断。为了避免MOS晶体管的不期望的较早关断,控制

单元可以包括在特定时间跨度内阻止关断的定时器。下面参照图8来描述可以包括在控制单元11中的控制逻辑的一个示例性实现。

[0049] 图8是示出用于控制电路11 (参见图4) 的控制逻辑的一个示例性实现的框图, 所述控制电路被设计成如在图7A和图7B的时序图中所示来导通和关断MOS晶体管 $M_P$ 。用于图8的电路中的各种电路部件可以由例如如图6A中所示的供电电路12 (内部供电电压 $V_S$ ) 来供电。在本示例中, 控制逻辑包括比较器 $CMP_1$ , 比较器 $CMP_1$ 在第一输入端 (例如, 反向输入端) 处接收基板电压 $V_{SUBST}$ 并且在第二输入端 (例如, 非反向输入端) 处接收阈值电压 $V_R$ 。由比较器 $CMP_1$ 对基板电压 $V_{SUBST}$ 和阈值电压 $V_R$ 进行比较, 比较器 $CMP_1$ 生成二进制比较器输出信号C (高/低逻辑信号)。反相器11连接至比较器输出端并且生成经反相的比较器输出信

[0050] 号 $\bar{C}$ 。当基板电压 $V_{SUBST}$ 达到阈值电压 $V_R$ 时, 在比较器输出信号C中发生电平转变 (取决于实现, 从低电平到高电平或者从高电平到低电平)。在本示例中, 当基板电压 $V_{SUBST}$ 低于阈值电压 $V_R$ 时, 比较器 $CMP_1$ 生成高电平。

[0051] 为了实现图7B所示的开关方案, 可以使用例如电子开关SW将阈值电压 $V_R$ 从第一值 $V_{ON}$ 切换到第二值 $V_{OFF}$  (并且反之亦然)。在本示例中, 电子开关SW被配置成将第一阈值电压 $V_{ON}$ 或第二阈值电压 $V_{OFF}$  (作为参考电压 $V_R$ ) 施加至第二比较器输入端。比较器输出端经由掩蔽电路110 而耦接至SR触发器SR1的置位输入端和复位输入端。掩蔽电路110被设计成阻止功率MOSFET  $M_P$ 的多次导通以及不期望的较早关断。当比较器输出信号C指示 (例如, 通过特定电平或电平转变) 基板电压 $V_{SUBST}$ 已经达到阈值电压 $V_R = V_{ON}$ 时, 激活SR触发器SR1。当比较器输出信号 C指示基板电压 $V_{SUBST}$ 已经达到阈值电压 $V_R = V_{OFF}$ 时, 对SR触发器SR1 进行复位, 其中, 在SR触发器SR1已经被激活之后一段时间, 参考电压  $V_R$ 从 $V_{ON}$ 改变成 $V_{OFF}$ , 并且在SR触发器SR1被停用时, 参考电压 $V_R$ 从 $V_{OFF}$ 改变回 $V_{ON}$ 。SR触发器SR1的输出信号ON发信号通知MOS晶体管 $M_P$ 的导通和关断 (例如, 经由栅极驱动器电路13)。在本示例中, 当SR触发器SR1的输出信号ON被设置为高电平时, MOS晶体管 $M_P$ 被导通, 并且当SR触发器SR1的输出信号ON被复位为低电平时, MOS 晶体管 $M_P$ 被关断 (也参见图7B)。

[0052] 如所述, 设置连接在比较器 $CMP_1$ 与SR触发器SR1之间的掩蔽电路 110以避免在基板电压 $V_{SUBST}$ 的周期期间功率MOS晶体管 $M_P$ 的多次导通和以及较早关断。为了确保在基板电压 $V_{SUBST}$ 的每个周期中SR触发器 SR1仅被置位一次, 掩蔽电路110包括边沿触发的单稳态触发器 (monoflop) MF1, 其也称为“单冲 (one-shot)”。单稳态触发器MF1 被配置成响应于比较器输出信号C中的上升沿而在其输出端处生成单个脉冲, 该比较器输出信号C施加于单稳态触发器MF1的输入端。一旦单稳态触发器MF1已经生成输出脉冲 (“单冲”) 来置位SR触发器SR1, 则在例如通过复位信号RES对单稳态触发器MF1复位之前不能生成另外的输出脉冲。该复位信号RES可以由图6A中所示的供电电路或配置成检测基板电压 $V_{SUBST}$ 的新周期的开始的任何其他电路来提供。实际上, 一旦针对SR触发器SR1生成了置位脉冲, 则单稳态触发器MF1的输出端 (以及因此SR触发器SR1的置位输入端 (S)) 在基板电压 $V_{SUBST}$ 的周期的剩余时间内被掩蔽。

[0053] 此外, 掩蔽电路110包括定时器电路TMR, 定时器电路TMR可以耦接在SR触发器SR1的输出端 (Q) 与SR触发器SR1的复位输入端 (R) 之间 (例如经由门电路G1)。定时器电路TMR通过SR触发器SR1的输出信号ON来触发并且生成输出信号 (掩蔽信号X), 该输出信号除了紧接在已经置位了SR触发器SR1之后的限定时间跨度 $T_{MASK}$ 以外具有高电平。也就是说, 掩蔽信

号在时间跨度 $T_{\text{MASK}}$ 期间呈现低电平。在信号 $X$ 为低时,用于对SR触发器SR1进行复位(并因此用于使MOS晶体管 $M_P$ 关断)的任何复位信号(由反相器11提供)被掩蔽。SR触发器SR1可以通过经反相的比较器输出信号 $\bar{C}$ 中的复位脉冲来复位,该经反相的比较器输出信号 $\bar{C}$ 经由AND门G1提供给SR触发器SR1的复位输入端(R),在掩蔽信号 $X$ (提供至AND门G1的第一输入端)处于低电平时,AND门G1对信号 $\bar{C}$ 进行消隐。换言之,在时间跨度 $T_{\text{MASK}}$ 期间,施加至AND门G1的第二输入端的经反相的比较器输出信号 $\bar{C}$ 不能从第二输入端传递至AND门G1的输出端,因为掩蔽信号 $X$ 迫使AND门G1的输出为低电平。

[0054] 定时器电路TMR还可以触发从参考电压 $V_R = V_{\text{ON}}$ 到 $V_R = V_{\text{OFF}}$ 的转换,该转换由比较器CMP1来使用。基本上,在激活SR触发器SR1时触发转换,SR触发器SR1的激活通过信号ON来指示。然而,转换被延迟时间 $T_{\text{MASK}}$ 。因此,可以使用AND门G2将信号 $X$ 与输出信号ON组合。因此,通过AND门G2的输出来触发从 $V_R = V_{\text{ON}}$ 到 $V_R = V_{\text{OFF}}$ 的转换。在本示例中,可以通过复位信号 $\bar{C}$ 来触发从 $V_R = V_{\text{OFF}}$ 回到 $V_R = V_{\text{ON}}$ 的转换。

[0055] 下面将参照图9中所示的时序图来进一步说明图8的示例性控制逻辑的功能。图9的第一时序图基本上与图7B的最上部的图相同并且示出了周期的第二部分,在周期的第二部分期间,基板电压 $V_{\text{SUBST}}$ 为负。当基板电压 $V_{\text{SUBST}}$ 变成负的时,其保持下降直到在时刻 $t_1$ 处达到比较器阈值电压 $V_R = V_{\text{ON}}$ 为止(参见图9的第一图)。在该时刻 $t_1$ 处,比较器CMP1(参见图8)的比较器输出上升至高电平,因此触发单稳态触发器MF1,单稳态触发器MF1生成脉冲来置位SR触发器SR1。SR触发器SR1的输出信号ON在图9的第三图中示出为点划线。在激活SR触发器SR1时,经由栅极驱动器13来激活晶体管 $M_P$ 的MOS沟道。只要MOS沟道是导通的,则基板电压 $V_{\text{SUBST}}$ 上升到接近零伏,即上升到 $R_{\text{ON}} \cdot i(t_1)$ ,其中, $i(t_1)$ 是时间 $t_1$ 处的负载电流, $R_{\text{ON}}$ 是MOS沟道的导通电阻。乘积 $R_{\text{ON}} \cdot i(t_1)$ 可以在近似100 mV的范围内。取决于MOS晶体管 $M_P$ 的实现、负载电流和温度,该值可以较低或较高。当基板电压 $V_{\text{SUBST}}$ 在 $t_1$ 之后上升时,比较器输出信号 $C$ 再次下降至低电平(参见图9的第二图),使得在时间 $t_1$ 处在比较器输出端处仅产生短脉冲。

[0056] 如上参照图8所述,定时器电路TMR在时刻 $t_1$ 处被触发并且输出掩蔽信号 $X$ ,其在时刻 $t_1$ 之后的时间跨度 $T_{\text{MASK}}$ (直到 $t_X = t_1 + T_{\text{MASK}}$ 为止)内是低电平。在时间 $t_X$ 处,掩蔽信号 $X$ (参见图9的第三图,实线)再次上升到高电平,并且使用AND门G2的输出信号(逻辑结合“XAND ON”)来触发阈值电压从 $V_R = V_{\text{ON}}$ 到 $V_R = V_{\text{OFF}}$ 的转换,这由比较器CMP1使用。然而,由于在时间跨度 $T_{\text{MASK}}$ 期间掩蔽阈值 $V_{\text{OFF}}$ 不是有效的,则在该时间跨度 $T_{\text{MASK}}$ 期间基板电压 $V_{\text{SUBST}}$ 达到或超过阈值没有影响(参见图9,第四时序图)。因此,在激活MOS晶体管 $M_P$ 之后的时间跨度 $T_{\text{MASK}}$ 后,对比较器阈值电压 $V_R$ 进行转换。阈值电压 $V_{\text{OFF}}$ 将(为负,但是)接近零伏并且因而可以比第一阈值电压 $V_{\text{ON}}$ 高。在本示例中,当比较器参考电压 $V_R$ 从 $V_{\text{ON}}$ 被设置成 $V_{\text{OFF}}$ 时,在时间 $t_X$ 处,比较器输出信号 $C$ 将从低电平上升到高电平。在时刻 $t_2$ 处,达到比较器阈值 $V_R = V_{\text{OFF}}$ 的基板电压 $V_{\text{SUBST}}$ (=时间 $t_1$ 与 $t_2$ 之间的 $R_{\text{ON}} \cdot i(t)$ )使比较器输出信号 $C$ 下降至低电平,这触发SR触发器SR1的复位(参见图8,时间 $t_2$ 处的信号 $C$ 中的下降沿被反相器11转换成上升沿)并且使MOS晶体管 $M_P$ 关断。因此,MOS晶体管的本征反向二极管 $D_R$ 接管负载电流 $i(t_2)$ ,因此基板电压 $V_{\text{SUBST}}$ 下降至电压 $-V_D$ , $-V_D$ 是二极管 $D_R$ 的负正向电压(室温下, $-V_D \approx -600\text{mV}$ )。MOS晶体管 $M_P$ 的关断(在时间 $t_2$ 处)与周期的结束(基板电压 $V_{\text{SUBST}}$ 的后续过零点)之间的时间跨度同样较短使得能耗

保持得较低。

[0057] 如上所述,用于对SR触发器SR1(参见图8)进行复位以及因此用于使MOS晶体管 $M_P$ 关断的任何复位信号被掩蔽;完成该掩蔽以避免功率MOS晶体管 $M_P$ 的不期望的较早关断。然而,在实际应用(例如,当操作耦接至汽车交流发电机的整流器桥中的整流器装置10时)中,可能发生以下不期望的情况,在所述情况中,基板电压 $V_{SUBST}$ 变成正的并且因此二极管 $D_R$ 变成反向偏置。在这样的情况下,整流器装置10应当阻断任何负载电流(如任何“标准”二极管会做的)以防止不期望的影响如短路、整流器桥中的跨导(cross-conduction)等。然而,如果在掩蔽时间段 $T_{MASK}$ 期间发生这样的情况(即二极管 $D_R$ 反向偏置),则如参照图8和图9所述的包括在控制电路11中的控制逻辑不允许功率MOS晶体管的关断。因此,需要一些安全措施以防止所述的不期望的影响(短路、跨导等)。

[0058] 图10和图11的时序图示出了具有修改的控制逻辑的控制电路11的功能,所述修改的控制逻辑包括另外的安全关断功能(紧急关断)。在本文所述的示例中,掩蔽电路(参见例如图8,掩蔽电路110)被安全电路忽略(override)以在检测到基板电压 $V_{SUBST}$ 已经变成正时触发功率MOS晶体管的安全关断,基板电压 $V_{SUBST}$ 已经变成正的意味着二极管 $D_R$ 已经变成(再次)反向偏置。该安全功能可以以各种方式来实现。一个示例通过图10的三个时序图来示出。图10的第一(顶部的)时序图基本上与图9的第一时序图相同并且示出了周期的第二部分,在周期的第二部分期间基板电压 $V_{SUBST}$ 是负的(即,二极管 $D_R$ 被正向偏置)。当基板电压 $V_{SUBST}$ 变成负的时,基板电压 $V_{SUBST}$ 保持下降直到在时刻 $t_1$ 处达到比较器阈值电压 $V_R = V_{ON}$ 为止,其触发功率MOS晶体管 $M_P$ 的导通(也参见图9的第二图)。同时(在时刻 $t_1$ ),定时器电路TMR被触发,其输出掩蔽信号X,掩蔽信号X在时刻 $t_1$ 之后的时间跨度 $T_{MASK}$ 内处于低电平(直到 $t_X = t_1 + T_{MASK}$ 为止)。掩蔽信号在图10的第二(中间)时序图中示出。所述安全机制可以在图10的第三(底部的)时序图中看到。与图9的示例不同的是,可以在时间跨度 $T_{MASK}$ 期间使用正的比较器阈值电压 $V_{PROT}$ ,在基板电压变成正并且达到或超过阈值电压 $V_{PROT}$ 的情况下可以忽略掩蔽电路110的掩蔽功能。在该点处,应当注意,在正常操作期间,基板电压 $V_{SUBST}$ 在时间跨度 $T_{MASK}$ 内不应当变成正。然而,它可能变成正的(例如,由于一些异常情形)并且本文描述的安全机制可能是保护整流器装置所必要的。在时间跨度 $T_{MASK}$ 结束时,如参照图8和图9所说明的,有效阈值电压被切换至 $V_{OFF}$ 。随后,在时刻 $t_2$ 处进行功率MOS晶体管的常规关断,这在上面已经描述过因此在这里不再重复。

[0059] 图11的时序图示出了通过基板电压 $V_{SUBST}$ 在时间跨度 $T_{MASK}$ 期间上升至正的阈值电压 $V_{PROT}$ 以上来触发安全机制的情况。图11的第一(顶部的)时序图示出了与图10的第一时序图相似的情况。然而,与先前示例不同的是,在功率MOS晶体管 $M_P$ 已经在时刻 $t_1$ 处被导通之后,基板电压 $V_{SUBST}$ 突然上升并且在时刻 $t_S$ 处达到正的阈值电压 $V_{PROT}$ 。第二(中间的)时序图示出了相应的驱动信号ON,该驱动信号ON控制MOS晶体管 $M_P$ 的开关状态。相应地,当基板电压 $V_{SUBST}$ 在时刻 $t_1$ 处下降至阈值 $V_{ON}$ 时功率MOS晶体管 $M_P$ 被导通,并且当基板电压 $V_{SUBST}$ 在时间跨度 $T_{MASK}$ 期间达到阈值 $V_{PROT}$ 时安全关断被触发。图11的第三时序图与图10中的相同并且示出了在基板电压 $V_{SUBST}$ 的周期期间的有效比较器阈值。

[0060] 如所述的,对本文描述的安全机制进行实现的功能可以以各种方式来实现。例如,可以使用单独的比较器来监视基板电压 $V_{SUBST}$ 是否达到不同的阈值 $V_{ON}$ 、 $V_{PROT}$ 、 $V_{OFF}$ 等。然而,在一些实施方式中,依次将两个或更多个阈值应用于相同的比较器,即,可以如在图8的示例

中所示那样来切换阈值。

[0061] 图12示出了包括如上所述的安全机制的控制电路11的一个示例性实现。除了包括另外的安全电路15以外,图12的电路基本上与图6B的电路相同。在本示例中,安全电路15包括比较器15a和与门15b。比较器15a被配置成检测基板电压 $V_{SUBST}$ 是否已经达到或超过阈值电压 $V_{PROT}$ ,阈值电压 $V_{PROT}$ 为例如+20mV的小正电压。在本示例中,比较器15a的反向输入端连接至基板,而将阈值电压 $V_{PROT}$ 施加至非反相输入端。相应地,当 $V_{SUBST} < V_{PROT}$ 时,二进制比较器输出信号 $PROT$ 处于高电平( $PROT = 1$ ),当基板电压 $V_{SUBST}$ 达到或超过阈值电压 $V_{PROT}$ ,即当 $V_{SUBST} \geq V_{PROT}$ 时,二进制比较器输出信号 $PROT$ 改变成低电平( $PROT = 0$ )。与门15b被配置成当安全机制被触发并且比较器输出信号 $PROT$ 切换至低电平时将控制信号 $ON$ 消隐(并且因此忽略)。相应地,当 $PROT = 0$ 时,即使控制逻辑发送 $ON = 1$ 的信号,与门15b的输出信号 $ON'$ 也处于低电平。

[0062] 注意,根据实际实现,安全电路15可以被配置成仅在掩蔽时间段 $T_{MASK}$ 期间激活。然而,在图15的一般示例中,安全电路在所有时间激活,但是无论如何仅在掩蔽时间段 $T_{MASK}$ 期间有效,因为在掩蔽时间段 $T_{MASK}$ 之前和之后有效的阈值电压 $V_{ON}$ 和 $V_{OFF}$ 较低。在掩蔽时间段 $T_{MASK}$ 过去之后,当基板电压达到或超过阈值电压 $V_{OFF}$ 时触发功率MOS晶体管 $M_P$ 的关断,阈值电压 $V_{OFF}$ 是负的阈值电压。因而,基板电压将总是在阈值电压 $V_{PROT}$ 之前达到阈值电压 $V_{OFF}$ 。随后参照图18来说明安全电路的另外的实现。

[0063] 基板电压 $V_{SUBST}$ 的周期时间可以取决于应用。当由电力网提供AC电压(例如,经由变压器)时,周期时间基本上恒定在近似20ms(对于50 Hz AC电压)或者16.7ms(对于60Hz AC电压)或者60ms(对于16.7 Hz AC电压)。在这样的应用中,通过定时器电路TMR指示的时间 $T_{MASK}$ 可以被设置为恒定值。然而,在其他应用中(如在汽车中),可以例如由交流发电机生成AC电压,并且AC电压的频率随交流发电机(其可以连接至汽车的内燃机)的旋转速度而变化。在这样的应用中,可能有必要根据AC电压的频率或周期时间来调整时间 $T_{MASK}$ ,AC电压的频率或周期时间与基板电压 $V_{SUBST}$ 的周期时间对应。图13A和图13B示出了可以用于灵活地设置时间跨度 $T_{MASK}$ 以及因此时刻 $t_x$ (参见,例如图10)的一个示例性模拟电路,在时刻 $t_x$ 处阈值被设置为 $V_{OFF}$ 。要理解,具有计数器或积分器的数字实现可以是所示出的模拟实现的替选方案,本领域技术人员能够容易地想到基本上提供与所示出的示例相同的功能的各种数字和模拟实现。

[0064] 一般地,掩蔽电路110是配置成在基板电压 $V_{SUBST}$ 的前一周期期间测量MOS晶体管 $M_P$ 的导通时间 $T_{ON}$ (参见例如图7B)的长度的子系统。该测量可以以各种方式来实现;其可以数字地(例如,使用计数器)以及模拟地(例如,使用积分器)来完成。掩蔽电路110的输出 $X$ 在前一周期( $T_{MASK} \approx 0.5 \cdot T_{ON}$ )期间在MOS晶体管 $M_P$ 的接通时刻(参见例如图9,时间 $t_1$ )与MOS晶体管 $M_P$ 的导通时间 $T_{ON}$ 的近似百分之50之间处于低电平( $\approx 0V$ )。根据实际实现,该百分比可以不是百分之50。然而,掩蔽时间 $T_{MASK}$ 应当足够长以能够防止MOS晶体管 $M_P$ 的较早关断。应当理解,近似0.5的比率 $T_{MASK}/T_{ON}$ 仅是说明性示例。在其他实现中,该比率可以低于或高于0.5。

[0065] 如上所述,掩蔽电路110针对限定的掩蔽(消隐)时间 $T_{MASK}$ 来防止功率MOS晶体管 $M_P$ 关断。然而,在实际应用中(例如,对由汽车交流发电机生成的电压进行整流),可能发生基板电压会在掩蔽时间 $T_{MASK}$ 期间变成正的不理想的异常情况。在这样的情况下,掩蔽电路可以被保护电路忽略(override)(或停用),保护电路被配置成使MOS晶体管 $M_P$ 关断以避免短

路。

[0066] 图13A和图13B的电路示出了用在图8所示的控制逻辑的掩蔽电路 110中的定时器电路TMR的一个示例性实现。图13A示出了基本上基于模拟部件并且包括两个基本相同的充电电路(标记为“A级”和“B级”)的一个示例性实现,所述两个充电电路可以用于根据交流基板电压 $V_{SUBST}$ 的周期时间来灵活地确定时间跨度 $T_{MASK}$ 。每个充电电路包括在一个周期中通过恒定电流 $i_Q$ 充电达时间跨度 $T_{ON}$ (参见图7B)并且在随后的周期中通过恒定电流 $2 \cdot i_Q$ 放电的电容器 $C_A$ 、 $C_B$ 。因此,对电容器 $C_A$ 、 $C_B$ 进行放电所需的时间确定了时间跨度 $T_{MASK}$ ,由于放电电流是充电电流的两倍,所以该时间跨度是 $T_{ON}/2$ 。如上所述,不同于 $2 \cdot i_Q$ (导致上述的0.5的比率)的放电电流也是可以的。一般地, $r \cdot i_Q$ 的放电电流将产生 $1/r$ 的比率。

[0067] 电容器 $C_A$ 、 $C_B$ 分别连接至电流源 $Q_{A1}$ 、 $Q_{A2}$ 和 $Q_{B1}$ 、 $Q_{B2}$ 。电流源 $Q_{A1}$ 和 $Q_{B1}$ 生成充电电流 $i_Q$ ,而电流源 $Q_{A2}$ 和 $Q_{B2}$ 生成放电电流 $2 \cdot i_Q$ 。电流源 $Q_{A1}$ 、 $Q_{A2}$ 、 $Q_{B1}$ 和 $Q_{B2}$ 中的每个可以由相应的开关 $SW_{A1}$ 、 $SW_{A2}$ 、 $SW_{B1}$ 和 $SW_{B2}$ 来导通和关断。充电电流 $i_Q$ 由电流源 $Q_{A1}$ 和 $Q_{B1}$ 来生成,而放电电流 $2 \cdot i_Q$ 由电流槽 $Q_{A2}$ 和 $Q_{B2}$ 来生成。两个充电电路以交替方式来操作。也就是说,在基板电压 $V_{SUBST}$ 的偶数周期期间对电容器 $C_A$ 进行充电,并且在基板电压 $V_{SUBST}$ 的奇数周期期间对电容器 $C_A$ 进行放电,而在基板电压 $V_{SUBST}$ 的奇数周期期间对电容器 $C_B$ 进行充电,并且在基板电压 $V_{SUBST}$ 的偶数周期期间对电容器 $C_B$ 进行放电。在本示例中,信号P可以用于区分偶数周期与奇数周期,其中,高电平( $P=1$ )可以指示奇数周期并且低电平可以指示偶数周期。另外,仅在MOSFET  $M_P$ 被导通时,即在信号 ON处于高电平( $ON=1$ ,参见图8)时对电容器进行充电和放电。因此,在 $ON=1$ 并且 $P=0$ (逻辑结合“ $ON \& \overline{P}$ ”)时,开关 $SW_{A1}$ 和 $SW_{B2}$ 被导通,而在 $ON=1$ 并且 $P=1$ (逻辑结合“ $ON \& P$ ”)时,开关 $SW_{A2}$ 和  $SW_{B1}$ 被导通。在电容器 $C_A$ 、 $C_B$ 通过恒定电流 $2 \cdot i_Q$ 进行放电时,分别经由另外的开关 $SW_{A3}$ 或 $SW_{B3}$ ,将相应的电容器电压 $V_A$ 或 $V_B$ 施加至比较器CMP的输入端。在本示例中,只要在激活功率MOSFET  $M_P$ 之后时间  $T_{MASK} = T_{ON}/2$ 内,对电容器 $C_A$ 、 $C_B$ 进行放电,则比较器CMP在其输出端处发送低电平信号。可以看到,不管时间跨度 $T_{ON}$ 的实际持续时间如何,放电所需的时间总是充电所需的时间(其为 $T_{ON}$ )的一半。最终,对比较器输出信号进行反相以生成掩蔽信号X,掩蔽信号X在时间跨度 $T_{MASK}$ 期间呈现低电平(也参见图9和10)。

[0068] 图13B示出了可以用于生成信号P的电路的一个示例。图13B的示例基本上包括连接以形成分频器的定时D锁存器。也就是说,锁存器在时钟输入端CLK处接收复位信号RES作为输入信号,而所反相的锁存器输出 $\overline{Q}$ 被馈送回锁存器输入端D。在非反相锁存器输出端Q处提供信号 P。可以使用两个AND门来获得控制如上所述的开关 $SW_{A1}$ 、 $SW_{A2}$ 、 $SW_{A3}$ 、 $SW_{B1}$ 、 $SW_{B2}$ 和 $SW_{B3}$ 所需的逻辑结合“ $ON \& \overline{P}$ ”和“ $ON \& P$ ”。

[0069] 通过图14所示的时序图来进一步示出图13A和图13B的示例性定时电路的功能(具有 $T_{MASK}/T_{ON} \approx 0.5$ 的比率)。图14的第一时序图示出了交流基板电压 $V_{SUBST}$ (对照图7A)的两个周期(周期时间 $T_{CYCLE}$ )。第二时序图示出了相应的复位信号,其在基板电压超过阈值电压 $V_{NC}$ 的每个时刻 $t_{NC}$ 处呈现短的复位脉冲。在本示例中,阈值电压 $V_{NC}$ 具有小的正值(例如,80mV)。然而,阈值电压 $V_{NC}$ 也可以为零(参见图6A中的周期检测电路)。图14的第三时序图和第四时序图示出了通过图13B所示的电路生成的信号P及其反相信号 $\overline{P}$ 。可以看到,信号P的周期是 $2 \cdot T_{CYCLE}$ ,并且P在基板电压 $V_{SUBST}$ 的奇数周期期间呈现高电平并且在奇数周期期间呈现低

电平。图14的第五时序图示出了SR触发器SR1的输出信号ON（参见图8和图9）。图14的第六时序图和第七时序图分别示出了在电容器 $C_A$ 两端和在电容器 $C_B$ 两端的电容器电压 $V_A$ 和 $V_B$ 。如上所述，以交替方式对两个电容器 $C_A$ 和 $C_B$ 充电和放电。也就是说，表示电容器电压的两个单个波形相对于彼此而时移一个周期 $T_{CYCLE}$ 。可以看到对电容器 $C_A$ 和 $C_B$ 充电达时间 $T_{ON}$ （即，在时刻 $t_1$ 与 $t_2$ 之间），并且对电容器 $C_A$ 和 $C_B$ 放电达时间 $T_{ON}/2$ （即，在时刻 $t_1$ 与 $t_x$ 之间）。比较器输出信号 $\bar{X}$ 在图14的第八时序图中示出并且掩蔽信号 $X$ 在图14的第九时序图中示出。可以看到，当信号ON通知功率MOS晶体管 $M_P$ 的导通时掩蔽信号 $X$ 下降至低电平，并且在掩蔽时间 $T_{MASK}$ 之后掩蔽信号 $X$ 返回高电平，掩蔽时间 $T_{MASK}$ 在本示例中等于 $T_{ON}/2$ 。如所述的，不同比率在其他实现中也可以是适用的。

[0070] 如上相对于图3所述，功率MOS晶体管 $M_P$ 可以实现为由多个晶体管单元组成的垂直MOSFET。也就是说，各个晶体管单元的源漏电流路径（或在IGBT的情况下的发射极集电极电流路径）并联连接以形成晶体管 $M_P$ 。为了使晶体管导通和关断，所有晶体管单元的栅电极被连接，使得同时对栅电极充电和放电。在下述的实施方式中，整流器装置10包括两个或更多个MOS晶体管 $M_{p1}$ ， $M_{p2}$ ，两个或更多个MOS晶体管 $M_{p1}$ ， $M_{p2}$ 并联连接但是具有独立的栅极端子。MOS晶体管 $M_{p1}$ ， $M_{p2}$ 可以由单个单元阵列的晶体管单元形成，其中，第一组晶体管单元的栅电极连接至晶体管 $M_{p1}$ 的栅极端子，并且第二组晶体管单元的栅电极连接至晶体管 $M_{p2}$ 的栅极端子，而单元阵列的所有晶体管单元共享公共源电极和公共漏电极。在一个示例中，第一组晶体管单元可以包括单元阵列的近似百分之90的晶体管单元，而第二组包括剩余的百分之10。具有两个功率MOS晶体管 $M_{p1}$ 和 $M_{p2}$ 的这样的整流器装置10的示例通过图15中的等效电路来示出。与图4的示例不同的是，控制电路11需要生成两个栅极信号 $V_{G1}$ 和 $V_{G2}$ 而不是一个栅极信号，以使晶体管 $M_{p1}$ 和 $M_{p2}$ 导通和关断。另外的描述与如图15中所示的两个MOS晶体管 $M_{p1}$ 和 $M_{p2}$ 并联电连接的示例有关。然而，要注意，作为替代，也可以使用三个或更多个MOS晶体管的并联电路。在本文描述的示例中，分别使用两个不同的阈值 $V_{OFF1}$ 和 $V_{OFF2}$ 来触发两个MOS晶体管 $M_{p1}$ 和 $M_{p2}$ 的关断。在三个或更多个MOS晶体管并联连接（而不是图15中所示的两个）的示例中可以使用三个或更多个阈值。三个或更多个阈值中的一些阈值可以（但不需要）相同。

[0071] 图16的时序图示出了用于在二极管 $D_R$ （其为晶体管 $M_{p1}$ 和 $M_{p2}$ 的本征体二极管）被正向偏置时使包括在图15的整流器装置10中的MOS晶体管 $M_{p1}$ 和 $M_{p2}$ 导通和关断的一个示例性开关方案。与图7B的示例类似，当控制电路11检测到基板电压 $V_{SUBST}$ 为负（即，二极管 $D_R$ 被正向偏置）时，MOS晶体管 $M_{p1}$ 和 $M_{p2}$ 二者均被导通。为了确定使MOS晶体管 $M_{p1}$ 和 $M_{p2}$ 导通和关断的时刻，如下所述可以使用负的阈值电压 $V_{ON}$ 、 $V_{OFF1}$ 和 $V_{OFF2}$ 。因此，当基板电压 $V_{SUBST}$ 达到第一阈值 $V_{ON}$ 或者下降至第一阈值 $V_{ON}$ 以下时，MOS晶体管 $M_{p1}$ 和 $M_{p2}$ 二者均被导通。在本示例中，在时间 $t_1$ 处满足条件 $V_{SUBST} = V_{ON}$ ，并且栅极电压 $V_{G1}$ 和 $V_{G2}$ （参见图16的第二图和第三图）被设置为高电平以使MOS晶体管 $M_{p1}$ 和 $M_{p2}$ 导通。然而，与图7B不同的是，当基板电压 $V_{SUBST}$ 在周期结束时达到或超过第二阈值 $V_{OFF1}$ 时，仅第一MOS晶体管 $M_{p1}$ 再次被关断，而第二MOS晶体管 $M_{p2}$ 保持导通。在本示例中，在时间 $t_2$ 处满足条件 $V_{SUBST} = V_{OFF1}$ ，并且栅极电压 $V_{G1}$ （参见图16的第二图）被设置为低电平以使MOS晶体管 $M_{p1}$ 关断。当MOS晶体管 $M_{p1}$ 在时刻 $t_2$ 处被关断时，由于形成MOS晶体管 $M_{p2}$ 的那些晶体管单元的关断而导致总体导通电阻 $R_{ON}$ 增大，所以基板电压 $V_{SUBST}$ 可能突然下降至低电平。然而，当负载电流 $i_L$ 随周期的结束减少时，基板电压保持上升并且当基板

电压 $V_{SUBST}$ 达到第三阈值电平  $V_{OFF2}$ 时,第二MOS晶体管 $M_{P2}$ 最终也被关断。只要MOS晶体管 $M_{P1}$ 和 $M_{P2}$ 二者均关断,则基板电压 $V_{SUBST}$ 在再次上升到正值之前在下一周期开始(在时刻 $t_{NC}$ 处的复位脉冲)处可以突然下降至 $-VD$ 。

[0072] 图17是示出用于控制电路11(参见图15)的控制逻辑的一个示例性实现的框图,所述控制电路11的控制逻辑被设计成如图16的时序图所示那样来使MOS晶体管 $M_{P1}$ 和 $M_{P2}$ 导通和关断。用在图17的电路中的各种电路部件可以由如图6A所示的供电电路12(内部供电电压 $V_S$ )来供电。实际上,图17的示例是图8的示例的增强版本。激活以及停用SR 触发器SR1所需的控制逻辑基本上与图8的先前示例相同。然而,如上所述,SR触发器SR1的输出信号被表示为 $ON_1$ 并且相应的阈值被表示为  $V_{OFF1}$ 。除了图8的示例以外,本控制逻辑包括另外的SR触发器SR2、另外的比较器 $CMP_2$ ,并且掩蔽电路110包括另外的与门G3。两个SR触发器SR1、SR2的置位输入相连接,使得触发器被同步地置位。SR触发器 SR的输出信号被表示为 $ON_2$ 并且被提供至栅极驱动器13',该栅极驱动器13' 生成相应的栅极信号 $V_{G2}$ 。

[0073] 比较器 $CMP_2$ 接收基板电压 $V_{SUBST}$ 和第二阈值电压 $V_{OFF2}$ 作为输入信号,其中,基板电压被提供至比较器 $CMP_2$ 的非反相输入端并且第二阈值电压 $V_{OFF2}$ 被提供至比较器 $CMP_2$ 的反相输入端,使得当基板电压 $V_{SUBST}$ 超过第二阈值电压 $V_{OFF2}$ 时比较器输出端发送高电平信号。如图16所示,当基板电压 $V_{SUBST}$ 达到第二阈值电压 $V_{OFF2}$ 时,第二MOS晶体管 $M_{P2}$ 要被关断。因而,比较器 $CMP_2$ 的输出端(经由掩蔽电路110)耦接至SR 触发器SR2的复位输入端,以在比较器 $CMP_2$ 指示基板电压 $V_{SUBST}$ 已经达到第二阈值电压 $V_{OFF2}$ 时停用SR触发器SR2。掩蔽电路110防止两个晶体管 $M_{P1}$ 和 $M_{P2}$ 的不期望的较早关断。为了防止在时间跨度 $T_{MASK}$ 期间第二晶体管 $M_{P2}$ 的关断,掩蔽信号X将比较器 $CMP_2$ 的输出信号消隐使得其不能对SR触发器SR2进行复位。该消隐由与门G3以及与门G1对提供给SR触发器SR1的复位信号进行消隐的方式相同的方式来实现(比较图8)。

[0074] 图18是示出用于控制电路11(参见图15)的控制逻辑的另外的示例性实现的框图,所述控制电路11的控制逻辑被设计成如图16的时序图所示那样来使MOS晶体管 $M_{P1}$ 和 $M_{P2}$ 导通和关断。图18的示例与图17的先前示例基本上相同。然而,除了图17的示例以外,可以经由开关SW 将另外的阈值电压 $V_{PROT}$ (除了图17中所示的阈值电压 $V_{ON}$ 和 $V_{OFF}$ 以外) 提供至比较器 $CMP_1$ 。根据本示例,使用阈值电压 $V_{PROT}$ 来实现参照图10 至图12所述的安全机制。相应地,仅在掩蔽时间段 $T_{MASK}$ 期间施加阈值电压 $V_{PROT}$ (也参见图11,第三图)。该时间段可以通过经反相的掩蔽信号 $\bar{X}$  指示给开关SW,经反相的掩蔽信号 $\bar{X}$ 可以由耦接至定时器TMR的输出端的反相器12来提供。与阈值电压 $V_{ON}$ 、 $V_{OFF1}$ 、 $V_{OFF2}$ 不同的是,阈值电压 $V_{PROT}$ 可以为零或者微小正值(例如,近似几十毫伏)。此外,图18的示例包括保护电路(也称为安全电路),该保护电路被配置成停用 SR触发器SR1和SR2以便于在基板电压 $V_{SUBST}$ 在掩蔽时间段 $T_{MASK}$ 期间超过阈值电压 $V_{PROT}$ 时使MOS晶体管 $M_{P1}$ 和 $M_{P2}$ 二者均关断(安全关断,也参见图11,第二图,时刻 $t_S$ )。因而,安全电路15' 包括与门G4, 与门G4被配置成生成表示逻辑结合“ $\bar{C} \& \bar{X}$ ”的输出信号PROT,其中,比较器 $CMP_1$ 的经反相的输出信号 $\bar{C}$ 发信号(通过高电平)通知条件  $V_{SUBST} > V_{PROT}$ ,并且 $\bar{X}$ 发信号(也通过高电平)通知掩蔽时间段 $T_{MASK}$ 。除了在掩蔽时间段 $T_{MASK}$ 期间以外,该信号PROT与信号 $\bar{C}$ 对应但是被门 G4掩蔽。为了停用SR触发器SR1和SR2,如图18所示,信号PROT 经由OR门G5和G6被转发至SR触发器SR1和SR2的复位输入端。换言之,当出于任何原因基板电压

$V_{SUBST}$ 在掩蔽时间段 $T_{MASK}$ 期间变成正的时,在掩蔽时间段 $T_{MASK}$ 期间,对SR触发器SR1和SR2的复位信号的掩蔽可以被与OR门G5和G6连接的安全电路15'忽略。图6A的周期检测电路15也包括在图18中。

[0075] 图18的控制逻辑的功能还通过图19中所示的时序图示出。图19的第一时序图示出了交替的基板电压 $V_{SUBST}$ 和所述的五个阈值电平 $V_{ON}$ 、 $V_{OFF1}$ 、 $V_{OFF2}$ 、 $V_{PROT}$ 和 $V_{NC}$ 。图19的第二时序图和第三时序图分别示出了SR触发器SR1和SR2的输出信号 $ON_1$ 和 $ON_2$ 。当基板电压 $V_{SUBST}$ 达到阈值电压 $V_{ON}$ 时,信号 $ON_1$ 和 $ON_2$ 二者在时刻 $t_1$ 处均被设置成高电平。当基板电压 $V_{SUBST}$ 在时刻 $t_2$ 处达到阈值电压 $V_{OFF1}$ 时,信号 $ON_1$ 被设置回来,并且当基板电压 $V_{SUBST}$ 在时刻 $t_3$ 处达到阈值电压 $V_{OFF2}$ 时,信号 $ON_2$ 被设置回来。图19的第四时序图示出了掩蔽信号X,图19的第五时序图示出了复位信号RES。图19的第六时序图示出了由比较器CMP<sub>1</sub>使用的阈值电压 $V_R$ 如何在掩蔽时间段 $T_{MASK}$ 开始处从 $V_{ON}$ 被切换至 $V_{PROT}$ ,然后在掩蔽时间段 $T_{MASK}$ 结束处被切换至 $V_{OFF1}$ ,接着在时刻 $t_2$ 处被切换至 $V_{OFF2}$ (当第一MOS晶体管 $MP_1$ 的关断被触发时),以及最后在时刻 $t_3$ 处被切换回至 $V_{ON}$ (当第二MOS晶体管 $MP_2$ 的关断被触发时)。再次注意,如果基板电压 $V_{SUBST}$ 在掩蔽时间段 $T_{MASK}$ 期间升高至阈值 $V_{PROT}$ 之上(由于一些异常),则信号 $ON_1$ 和 $ON_2$ 二者将立即被重置为低电平。

[0076] 如图19的第一时序图所示,图18的控制逻辑使用五个阈值电压。在本文所描述的示例中,三个阈值电压可以是负的。例如,阈值电压 $V_{ON}$ 可以是-250mV,阈值电压 $V_{OFF1}$ 可以是-50mV,阈值电压 $V_{OFF2}$ 可以是-20mV,阈值电压 $V_{PROT}$ 可以是+30mV并且阈值电压 $V_{NC}$ 可以是+600mV。要理解,这些数字需要被视为说明性示例并且实际值可以不同。在功率MOS晶体管的晶体管单元在单个步骤中被关断的情况下(参见图4的具有一个功率MOS晶体管MP的示例),不需要阈值电压 $V_{OFF2}$ 。在功率MOS晶体管的晶体管单元在两个以上的步骤中被关断的情况下,可能需要附加的阈值电压。然而,阈值电压 $V_{OFF1}$ 和 $V_{OFF2}$ 还可以相等。理论上,阈值电压 $V_{OFF1}$ 和 $V_{OFF2}$ 可以被设置为零。然而,小的负值可以有助于确保比较器不会由于生产公差而太晚关断功率MOS晶体管。例如,由于所提及的公差,因此零伏特的阈值电压 $V_{OFF}$ 可能导致比较器实际上在+20mV处切换。

[0077] 由于本文所述的整流器装置通常具有正好两个端子(阳极/参考端子A和阴极/参考端子K),因此分离的供电端子不可用,并且供电电压 $V_S$ 必须如例如图6A所示在内部产生。在这方面,应该注意,如果负的供电电压不可用,则负的阈值电压的实现并不是直接行得通的。图20示出了在不需要负供电电压的情况下可以如何有效地实现负阈值电压的一个示例。图20的示例包括图18的控制逻辑中已经使用的三个比较器CMP<sub>1</sub>、CMP<sub>2</sub>以及CMP<sub>NC</sub>。然而,在本示例中,分别使用正的阈值电压 $V_{X1}$ 、 $V_{X2}$ 和 $V_{X3}$ 。不同于前面的示例,基板电压 $V_{SUBST}$ 不是直接提供给比较器输入端,而是电压 $V_{SUBST}'$ 被提供给比较器输入端,电压 $V_{SUBST}'$ 是基板电压 $V_{SUBST}$ 的缩放和电平移动版本。从图20可以看出,由电阻器 $R_1$ 和 $R_2$ 组成的分压器可以用于缩放基板电压 $V_{SUBST}$ ,其中,电阻器 $R_1$ 和 $R_2$ 在基板与参考电势 $V_{REF}$ 之间(即,在图3的整流器装置的阳极端子与阴极端子之间)串联连接。电阻器 $R_1$ 和 $R_2$ 可以具有相等的电阻。另一电阻器 $R_3$ 可以耦接在分压器 $R_1$ 、 $R_2$ 的中间抽头与可开关电流源 $Q_{OS}$ 之间,可开关电流源 $Q_{OS}$ 可以由开关 $S_2$ 导通和关断。另一开关 $S_1$ 可以用于旁路(如果开关 $S_1$ 闭合)电阻器 $R_3$ 。当导通时(开关 $S_2$ 闭合),电流源 $Q_{OS}$ 将偏移电流(offset current)  $i_{OS}$ 馈送至电路节点N,电路节点N经由电阻器 $R_3$ 连接至分压器 $R_1$ 、 $R_2$ 的中间抽头。电路节点N处存在的电压是上述电压 $V_{SUBST}'$ , $V_{SUBST}'$ 被分别

提供至比较器CMP<sub>1</sub>、CMP<sub>2</sub>和CMP<sub>NC</sub>的输入端。

[0078] 如果开关S<sub>2</sub>断开,则偏移电流*i*<sub>OS</sub>为零,并且电压V<sub>SUBST'</sub>等于  $V_{SUBST} \cdot R_2 / (R_1 + R_2)$ ,即在没有任何偏移的情况下电压V<sub>SUBST'</sub>与基板电压 V<sub>SUBST</sub>成比例。如果开关S<sub>2</sub>闭合,则偏移电流*i*<sub>OS</sub>大于零(例如,在几微安的范围)并且电压V<sub>SUBST'</sub>等于

[0079]  $V_{SUBST'} = V_{SUBST} \cdot R_2 / (R_1 + R_2) + i_{OS} \cdot R_1 \cdot R_2 / (R_1 + R_2) + i_{OS} \cdot R_3$

[0080] 其中,当开关S<sub>1</sub>闭合以旁路电阻器R<sub>3</sub>时,第三项*i*<sub>OS</sub> · R<sub>3</sub>为零。换句话说,可以通过闭合开关S<sub>2</sub>将偏移量添加至缩放的基板电压V<sub>SUBST</sub> · R<sub>2</sub> / (R<sub>1</sub>+R<sub>2</sub>),并且如果开关S<sub>1</sub>断开,则偏移量更大。最后,可以使用开关S<sub>3</sub>将比较器 CMP<sub>1</sub>所使用的阈值电压在正值V<sub>X1</sub>与参考电压V<sub>REF</sub>(0V)之间切换。

[0081] 从图20和上面的描述可以看出,负阈值电压可以通过将偏移电压添加至基板电压(或缩放的基板电压)并且使用相应的阈值(等于或大于零)来实现,所述阈值通过相应的偏移电压来电平移动。如果我们假设R<sub>1</sub>=R<sub>2</sub>=50kΩ,R<sub>3</sub>=100kΩ并且*i*<sub>OS</sub>=1μA,则上述等式简化为V<sub>SUBST'</sub>=V<sub>SUBST</sub>/2 +V<sub>OS</sub>,其中,当开关S<sub>1</sub>和S<sub>2</sub>闭合时(电阻器R<sub>3</sub>被开关S<sub>1</sub>旁路),V<sub>OS</sub>为25mV,当开关S<sub>2</sub>闭合并且开关S<sub>1</sub>断开时,V<sub>OS</sub>=125mV。

[0082] 在本示例中,为了实现-250mV的有效阈值电压V<sub>ON</sub>,开关S<sub>1</sub>被断开(电阻器R<sub>3</sub>未被旁路),开关S<sub>2</sub>被闭合(偏移电流源Q<sub>OS</sub>激活),并且开关S<sub>3</sub>处于位置“0”(V<sub>REF</sub>=0V被提供至比较器CMP<sub>1</sub>输入端作为阈值电压,其中,有效阈值电压是-250mV)。类似地,为了实现-50mV的有效阈值电压V<sub>OFF1</sub>,开关S<sub>1</sub>被闭合(电阻器R<sub>3</sub>被旁路),开关S<sub>2</sub>被闭合(偏移电流源Q<sub>OS</sub>激活),并且开关S<sub>3</sub>处于位置“0”(V<sub>REF</sub>=0V被提供至比较器CMP<sub>1</sub>输入端作为阈值电压)。为了实现-20mV的有效阈值电压V<sub>OFF2</sub>,开关S<sub>1</sub>被闭合(电阻器R<sub>3</sub>被旁路),开关S<sub>2</sub>被闭合(偏移电流源Q<sub>OS</sub>激活),并且15mV的正阈值电压V<sub>X2</sub>用于比较器CMP<sub>2</sub>。为了实现30mV的有效阈值电压V<sub>PROT</sub>,开关S<sub>2</sub>被断开(偏移电流源Q<sub>OS</sub>未激活),开关 S<sub>3</sub>处于位置“1”(向比较器CMP<sub>1</sub>输入端提供V<sub>X1</sub>=15mV作为阈值电压),并且S<sub>1</sub>开关的位置无关紧要。为了实现-600mV的有效阈值电压V<sub>NC</sub>,开关S<sub>1</sub>被闭合(电阻器R<sub>3</sub>被旁路),开关S<sub>2</sub>被闭合(偏移电流源Q<sub>OS</sub>激活),并且325mV的正阈值电压V<sub>X3</sub>用于比较器CMP<sub>NC</sub>。

[0083] 要理解,本领域技术人员可以得到提供基本上相同或相似功能的各种其他电路实现。因而,要强调的是,图20中所示的实现要仅被视为说明性示例。对于图8、图17和图18中所示的控制逻辑的示例性实现也是如此。本领域技术人员将容易地得到提供与所示出的示例基本上相同或相似功能的各种其他实现。实际上,实际实现可能在很大程度上取决于用于构成集成电路的半导体技术。此外,要理解,所示出的实现通过简化等效电路来表示,在该简化等效电路中省略了描述示例所不需要的部件。然而,本领域技术人员能够以任何合适的半导体技术来容易地实现所示出的示例。

[0084] 图21示出了说明用于操作整流器装置的一个示例性方法的流程图,可以根据本文所述的示例中之一(例如,如图4所示的整流器装置10)来实现该方法。因此,整流器装置包括并联耦接在整流器装置的第一端子与第二端子之间的半导体开关和二极管(参见,例如图4的MOSFET M<sub>P</sub>、二极管D<sub>R</sub>)。根据图21的示例,该方法包括检测二极管D<sub>R</sub>被正向偏置(参见图21的步骤M1)。该检测可以例如通过检测整流器装置10两端的电压V<sub>SUBST</sub>降到阈值电压V<sub>ON</sub>以下来实现,如图7A和图7B所示。在检测到二极管D<sub>R</sub>被正向偏置时,使半导体开关M<sub>P</sub>导通(参见图21的步骤 M2)。该方法还包括在二极管D<sub>R</sub>正向偏置时检测电压V<sub>SUBST</sub>达到阈值电压V<sub>OFF</sub>

(参见图21的步骤M3)。在检测到电压 $V_{SUBST}$ 已经达到阈值电压  $V_{OFF}$ 时,使半导体开关 $M_P$ 关断(参见图21的步骤M3)。

[0085] 在利用两个或更多个半导体开关(例如,利用如图15所示的MOSFET  $M_{P1}$ 和 $M_{P2}$ )来实现整流器装置的情况下,关断可以在例如图16所示的两个步骤中实现。再次注意,方法步骤可以以各种方式实现。这些步骤包括使用数字电路和模拟电路以及混合信号电路。数字电路可以包括硬连线电路部件以及由软件指令控制的可编程处理器(例如微控制器等)。

[0086] 图22示出了说明具有另外的安全/保护机制的图21的方法的流程图,该另外的安全/保护机制可以例如如图11的时序图所示来实现。因此,在步骤M2(MOSFET  $M_P$ 的导通)之后,可以跟随检测步骤M3a,其用于检测基板电压 $V_{SUBST}$ 是否在跟随MOS晶体管 $M_P$ 导通的时间跨度 $T_{MASK}$ 期间达到正安全阈值 $V_{PROT}$ (参见例如图11)。如果在时间跨度 $T_{MASK}$ 期间未达到阈值 $V_{PROT}$ ,则该方法继续进行步骤M3和M4,如图21所示。否则,如果在时间跨度 $T_{MASK}$ 期间达到阈值 $V_{PROT}$ ,则功率MOS晶体管  $M_P$ 的安全关断(或者,如果如在图15的示例中使用两个晶体管,则晶体管 $M_{P1}$ 和 $M_{P2}$ 二者的安全关断)被实现(参见图22的步骤M4a)。

[0087] 以下对本文描述的实施方式的一些方面进行概述。然而要注意,以下概述并非对特征的穷举,而是对在一些应用中可能重要或者有利的特征的示例性选择。根据一个示例(示例1),整流器装置包括阳极端子和阴极端子,阳极端子和阴极端子通过第一MOS晶体管的负载电流路径以及并联连接至负载电流路径的二极管来连接。在阳极端子与阴极端子之间可操作地施加交流输入电压。整流器装置还包括控制电路。控制电路包括控制逻辑,控制逻辑被配置成使第一MOS晶体管在导通时间段内导通,在该导通时间段期间二极管被正向偏置。控制电路还包括安全电路,安全电路被配置成在交流输入电压达到安全阈值时触发第一MOS晶体管的关断。

[0088] 示例2:根据示例1所述的整流器装置,其中,阳极端子处的电势用作控制逻辑的参考电势。

[0089] 示例3:根据示例1或2所述的整流器装置,其中,阳极端子处的电势用作控制逻辑和安全电路的参考电势,并且其中,安全阈值表示相对于参考电势为正的电压电平。

[0090] 示例4:根据示例1至3中任一项所述的整流器装置,其中,安全阈值是可编程的。

[0091] 示例5:根据示例1至4中任一项所述的整流器装置,其中,控制逻辑被配置成通过检测二极管已经变得导通来检测导通时间段的开始。

[0092] 示例6:根据示例1至5中任一项所述的整流器装置,其中,控制逻辑被配置成通过检测阴极端子与阳极端子之间的电压已经达到限定的第一阈值电压来检测导通时间段的开始。

[0093] 示例7:根据示例1至6中任一项所述的整流器装置,其中,阳极端子处的电势用作控制逻辑的参考电势,并且其中,控制逻辑被配置成在所述交流输入电压下降至第一阈值电压以下时检测导通时间段的开始,所述第一阈值电压相对于参考电势为负。

[0094] 示例8:根据示例6或7所述的整流器装置,其中,控制逻辑被配置成通过检测阴极端子与阳极端子之间的电压已经达到限定的第二阈值电压来检测导通时间段的结束。

[0095] 示例9:根据示例8所述的整流器装置,其中,与第一阈值电压相比,第二阈值电压更接近零。

[0096] 示例10:根据示例1至9中任一项所述的整流器装置,其中,阳极端子处的电势用作

控制逻辑的参考电势,其中,控制逻辑被配置成:在所述交流输入电压下降至相对于参考电势为负的第一阈值电压以下时检测导通时间段的开始;并且在所述交流输入电压达到相对于参考电势也为负的第二阈值电压时检测导通时间段的结束。

[0097] 示例11:根据示例1至10中任一项所述的整流器装置,还包括:至少第二MOS晶体管,第二MOS晶体管具有与第一MOS晶体管的负载电流路径并联连接的负载电流路径。

[0098] 示例12:根据示例11所述的整流器装置,其中,控制逻辑被配置成使第一MOS晶体管和第二MOS晶体管相继导通或基本上同时导通。

[0099] 示例13:根据示例11或12所述的整流器装置,其中,控制逻辑被配置成使第二MOS晶体管比第一MOS晶体管更迟地关断。

[0100] 示例14:根据示例13所述的整流器装置,其中,控制逻辑被配置成通过检测阴极端子与阳极端子之间的电压已经达到限定的第二阈值电压来检测导通时间段的结束,并且其中,在第一MOS晶体管被关断之后,在检测到阴极端子与阳极端子之间的电压已经达到限定的第三阈值电压时,第二MOS晶体管被关断。

[0101] 示例15:根据示例14所述的整流器装置,其中,第三阈值电压比第二阈值电压更接近零。

[0102] 示例16:根据示例1至15中任一项所述的整流器装置,其中,第一MOS晶体管和电路被集成在同一半导体基板中,并且其中,阳极端子和阴极端子是整流器装置的仅有的外部端子。

[0103] 示例17:根据示例1至16中任一项所述的整流器装置,其中,第一MOS晶体管是第一MOSFET,并且二极管是第一MOSFET的体二极管。

[0104] 示例18:根据示例17所述的整流器装置,还包括:第二MOSFET,其中,第一MOSFET和第二MOSFET均由多个晶体管单元组成。

[0105] 示例19:根据示例18所述的整流器装置,其中,第一MOSFET和第二MOSFET是垂直DMOS晶体管。

[0106] 示例20:根据示例1至19中任一项所述的整流器装置,其中,控制电路被配置成:通过检测在二极管的两端电压降已经达到限定的第一阈值电压的第一时刻来检测导通时间段的开始;通过检测在第一MOS晶体管的负载电流路径两端的电压降已经达到限定的第二阈值电压的第二时刻来检测导通时间段的结束;以及在限定的掩蔽时间段内掩蔽掉对第二时刻的任何检测。

[0107] 示例21:根据示例20所述的整流器装置,其中,安全电路在掩蔽时间段期间是激活的。

[0108] 示例22:根据示例20或21所述的整流器装置,其中,掩蔽时间段基于交流输入电压的前一周期中的导通时间段来调整。

[0109] 根据另一示例(示例23),整流器装置包括半导体基板、布置在半导体基板中的多个晶体管单元以及由多个晶体管单元中的至少一部分晶体管单元组成的第一MOS晶体管。第一MOS晶体管具有负载电流路径和与负载电流路径并联耦接的体二极管。整流器装置还包括通过第一MOS晶体管的负载电流路径和体二极管连接的阳极端子和阴极端子。此外,整流器装置包括控制电路。控制电路包括控制逻辑,控制逻辑被配置成在检测到阴极端子与阳极端子之间的电压达到第一阈值电压时使第一MOS晶体管导通。控制逻辑还被配置成

在检测到阴极端子与阳极端子之间的电压达到第二阈值电压时使第一MOS晶体管关断,其中,阳极端子具有用作控制电路的地电势的电势,并且其中,第一阈值电压和第二阈值电压为负。此外,控制电路包括安全电路,该安全电路被配置成在阴极端子与阳极端子之间的电压达到安全阈值时触发第一MOS晶体管的关断,安全阈值是正的阈值电压。

[0110] 示例24:根据示例23所述的整流器装置,还包括:由多个晶体管单元中的另外的一部分晶体管单元组成的第二MOS晶体管,第二MOS晶体管具有并联耦接至第一MOS晶体管的负载电流路径的负载电流路径,其中,控制逻辑还被配置成:与第一MOS晶体管同时地或在第一MOS晶体管之后使第二MOS晶体管导通;以及在检测到阴极端子与阳极端子之间的电压达到第三阈值电压时使第二MOS晶体管关断。

[0111] 示例25:根据示例23或24所述的整流器装置,其中,控制逻辑被配置成在特定掩蔽时间内掩蔽掉对阴极端子与阳极端子之间的电压达到第二阈值电压的任何检测,并且其中,安全电路在掩蔽时间期间保持激活。

[0112] 示例26:根据示例25所述的整流器装置,其中,基于阴极端子与阳极端子之间的电压的前一周期的第一MOS晶体管的导通时间来调整掩蔽时间。

[0113] 此外,本文描述了用于操作整流器装置的方法。根据一个示例(示例27),整流器装置包括并联耦接在阳极端子与阴极端子之间的MOS晶体管和二极管,并且该方法包括:检测二极管被正向偏置,以及在检测到二极管正向偏置时由控制电路导通MOS晶体管。该方法还包括在二极管被正向偏置时检测在阴极端子与阳极端子之间的整流器装置两端的电压达到特定阈值电压,以及在检测到在整流器装置两端的电压已经达到特定阈值电压时使MOS晶体管关断。此外,该方法包括检测阴极端子与阳极端子之间的电压上升至安全阈值以上,以及在检测到已经达到安全阈值时,由控制电路关断MOS晶体管。

[0114] 示例28:根据示例27所述的方法,其中,在MOS晶体管导通之后的掩蔽时间期间,对已经达到安全阈值的检测是有效的,并且其中,在掩蔽时间期间,对在整流器装置两端的电压已经达到特定阈值电压的检测被掩蔽。

[0115] 示例29:根据示例27或28所述的方法,还包括:基于在阴极端子与阳极端子之间的整流器装置两端的电压来生成用于控制电路的内部供电电压,其中,阳极端子处的电势被用作控制电路的地电势。

[0116] 示例30:根据示例29所述的方法,其中,整流器装置包括并联耦接至在阳极端子与阴极端子之间的二极管的另外的MOS晶体管;该方法还包括:在检测到二极管正向偏置时由控制电路导通另外的MOS晶体管;在MOS晶体管被关断之后,检测在阴极端子与阳极端子之间的整流器装置两端的电压达到另外的特定阈值电压;以及在检测到在整流器装置两端的电压已经达到另外的特定阈值电压时使另外的MOS晶体管关断。

[0117] 根据又一示例(示例31),整流器装置包括通过第一MOS晶体管的负载电流路径以及并联连接至负载电流路径的二极管连接的阳极端子和阴极端子。在阳极端子与阴极端子之间可操作地施加交流输入电压。阳极端子处的电势用作整流器装置的参考电势;以及控制电路,包括:控制逻辑,其被配置成使第一MOS晶体管在导通时间段内导通,在导通时间段期间二极管被正向偏置;以及安全电路,其被配置成在交流输入电压达到安全阈值时触发第一MOS晶体管的关断。因此,控制电路包括至少一个比较器电路,比较器电路被配置成将阴极端子处的电压与至少一个阈值电压进行比较,并且比较器接收阴极端子处的电压的经

电平移动和缩放后的表示,作为第一输入信号,并且使用阈值电压的经电平移动和缩放的版本作为第二输入信号。

[0118] 示例32:根据示例31所述的整流器装置,其中,阴极端子处的电压的缩放通过分压器来实现,并且阴极端子处的电压的电平移动通过将偏置电流注入分压器来实现。

[0119] 虽然已经参考一个或更多个实现示出和描述了本发明,但是可以在不背离所附权利要求的精神和范围的前提下对所示出的示例做出变型和/或修改。如上所述,由上述部件或结构(单元、组件、装置、电路、系统等)执行的各种功能,用于描述这样的部件的术语(包括对“手段”的引用)——除非另有指示——否则意在与下述任何部件或结构对应:其执行所描述的部件的指定功能(例如,功能上等同的),即使与所公开的结构在结构上不等同;并且执行本发明的在本文中所示出的示例性实现中的功能。

[0120] 另外,虽然可能已经相对于若干个实现中的仅一个实现公开了本发明的特定特征,但是这样的特征可以与针对任何给定或特定应用可能是期望的或有利的其他实现的一个或更多个其他特征组合。此外,对于在具体实施方式和权利要求中使用的术语“包括(including)”、“包括(includes)”、“具有(having)”、“具有(has)”、“具有(with)”或其变型,这样的术语意在以与术语“包括(comprising)”类似的方式而包括在内。

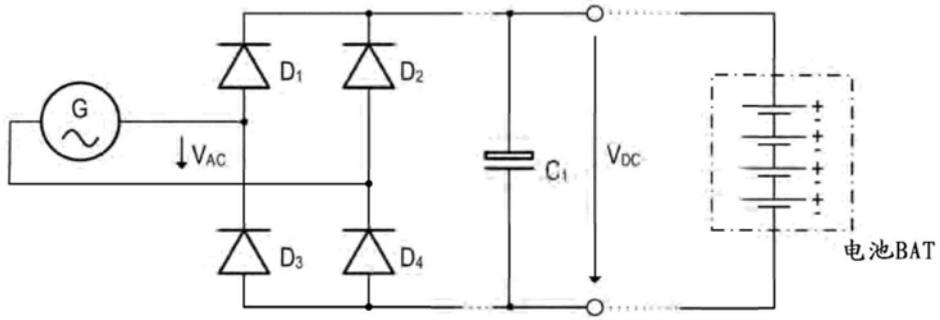


图1

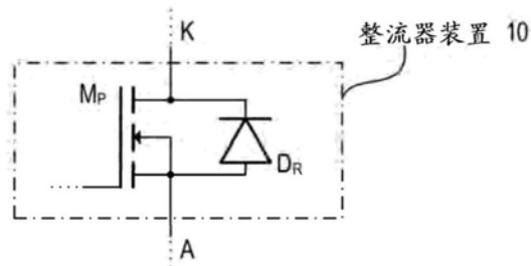


图2

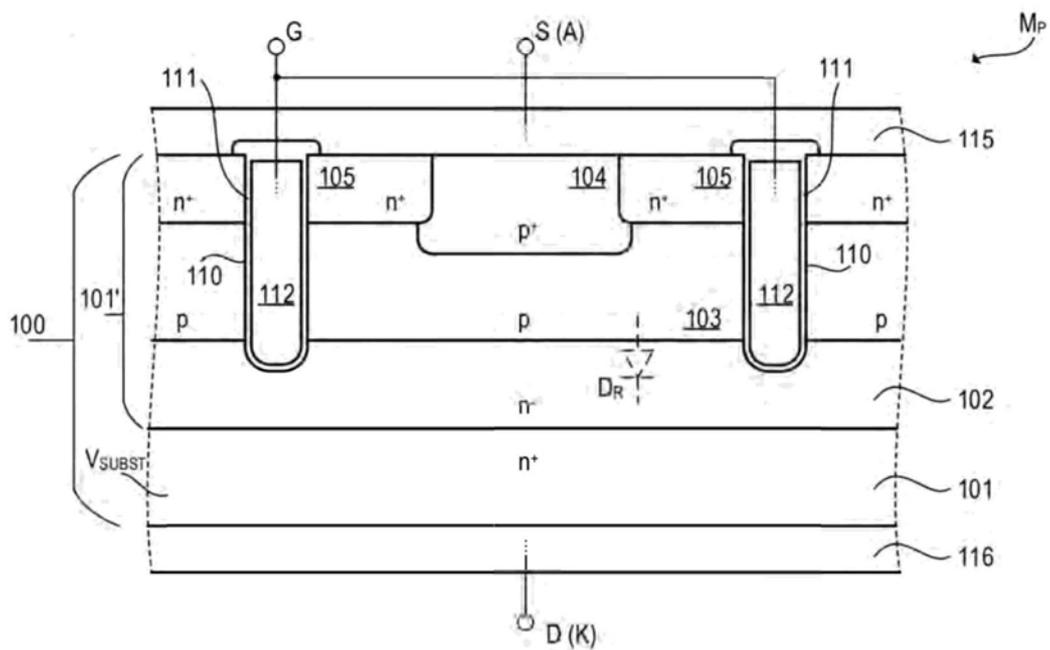


图3

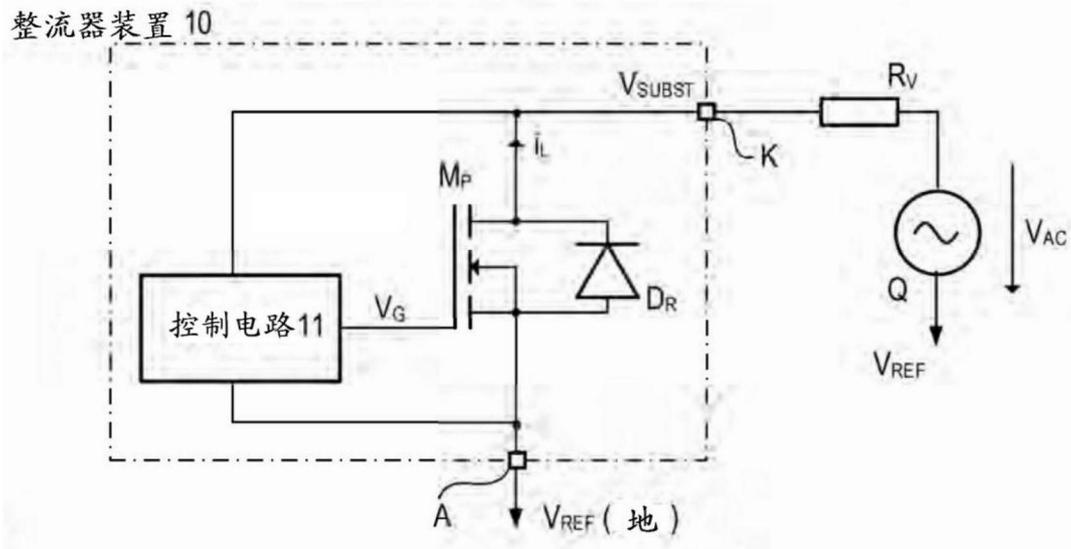


图4

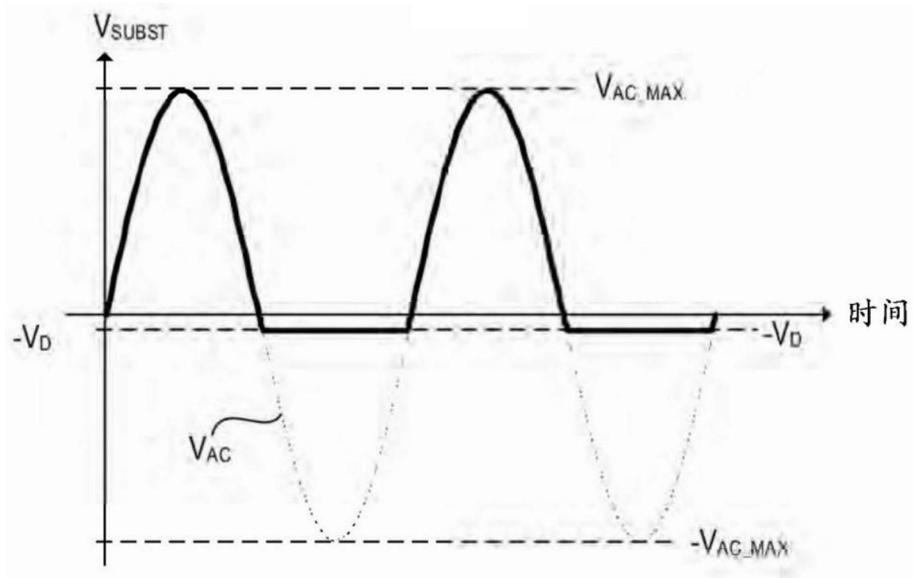


图5

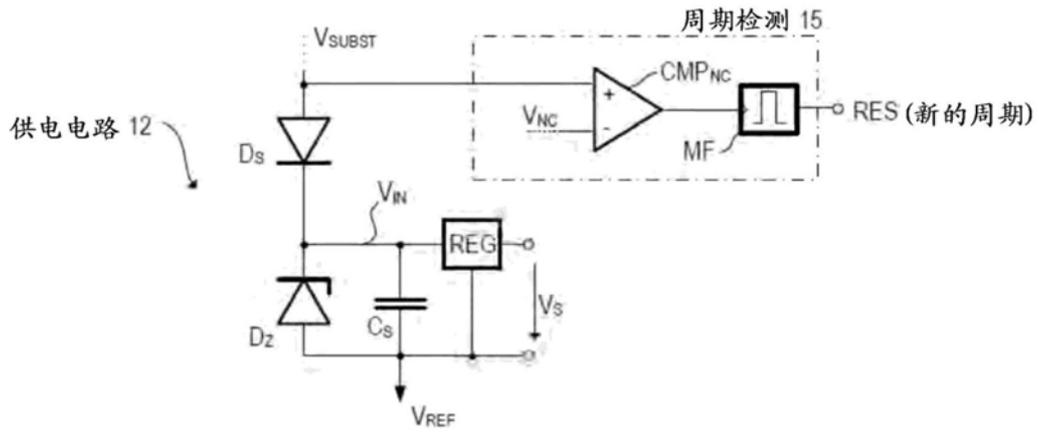


图6A

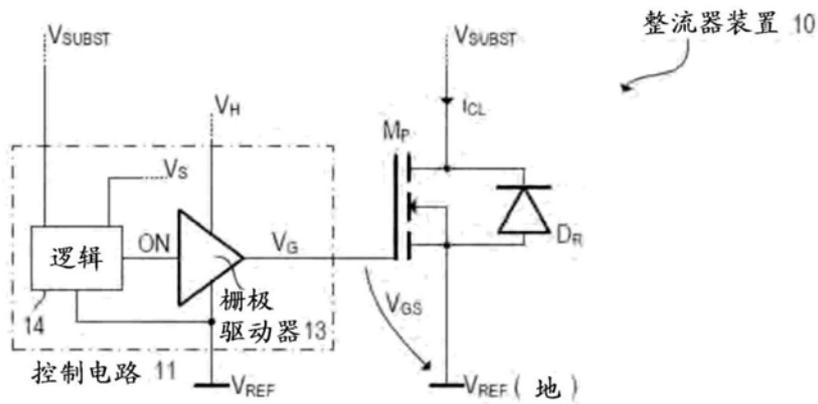


图6B

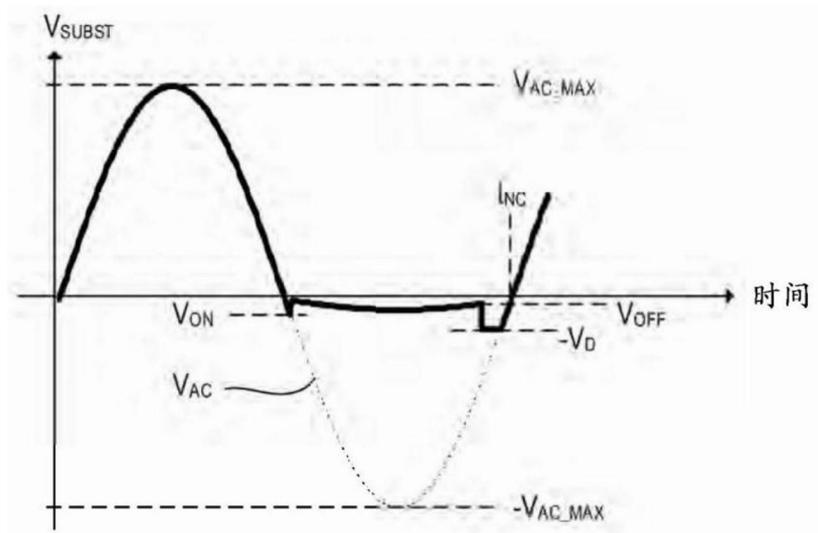


图7A

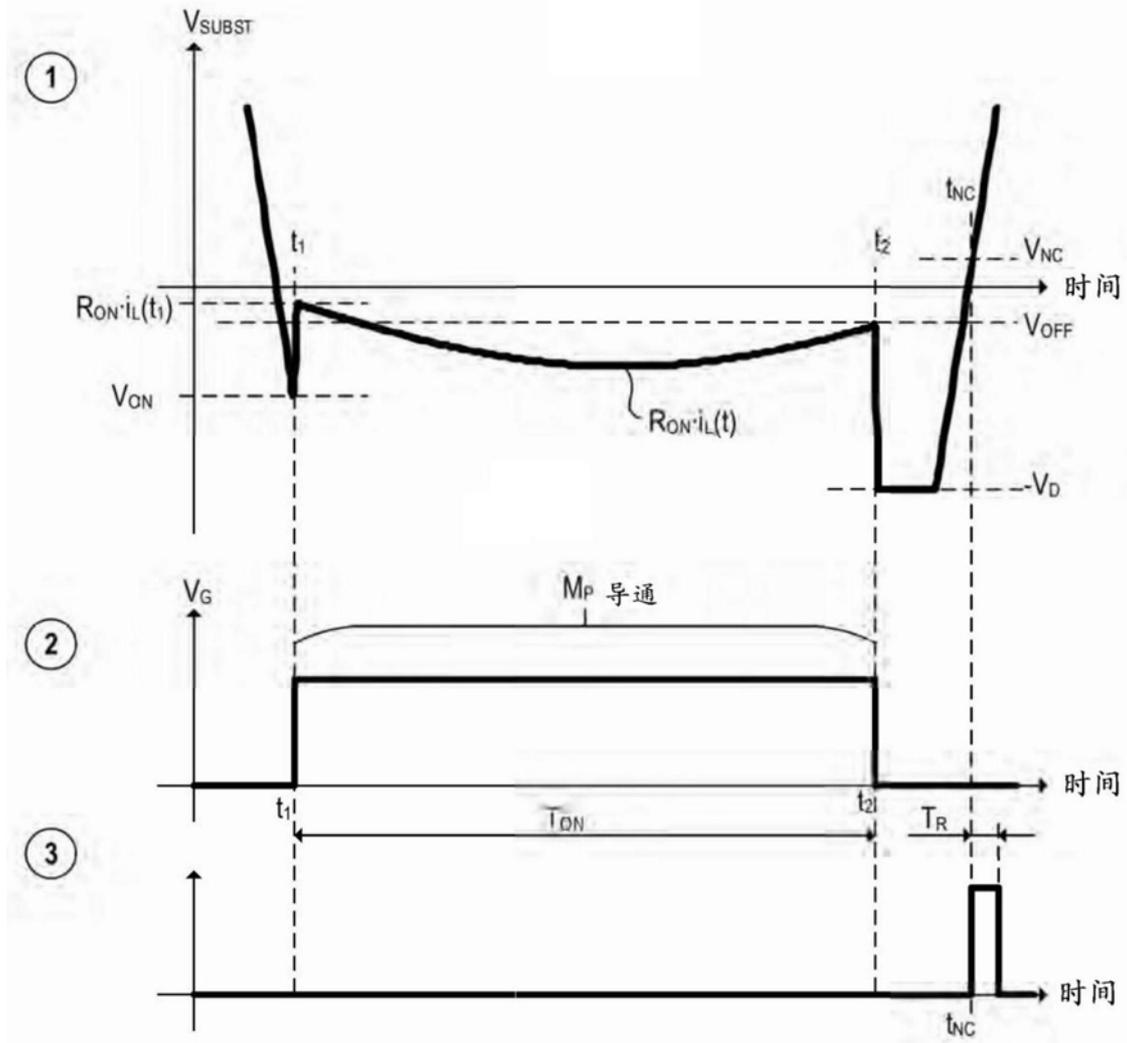


图7B

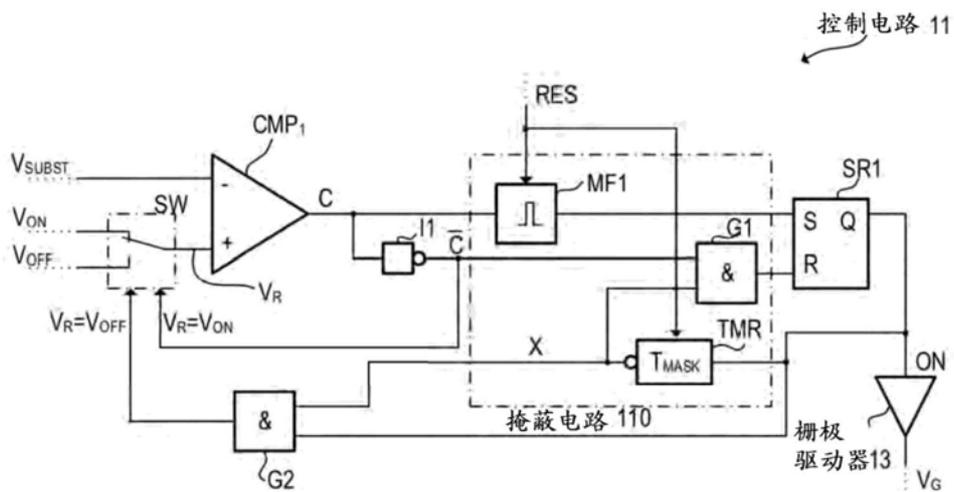


图8

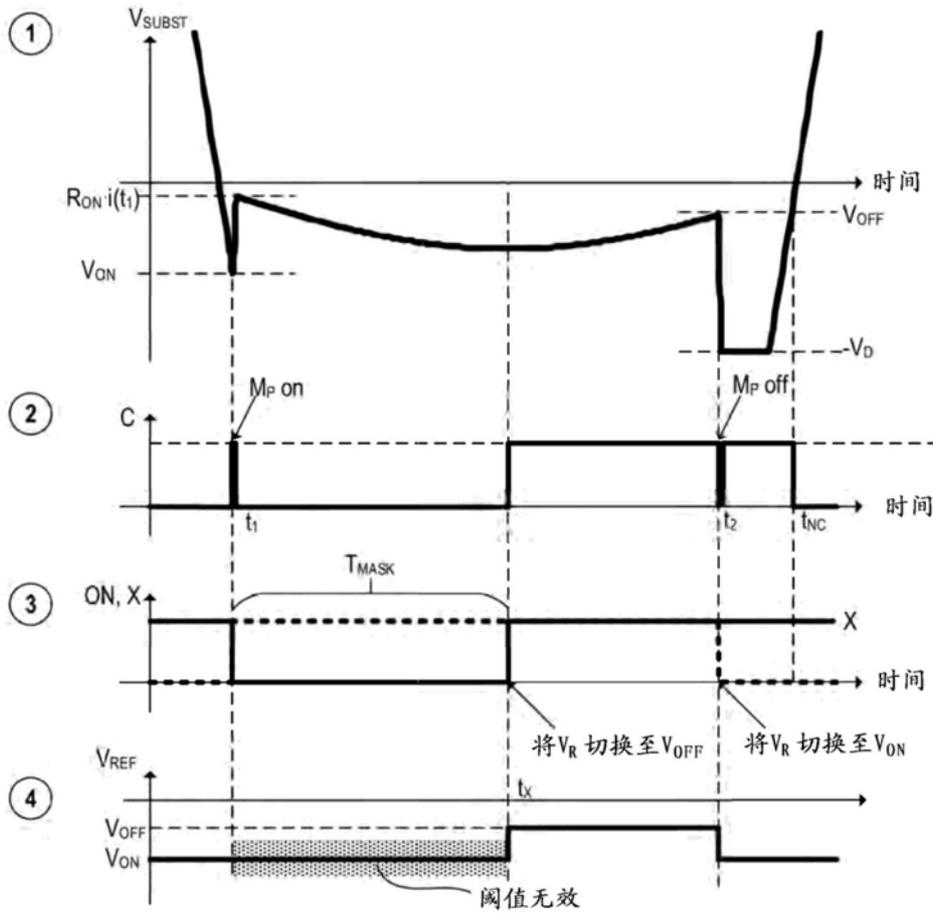


图9

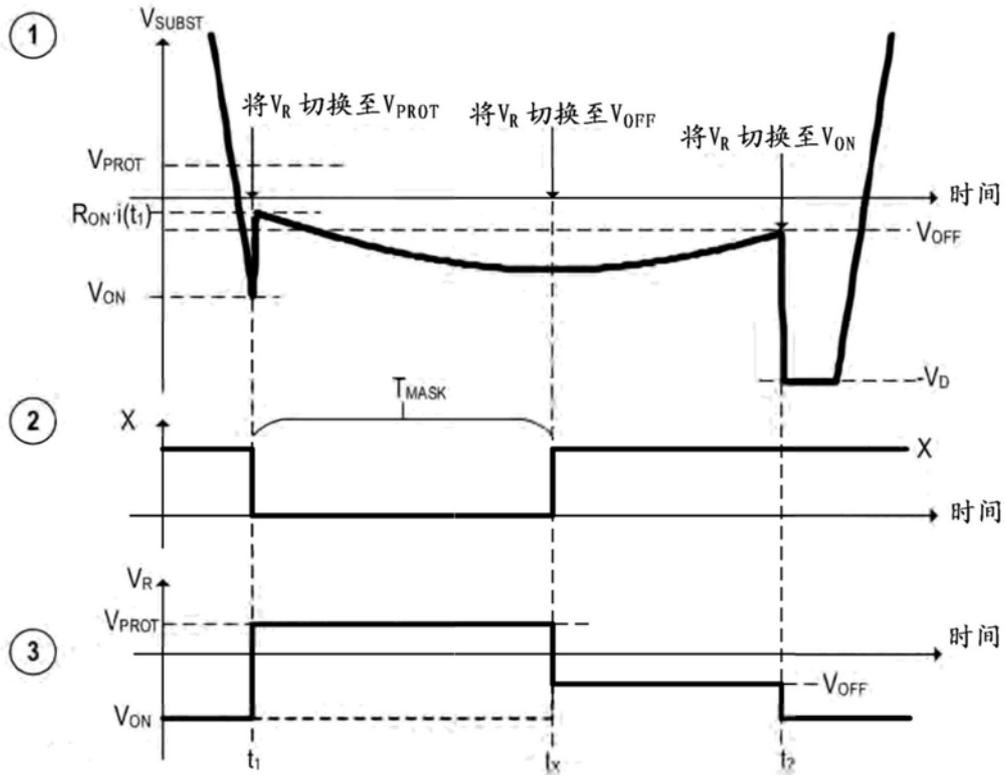


图10

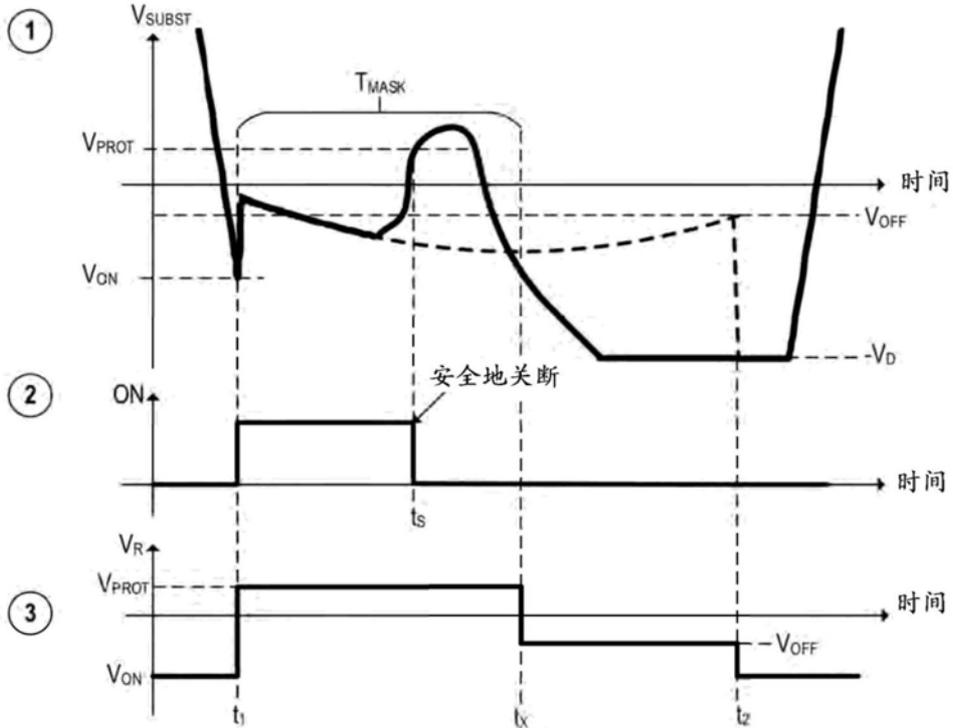


图11

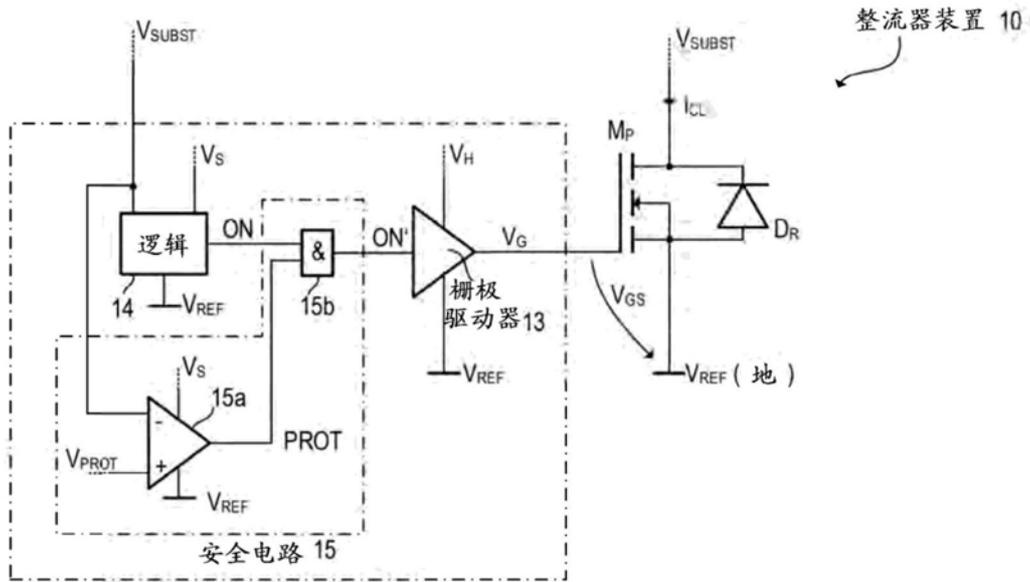


图12

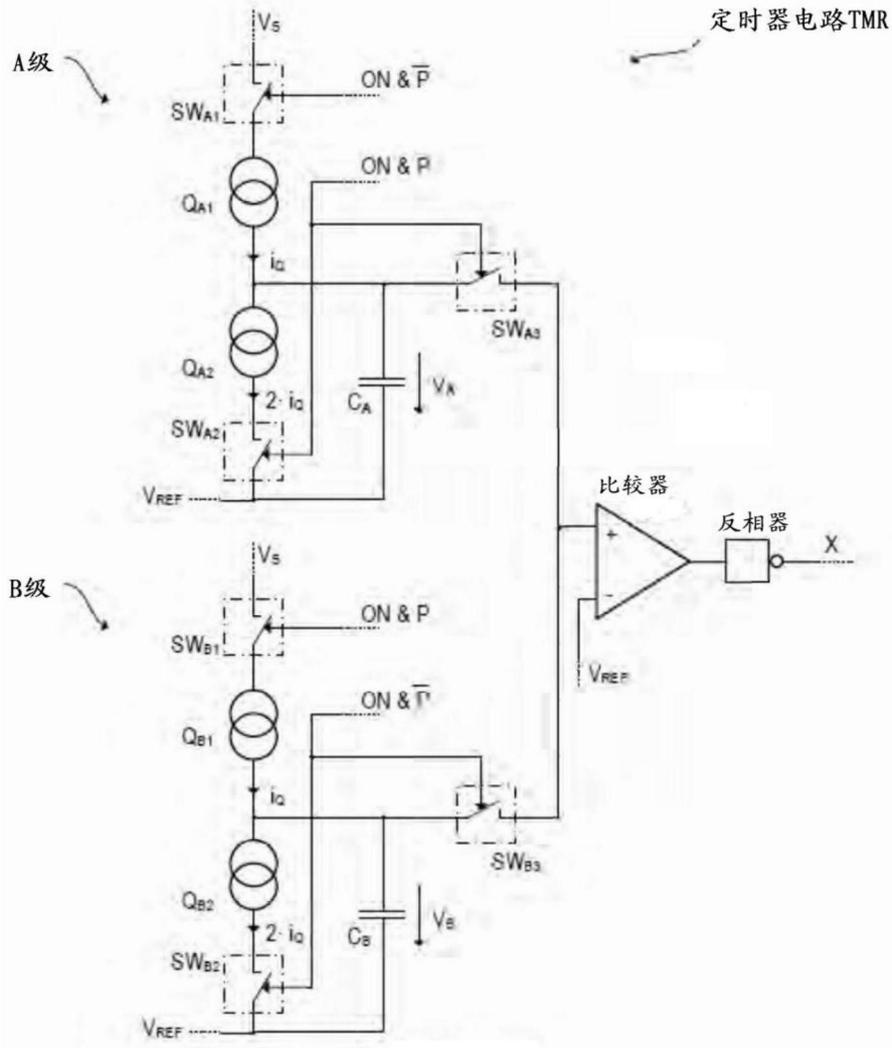


图13A

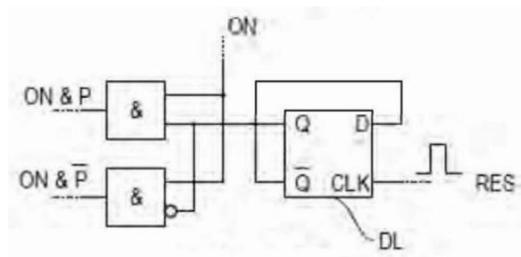


图13B

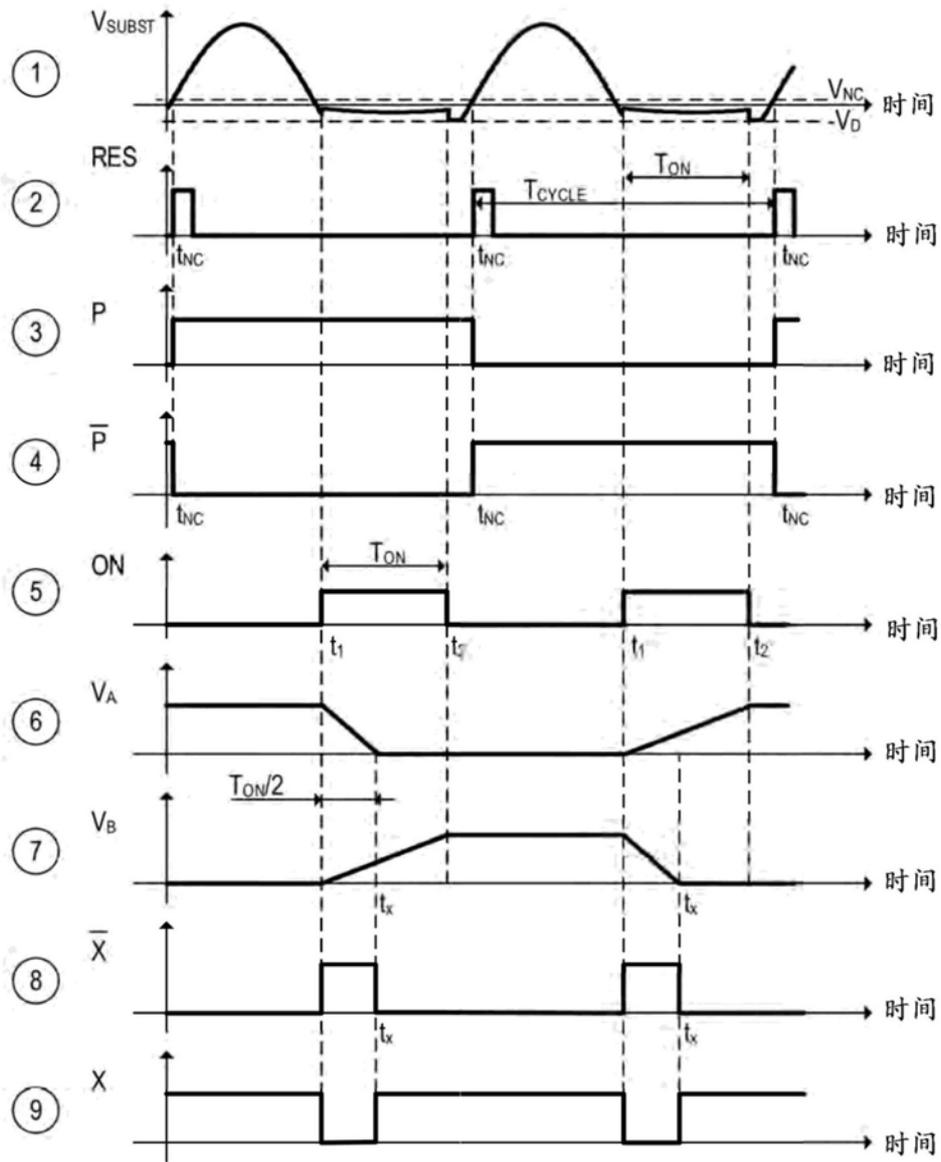


图14

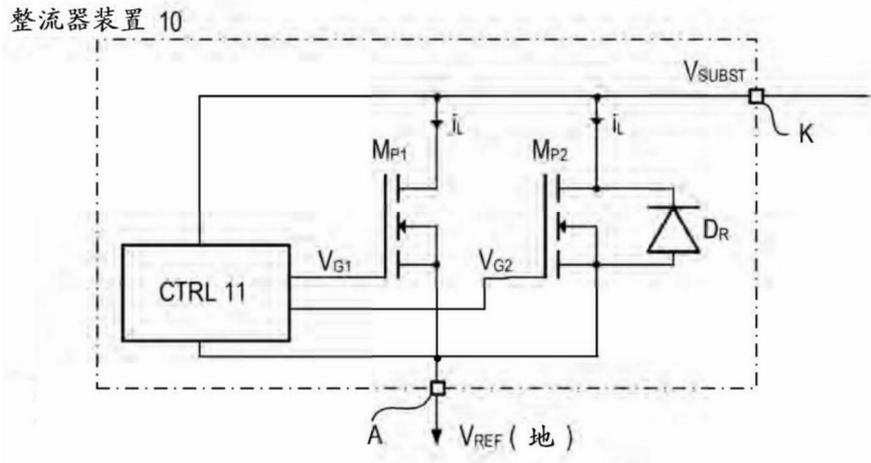


图15

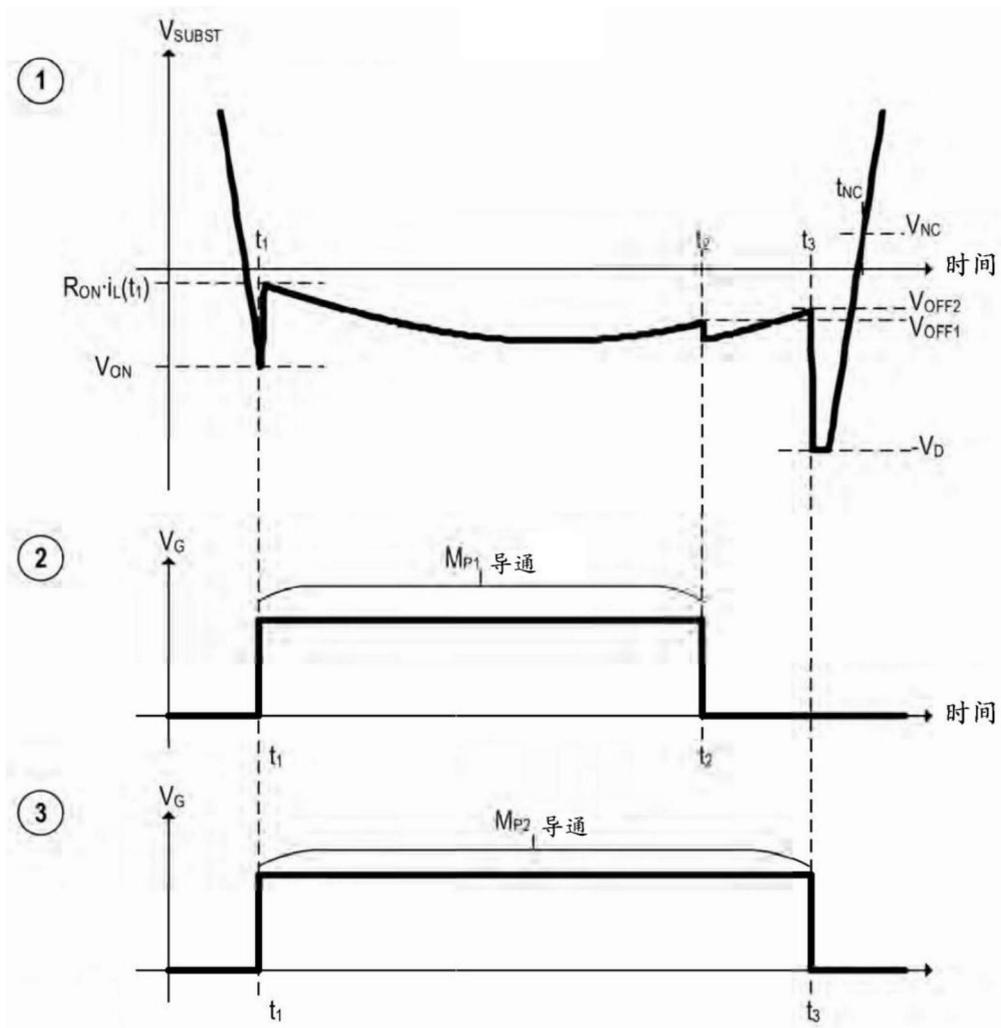


图16

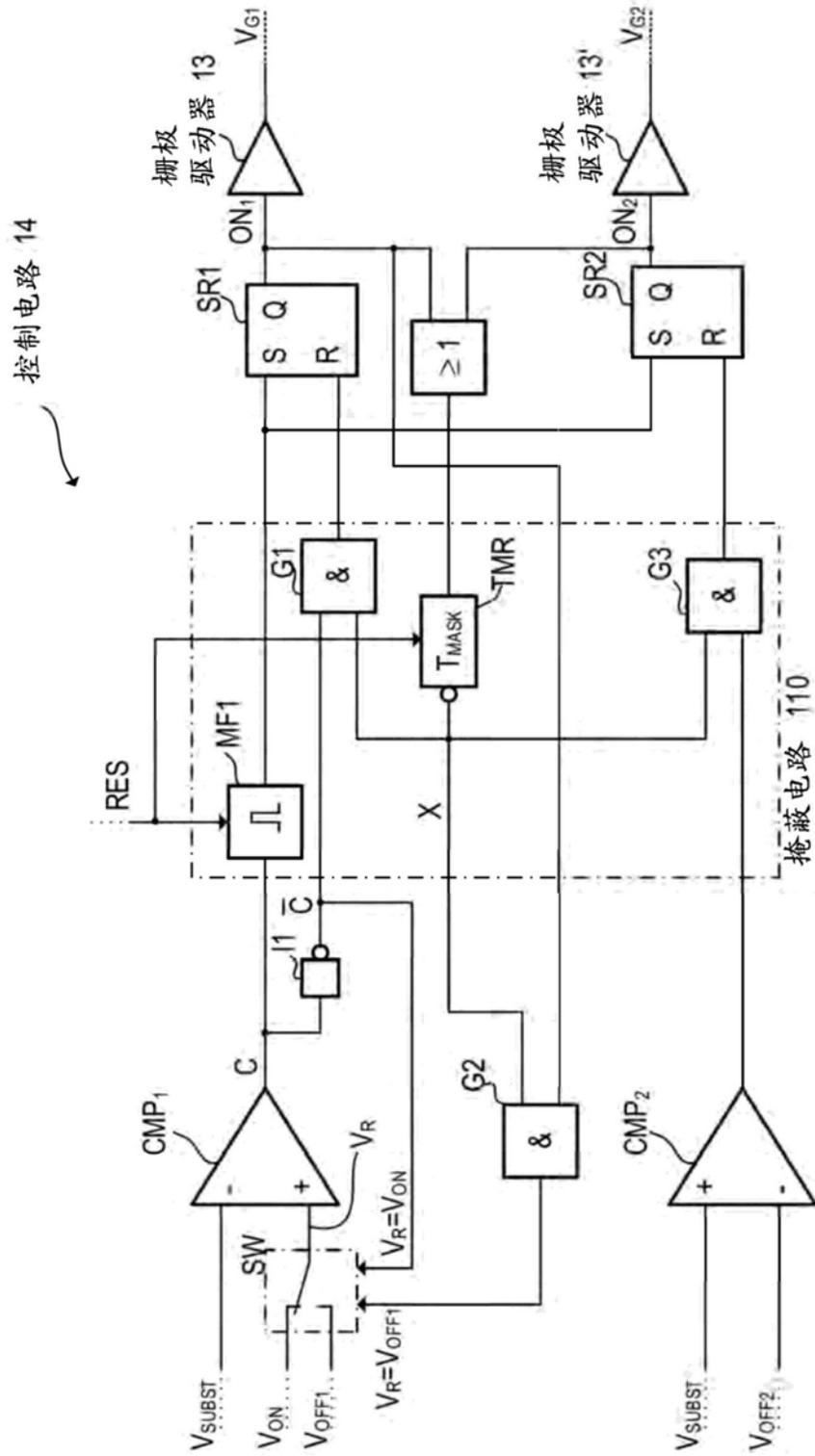


图17

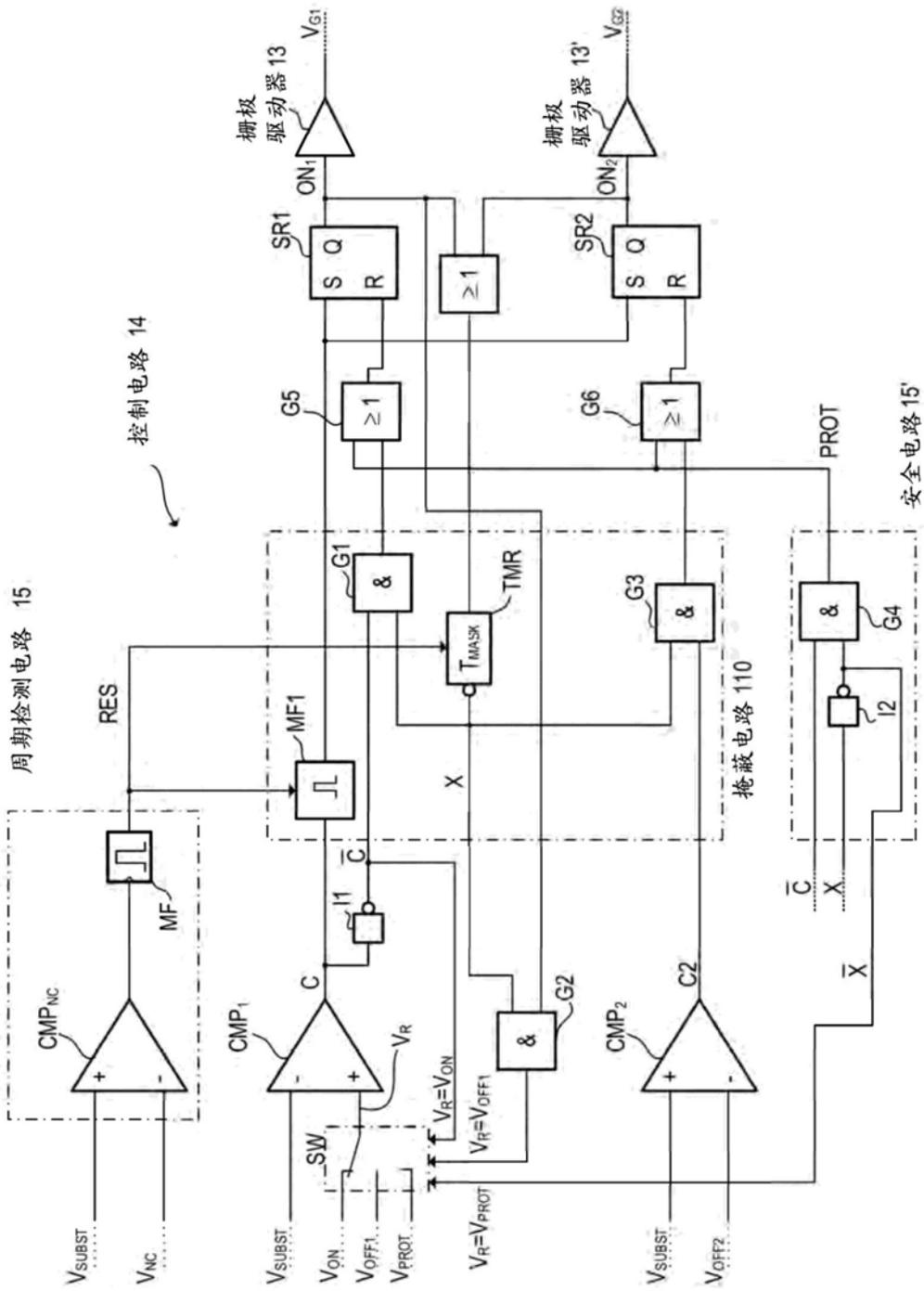


图18

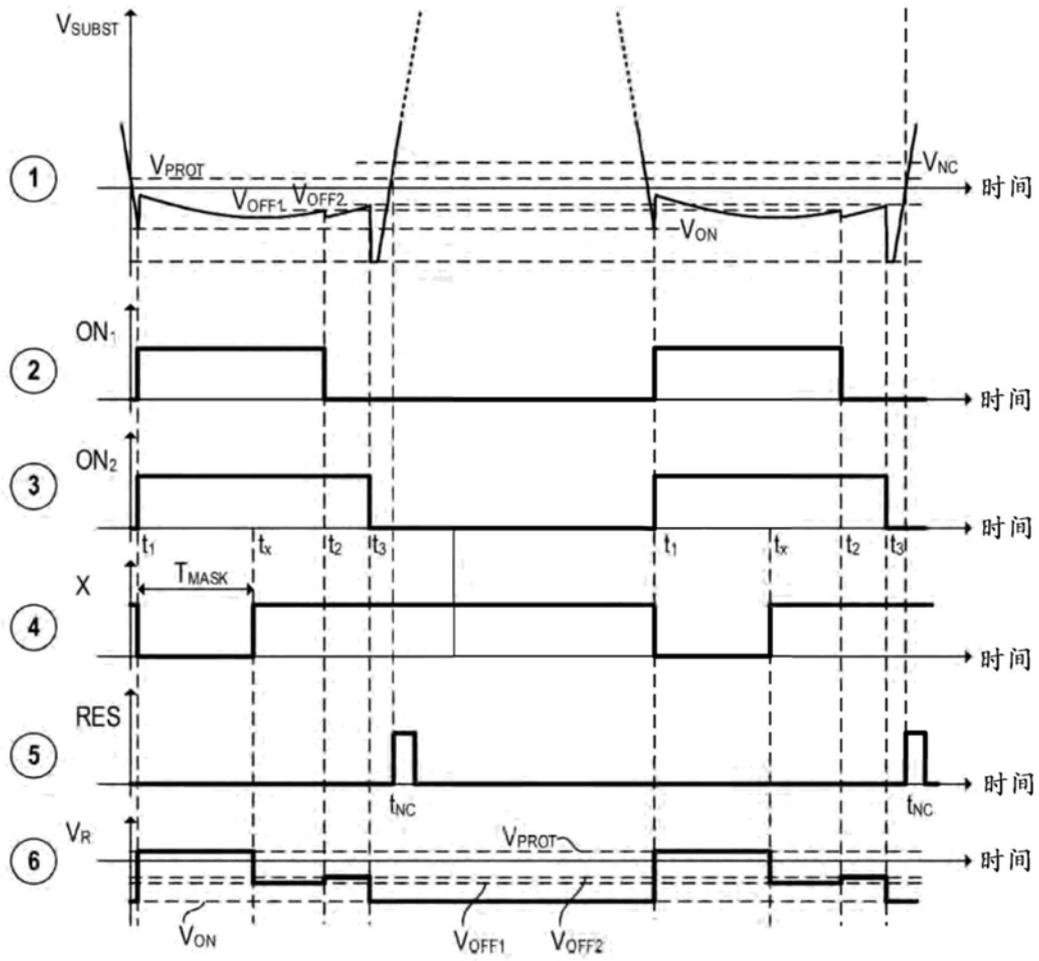


图19

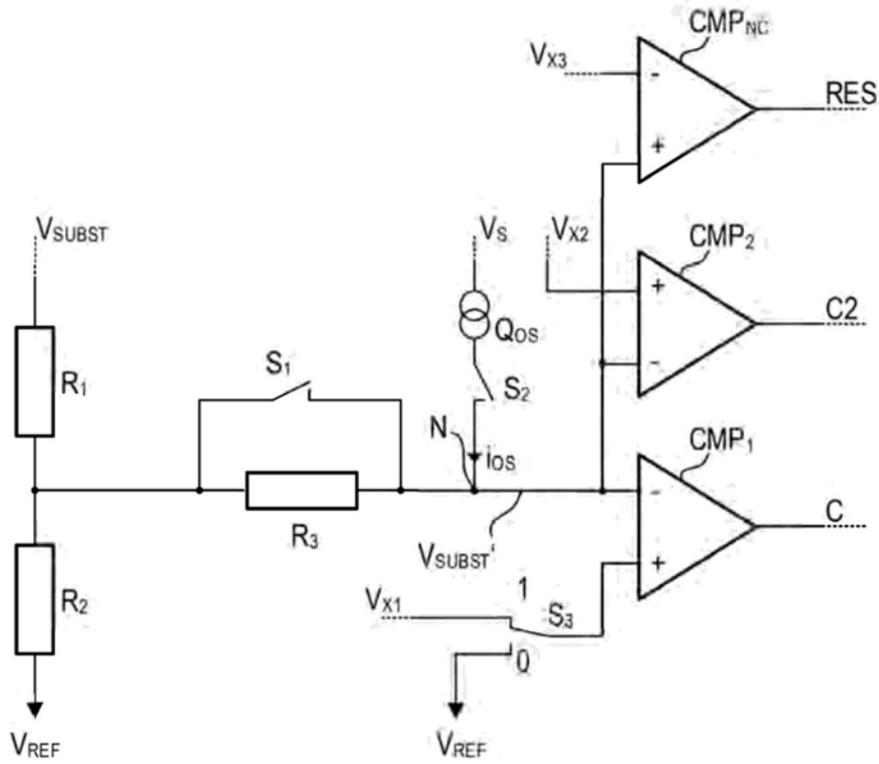


图20

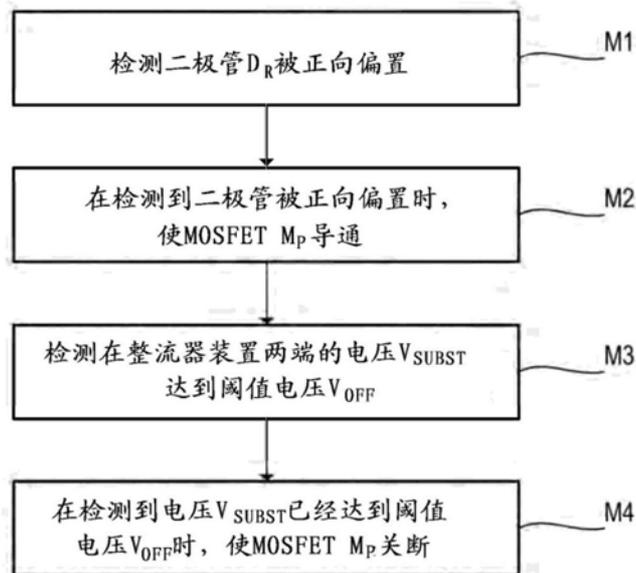


图21

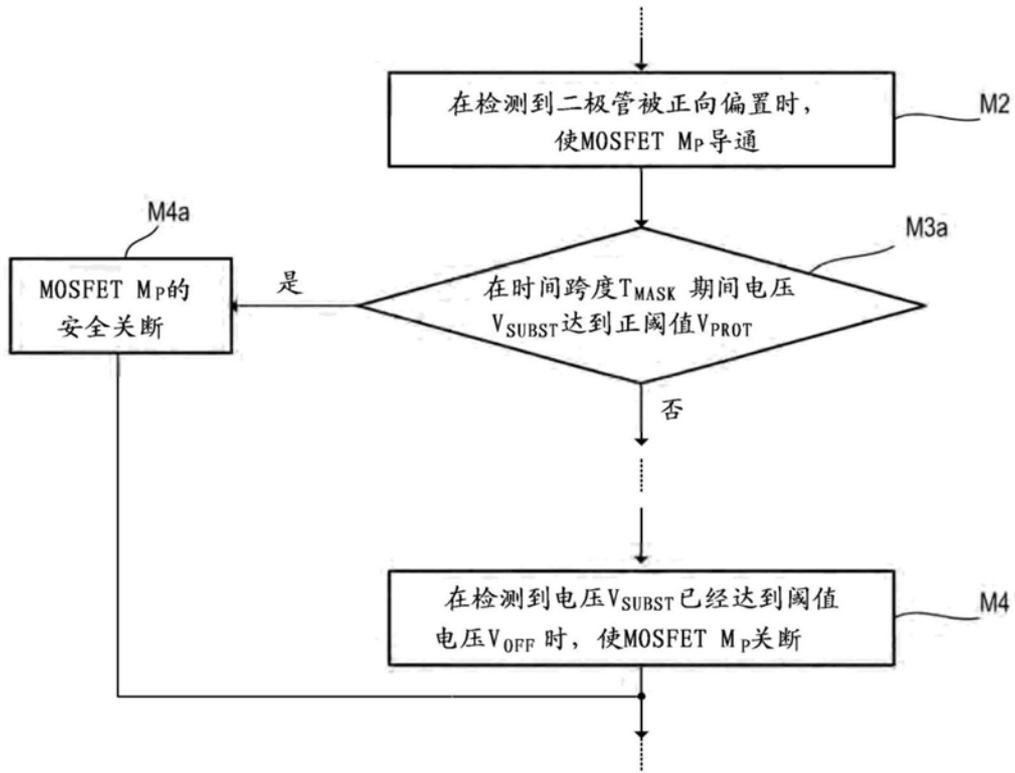


图22