



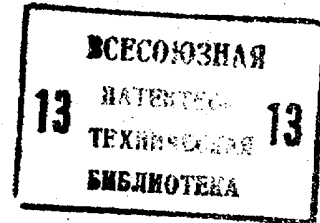
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1198505 A

(51) 4 G 06 F 3/05

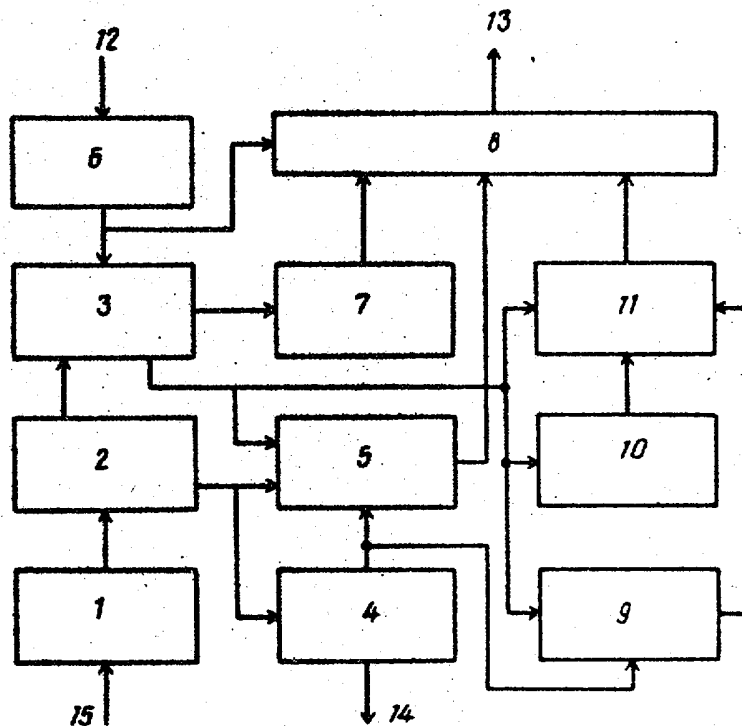
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(61) 1062684  
(21) 3754994/24-24  
(22) 19.06.84  
(46) 15.12.85. Бюл. № 46  
(71) Киевское проектно-конструкторское бюро автоматизированных систем управления  
(72) В.В. Галкин, И.П. Даниляк, В.П. Жабеев, В.И. Королькевич и Я.Г. Минский  
(53) 621.9-503.55 (088.8)  
(56) Авторское свидетельство СССР № 1062684, кл. G 06 F 3/05, 1983.  
(54)(57) УСТРОЙСТВО ДЛЯ ПРЕДВАРИТЕЛЬНОЙ ОБРАБОТКИ ИНФОРМАЦИИ по авт.св. № 1062684, отличающееся тем, что, с целью

расширения функциональных возможностей устройства за счет формирования состояний дискретных сигналов информационного потока в него введены первый и второй регистры, блок сравнения, первый вход которого подключен к первым входам регистров и первому информационному выходу блока памяти, второй вход блока сравнения соединен с информационным выходом счетчика времени, выход второго регистра подключен к второму входу первого регистра, третий вход которого соединен с выходом блока сравнения, выход первого регистра подключен к третьему информационному входу коммутатора.



(19) SU (11) 1198505 A

Изобретение относится к вычислительной технике, может быть использовано при проведении отладки и испытаний систем управления технологическими процессами, а также в составе различного типа имитаторов и тренажеров, работающих в комплексе с ЭВМ, и является усовершенствованием известного устройства по авт. св. № 1062684.

Цель изобретения - расширение функциональных возможностей устройства путем формирования состояний обрабатываемых дискретных сигналов информационного потока в момент времени, определяемый запросом.

На чертеже приведена функциональная схема устройства.

Устройство содержит блок 1 ввода, блок 2 буферной памяти, блок 3 памяти, счетчик 4 времени, арифметический блок 5, шифратор 6, элемент 7 задержки, коммутатор 8, блок 9 сравнения, регистр 10 заданного состояния и регистр 11 текущего состояния, управляющий вход 12 устройства, информационный выход 13, управляющий выход 14, информационный вход 15 устройства.

Принцип работы устройства основан на вычислении в момент поступления запросов от ЭВМ либо значения воспроизводимого аналогового сигнала на участке интерполяции, заданном кодами его начала, конца и длительности, либо формирования состояния воспроизводимого дискретного сигнала путем сравнения заданного и текущего времени.

Количество каналов преобразования зависит только от объема используемой памяти, а также разрядности шифратора и коммутатора, определяющей возможности адресации.

В каждый момент времени в устройстве хранится информация двух кадров - текущего и последующего. Каждый кадр содержит коэффициенты, определяющие значения аналоговых сигналов в узлах интерполяции, или время и признак изменения дискретных сигналов и величину интервала интерполяции  $\hat{c}_i$ , общую для всех каналов преобразования, а также массив величин задержек выдачи информации для каждого канала, выбранных таким образом, чтобы время

получения ЭВМ информации в ответ на запрос соответствовало времени прохождения ее через систему устройств связи с объектом.

- 5 По истечении интервала интерполяции текущего кадра начинается отсчет времени последующего кадра, а в устройство вводится информация для нового кадра. Такое обновление информации происходит независимо от наличия или отсутствия запросов от ЭВМ.

Устройство работает следующим образом.

- 15 В исходном состоянии в блоке 3 памяти хранятся коэффициенты  $K_0$  и  $K_1$  для всех каналов преобразования и соответствующие им величины задержек. Величина интервала интерполяции  $\hat{c}_1$  занесена в арифметический блок 5 и счетчик 4 времени. Информация для второго кадра, т.е. коэффициенты  $K_2$  всех каналов преобразования, соответствующие величины задержек и величина интервала интерполяции  $\hat{c}_2$  второго кадра, находится в блоке 2 буферной памяти.

- 25 При поступлении на управляющий вход 12 команды запроса от ЭВМ шифратор 6 вырабатывает код, поступающий на вход блока 3 памяти, как адрес коэффициентов  $K_{i-1}$  и  $K_i$  значений аналогового сигнала или группы значений дискретных сигналов, а на управляющий вход коммутатора 8 как адрес ввода информации в ЭВМ. Значения коэффициентов, выбранные по адресам, сформированным шифратором 6, с выхода блока 3 памяти 30 поступают на арифметический блок 5, на регистры 10 и 11 и блок 9 сравнения сигналов. Арифметический блок 5 по полученным значениям коэффициентов  $K_{i-1}$  и  $K_i$  значению  $\hat{c}_i$  и значению текущего времени на интервале интерполяции  $t$ , поступающего со счетчика 4 времени, определяет значение аналогового сигнала в момент опроса в виде кода 35  $x = K_{i-1} + (K_i - K_{i-1}) \cdot t / \hat{c}_i$ , который с выхода блока 5 поступает на первый информационный вход коммутатора 8.

- 55 С второго выхода блока 3 памяти на вход элемента 7 задержки, выполненного на базе счетчика, поступает код, определяющий время задержки выдачи аналогового и дискретного

сигналов. С выхода элемента 7 задержки сигнал разрешения подключения поступает на первый информационный вход коммутатора 8, на управляющем входе которого установлен код, определяющий адрес ввода информации в ЭВМ.

При поступлении из блока 3 памяти группы коэффициентов  $K_{i-1}$ ,  $K_i$ , определяющих время и признаки состояния дискретных сигналов по  $N$  каналам; они распределяются следующим образом: в регистр 11 текущего состояния записываются признаки состояния, содержащиеся в  $K_{i-1}$ , в регистр 10 заданного состояния записываются признаки состояния, содержащиеся в  $K_i$ , а заданные времена изменения состояний ( $T_{ij}$ , где  $j = 1, N$ ) поступают на соответствующую схему сравнения блока 9 сравнения, на второй вход которого (на все схемы сравнения) поступает значение текущего времени  $t$  со счетчика 4 времени. Регистры 10 и 11 содержат по  $N$  разрядов, каждый из которых определяет состояние одного дискретного сигнала, а блок 9 сравнения содержит  $N$  независимых схем сравнения в соответствии с количеством воспроизводимых дискретных сигналов в группе. В случае  $T_{ij} > t$  в любом из дискретных каналов соответствующая схема сравнения блока 9 сравнения выдает сигнал разрешения записи информации из регистра 10 в соответствующий разряд регистра 11. Таким образом, в регистр 11 будет записана информация, определяющая состояние группы дискретных сигналов в момент опроса. С выхода регистра 11 текущего состояния информация по треть-

му информационному входу поступает на коммутатор 8, на управляющем входе которого установлен код, заданный шифратором 6. Таким образом, в момент поступления сигнала по первому информационному входу коммутатора от элемента 7 задержки информация, определяющая значение аналогового сигнала или состояние дискретных сигналов в момент опроса, может быть считана с информационного выхода 13 коммутатора 8.

Поскольку информация кадра сохраняется в памяти устройства неизменной до конца обработки интервала интерполяции  $\hat{t}$ , т.е. до заполнения счетчика 4, запрос от ЭВМ может повторяться по произвольному или прежнему каналу и на выходе 13 коммутатора 8 будут получены новые значения аналоговых или дискретных сигналов в момент опроса.

По окончании заполнения счетчика 4 на его управляющем выходе 14 формируется запрос информации для очередного кадра. По этому запросу на вход 15 блока 1 ввода от внешнего источника информации поступают коды очередного кадра информации и записываются в блок 2 буферной памяти.

При этом коэффициенты, определяющие значения аналоговых сигналов, время и признаки состояния дискретных сигналов для очередного кадра, переписываются из блока 2 буферной памяти в блок 3 памяти, а значение интервала интерполяции - в арифметический блок 5 и счетчик 4 времени. В дальнейшем устройство функционирует в соответствии с указанным алгоритмом.

Составитель О. Кулаков

Редактор М. Дыпын

Техред А. Ач

Корректор А. Обручар

Заказ 7721/47

Тираж 709

Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4