



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/8244 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년12월20일 10-0660277 2006년12월14일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0134466 2005년12월29일 2005년12월29일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	동부일렉트로닉스 주식회사 서울 강남구 대치동 891-10
(72) 발명자	박성희 서울 동작구 동작동 금강아파트 103-802
(74) 대리인	남희섭 정승훈 임성택 양영태

심사관 : 구분재

전체 청구항 수 : 총 9 항

(54) 에스램 소자 및 그 제조 방법

(57) 요약

에스램 소자 및 그 제조 방법이 개시된다. 본 발명에 따른 에스램 소자는, 모스 트랜지스터로 구성된 제1 및 제2 액세스 트랜지스터와, 모스 트랜지스터로 구성된 제1 및 제2 드라이브 트랜지스터와, 풀업 소자로 사용되는 제1 및 제2 P채널 박막 트랜지스터를 포함하며, 상기 제1 및 제2 드라이브 트랜지스터의 공통 소스로 배치되며, 반도체 기판 내에 도펀트가 주입되어 형성된 기저 전위층과, 상기 제1 및 제2 P채널 박막 트랜지스터 각각의 소스가 접속되는 전원 전위층과, 상기 기판 위에 형성되며 상기 기저 전위층 및 상기 전원 전위층 사이에 배치된 절연막을 포함한다.

대표도

도 2b

특허청구의 범위

청구항 1.

모스 트랜지스터로 구성된 제1 및 제2 액세스 트랜지스터와, 모스 트랜지스터로 구성된 제1 및 제2 드라이브 트랜지스터와, 풀업 소자로 사용되는 제1 및 제2 P채널 박막 트랜지스터를 포함하는 에스램 소자에서,

상기 제1 및 제2 드라이브 트랜지스터의 공통 소스로 배치되며, 반도체 기판 내에 도펀트가 주입되어 형성된 기저 전위층과,

상기 제1 및 제2 P채널 박막 트랜지스터 각각의 소스가 접속되는 전원 전위층과,

상기 기판 위에 형성되며 상기 기저 전위층 및 상기 전원 전위층 사이에 배치된 절연막을 포함하는 것을 특징으로 하는 에스램 소자.

청구항 2.

제1항에서,

상기 기저 전위층 및 상기 전원 전위층은 서로 평행하게 배치된 것을 특징으로 하는 에스램 소자.

청구항 3.

제1항에서,

상기 절연막은 상기 기판을 산화시켜 형성한 산화막인 것을 특징으로 하는 에스램 소자.

청구항 4.

제3항에서,

상기 산화막은 스마일링 형태로 형성된 것을 특징으로 하는 에스램 소자.

청구항 5.

제1항에서,

상기 제1 및 제2 드라이브 트랜지스터의 게이트들은 상기 전원 전위층 양측에서 서로 대향하게 배치된 것을 특징으로 하는 에스램 소자.

청구항 6.

모스 트랜지스터로 구성된 제1 및 제2 액세스 트랜지스터와, 모스 트랜지스터로 구성된 제1 및 제2 드라이브 트랜지스터와, 풀업 소자로 사용되는 제1 및 제2 P채널 박막 트랜지스터를 포함하는 에스램 소자의 제조 방법으로서,

반도체 기판의 활성 영역을 소정의 폭으로 노출시키는 감광막 패터닝을 형성하는 단계와,

상기 감광막 패터닝에 의해 노출되는 상기 활성 영역의 일부에 도펀트를 이온 주입하여 기저 전위층을 형성하는 단계와,

상기 감광막 패터닝을 제거하는 단계와,

상기 기저 전위층 위에 절연막을 형성하는 단계와,

상기 절연막 위에 전원 전위층을 형성하는 단계를 포함하는 에스램 소자의 제조 방법.

청구항 7.

제6항에서,

상기 절연막의 형성 단계는,

상기 기판을 산화시켜 산화막을 형성하는 단계와,

상기 기저 전위층 위에 형성된 상기 산화막을 제외한 나머지 산화막을 제거하는 단계를 포함하는 것을 특징으로 하는 에스램 소자의 제조 방법.

청구항 8.

제7항에서,

상기 기저 전위층 위에 형성된 상기 산화막은 스마일링 형태로 형성된 것을 특징으로 하는 에스램 소자의 제조 방법.

청구항 9.

제6항에서,

상기 기저 전위층 및 상기 전원 전위층은 서로 평행하게 형성되는 것을 특징으로 하는 에스램 소자의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조 기술에 관한 것으로서, 보다 자세하게는 에스램(SRAM) 소자 및 그 제조 방법에 관한 것이다.

에스램(SRAM; Staic Random Access Memory)은 래치(Latch) 방식을 도입하여 회로적으로 항상 데이터를 저장할 수 있도록 제조된 메모리 소자이다. 에스램은 동작 스피드가 빠르고 소모 전력이 작으며, DRAM(Dynamic Random Access Memory)과는 달리 저장된 정보를 주기적으로 리플래쉬할 필요가 없다.

일반적으로, 에스램은 2개의 풀다운(Pull-Down) 소자와, 2개의 액세스(Access) 소자와, 2개의 풀업(Pull-Up) 소자로 구성되는데, 풀업 소자의 구성에 따라 완전 CMOS형과, 고부하저항(HLR; High Load Resistor)형과, 박막 트랜지스터(TFT; Thin Film Transistor)형의 3가지로 구분된다. 완전 CMOS형은 P채널 벌크 모스 트랜지스터(P-Channel Bulk MOSFET)가 풀업 소자로 사용되고, HLR형은 높은 저항값을 갖는 폴리실리콘층이 풀업 소자로 사용되며, TFT형은 P채널 폴리실리콘 박막 트랜지스터가 풀업 소자로 사용된다. 여기서, TFT형 에스램 소자는 셀 크기를 현저히 줄일 수 있기 때문에, 기억 소자 전용으로 사용되는 반도체 기억 장치에 적용이 용이하다.

에스램의 다양한 구조로 제조되는데, 6개의 트랜지스터로 구성된 완전 CMOS 에스램이 가장 보편적으로 사용되는 구조이다. 또한, 완전 CMOS 에스램은 그 면적이 크기 때문에 메모리 셀의 집적도를 향상시키기 위해서 P채널 TFT를 도입하게 되었으나, 전원 전위(Vcc)의 저항이 커서 동작 속도 느려지는 문제가 대두되었다.

발명이 이루고자 하는 기술적 과제

본 발명은 구동 능력이 보다 향상된 에스램 구조를 제공하는 것을 목적으로 한다. 또한, 본 발명의 다른 목적은 에스램의 동작 속도를 향상시키기 위해서 전원 전위층과 기저 전위층을 인접하게 배치하되, 전원 전위층 및 기저 전위층 사이에 발생할 수 있는 래치업(Latch-Up) 현상을 효과적으로 방지할 수 있는 에스램 소자의 제조 방법을 제공하는 것이다.

발명의 구성

본 발명에 따른 에스램 소자는, 모스 트랜지스터로 구성된 제1 및 제2 액세스 트랜지스터와, 모스 트랜지스터로 구성된 제1 및 제2 드라이브 트랜지스터와, 풀업 소자로 사용되는 제1 및 제2 P채널 박막 트랜지스터를 포함하며, 상기 제1 및 제2 드라이브 트랜지스터의 공통 소스로 배치되며, 반도체 기판 내에 도펀트가 주입되어 형성된 기저 전위층과, 상기 제1 및 제2 P채널 박막 트랜지스터 각각의 소스가 접속되는 전원 전위층과, 상기 기판 위에 형성되되 상기 기저 전위층 및 상기 전원 전위층 사이에 배치된 절연막을 포함한다.

여기서, 기저 전위층 및 전원 전위층은 서로 평행하게 배치되며, 이들 사이에 개재된 절연막은 기판을 산화시켜 형성한 산화막일 수 있다. 특히, 산화막은 스마일링 형태를 갖는 것이 바람직하다. 또한, 제1 및 제2 드라이브 트랜지스터의 게이트들은 상기 전원 전위층 양측에서 서로 대향하게 배치된다.

본 발명에 따른 에스램 소자의 제조 방법은, 반도체 기판의 활성 영역을 소정의 폭으로 노출시키는 감광막 패턴을 형성하는 단계와, 상기 감광막 패턴에 의해 노출되는 상기 활성 영역의 일부에 도펀트를 이온 주입하여 기저 전위층을 형성하는 단계와, 상기 감광막 패턴을 제거하는 단계와, 상기 기저 전위층 위에 절연막을 형성하는 단계와, 상기 절연막 위에 전원 전위층을 형성하는 단계를 포함한다.

여기서, 절연막은, 기판을 산화시켜 산화막을 형성한 후 기저 전위층 위에 형성된 산화막을 제외한 나머지 산화막을 제거함으로써, 기저 전위층 위에만 선택적으로 형성될 수 있다. 특히, 기저 전위층 위에 형성된 산화막은 스마일링 형태를 갖는 것이 바람직하다. 또한, 기저 전위층 및 전원 전위층은 서로 평행하게 형성되는 것이 바람직하다.

이하에서는 본 발명에 따른 에스램 소자의 바람직한 실시예를 자세히 설명하기로 한다.

도 1은 에스램의 회로도로서, 저항 소자로 PMOS 박막 트랜지스터를 사용한 예를 나타낸다. 또한, 도 2a는 본 발명에 따른 에스램 소자의 레이아웃도이고, 도 2b는 도 2a의 A-A 라인을 따라 절개한 단면을 나타낸다.

도 1을 참조하면, 에스램 셀은 워드 라인(WL)이 활성화될 때, 비트 라인(BL) 및 비트 라인바(/BL)를 메모리 셀 제1 노드(N1) 및 제2 노드(N2)와 연결시키는 액세스 N채널 모스 트랜지스터(Ta1, Ta2)와, 전원 전위(Vcc)와 노드(N1, N2) 사이에 접속된 P채널 TFT(Tf1, Tf2)와, 노드(N1, N2)와 기저 전위(Vss) 사이에 접속된 드라이브 N채널 모스 트랜지스터(Td1, Td2)를 포함한다.

여기서, P채널 TFT(Tf1)와 드라이브 트랜지스터(Td1)는 제2 노드(N2)의 신호에 의해 각각 제어되어 전원 전위(Vcc) 또는 기저 전위(Vss)를 제1 노드(N1)로 공급한다. 마찬가지로, P채널 TFT(Tf2)와 드라이브 트랜지스터(Td2)는 제1 노드(N1)의 신호에 의해 각각 제어되어 전원 전위(Vcc) 또는 기저 전위(Vss)를 제2 노드(N2)로 공급한다. 액세스 소자에 해당하는 N채널 트랜지스터(Ta1), 풀다운 소자인 드라이브 트랜지스터(Td1) 및 풀업 소자인 P채널 TFT(Tf1)가 만나는 영역이 데이터를 저장하는 제1 노드(N1)이며, 또 다른 액세스 트랜지스터(Ta2), 드라이브 트랜지스터(Td2) 및 P채널 TFT(Tf2)가 만나는 영역이 데이터를 저장하는 제2 노드(N2)가 된다.

도 2a 및 도 2b를 참조하면, N형 반도체 기판(100)에는 기판과 반대 도전형의 도펀트(즉, P형 도펀트)가 주입된 웰(Well, 101)이 형성되고, 또한 소정의 소자 분리막에 의해 활성 영역(102)이 정의되어 있다. 제1 액세스 트랜지스터(Ta1)의 게이트(110) 및 제2 액세스 트랜지스터(Ta2)의 게이트(120)는 각각 워드 라인(WL)에 접속된다. 또한, N형 도펀트가 주입되어 형성된 제1 액세스 트랜지스터(Ta1)의 소스(112s) 및 제2 액세스 트랜지스터(Ta2)의 소스(122s)는 각각 콘택(114, 124)를 경유하여 비트 라인(BL) 및 비트 라인바(/BL)에 접속된다.

한편, N형 도펀트가 주입되어 형성된 제1 액세스 트랜지스터(Ta1)의 드레인(112d) 및 제1 드라이브 트랜지스터(Td1)의 드레인(132d)은, P형 도펀트가 주입되어 형성된 제1 박막 트랜지스터(Tf1)의 드레인(152d)과 접속되며, 콘택(180a, 180b 및 180c)을 경유하여, 제2 드라이브 트랜지스터(Td2)의 게이트(140) 및 제2 박막 트랜지스터(Tf2)의 게이트(160)

와 접속된다. 마찬가지로, N형 도펀트가 주입되어 형성된 제2 역세스 트랜지스터(Ta2)의 드레인(122d) 및 제2 드라이브 트랜지스터(Td2)의 드레인(142d)은, P형 도펀트가 주입되어 형성된 제2 박막 트랜지스터(Tf2)의 드레인(162d)과 접속되며, 콘택(190a, 190b 및 190c)을 경유하여, 제1 드라이브 트랜지스터(Td1)의 게이트(130) 및 제1 박막 트랜지스터(Tf1)의 게이트(150)와 접속된다.

또한, P형 도펀트가 주입된 제1 및 제2 박막 트랜지스터(Tf1, Tf2)의 소스(152s, 162s)는 각각 콘택(154, 164)을 경유하여 전원 전위층(Vcc)에 접속된다. 전원 전위층(Vcc)은 활성 영역(102)의 대략 중앙부에 위치하며, 전원 전위층(Vcc)의 양측에는 제1 및 제2 드라이브 트랜지스터(Td1, Td2)의 게이트(130, 140)가 각각 나란하게 배치된다. 또한, 전원 전위층(Vcc)와 각각의 게이트(130, 140) 사이에는 절연막(210)이 개재된다.

도 2b를 참조하면, 전원 전위층(Vcc) 아래에는 절연막(200)을 개재하여 기저 전위층(Vss)가 형성되어 있다. 기저 전위층(Vss)은 활성 영역(102) 내에 N형 도펀트를 주입된 매몰층(Burried N+)으로 형성된다. 또한, 기저 전위층(Vss)은 전원 전위층(Vcc)의 양측에 형성된 제1 및 제2 드라이브 트랜지스터(Td1, Td2)의 공통 소스로서 기능하게 된다.

상술한 구조의 에스램에서, 전원 전위층(Vcc)에 형성되는 강한 전계(High Electric Field)에 의해 기저 전위층(Vss)이 활성화된다. 나아가, 기저 전위층(Vss)이 활성화되면, 제1 및 제2 드라이브 트랜지스터(Td1, Td2)의 채널 길이가 짧아지는 효과가 나타난다. 따라서, 에스램의 동작 속도가 향상될 수 있다.

한편, 도 2b에서 보듯이, 전원 전위층(Vcc) 및 기저 전위층(Vss)이 단락될 때 발생하는 래치업(Latch Up) 현상을 방지하기 위하여, 전원 전위층(Vcc) 및 기저 전위층(Vss) 사이에 절연막(200)이 형성된다. 특히, 절연막(200)은 그 양단이 버즈 비크(Bird's Beak) 모양으로 형성되어 스마일링(Smiling) 형태를 갖는다.

이하에서는, 도 3a 및 도 3c를 참조하여 상술한 구조의 전원 전위층(Vcc) 및 기저 전위층(Vss)을 형성하는 방법을 설명한다.

먼저, 도 3a에서 보듯이, 기판(100) 위에 활성 영역의 대략 중앙 부위를 가로지르는 오프닝이 형성된 감광막 패턴(204)을 형성한다. 그리고, 감광막 패턴(204)을 마스크로 사용하여, 노출된 기판 내부에 N형 도펀트(I)를 이온 주입하여 기저 전위층(Vss)로 사용할 BN+(Burried N+) 확산 영역을 형성한다. 이때, 기판 표면이 그대로 노출되어 있으므로, 이온 주입으로 인해 노출된 기판 표면에 리세스(Recess, 202)가 형성될 수 있다.

다음으로, 도 3b에서 보듯이, 감광막 패턴(204)을 모두 제거하고, 기판 표면을 산화시킨다. 산화 공정 중에 형성되는 산화막은, 리세스(202) 및 주입된 도펀트로 인해 기저 전위층(Vss)의 상부에서 보다 두껍게 형성된다. 즉, 기저 전위층(Vss) 위에 형성된 산화막(200)은 그 양단에 버즈 비크가 형성되어 스마일링 형태를 갖는다.

도펀트가 주입되지 않은 다른 활성 영역 위에도 산화막(200a)이 형성될 수 있는데, 도 3c에서 보듯이, 산화막(200a)은 후속 공정을 위해서 모두 제거된다. 그리고, 산화막(200) 위에는 도핑된 폴리실리컨층 또는 텅스텐 등을 이용한 도전막을 형성하여 전원 전위층(Vcc)을 형성한다. 산화막(200)에 의해 전원 전위층(Vcc) 및 기저 전위층(Vss)이 격리될 수 있으므로, 래치업 현상이 효과적으로 방지될 수 있다.

발명의 효과

본 발명에 따른 에스램 소자에서는 전원 전위층과 기저 전위층이 나란하게 배치된다. 따라서, 전원 전위층으로부터 유도되는 강한 전계로 인해 기저 전위층이 활성화되고, 기저 전위층의 활성화는 드라이브 트랜지스터들의 동작 속도를 향상시키게 된다. 따라서, 에스램의 동작 속도가 크게 향상될 수 있다. 또한, 인접하게 배치되는 전원 전위층 및 기저 전위층 사이에 형성된 스마일 형태의 절연막을 이용하여 래치업 현상이 효과적으로 방지될 수 있다.

또한, 각각의 드라이브 트랜지스터 및 역세스 트랜지스터들은 서로 점대칭적으로 형성된다. 따라서, 에스램의 메모리 셀의 대칭성이 유지될 수 있으므로 소자의 안정성을 향상시킬 수 있다.

아울러, 드라이브 트랜지스터들(Td1, Td2)의 게이트(110, 120)가 수직하게 형성되어 있어서, 기판의 평면상에서 최소한의 면적을 점유하게 되므로, 셀의 집적도 또한 향상될 수 있다.

지금까지 본 발명의 바람직한 실시예에 대해 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 본질적인 특성을 벗어나지 않는 범위 내에서 변형된 형태로 구현할 수 있을 것이다. 그러므로 여기서 설명한 본 발명의 실시예는 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 하고, 본 발명의 범위는 상술한 설명이 아니라 특허 청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

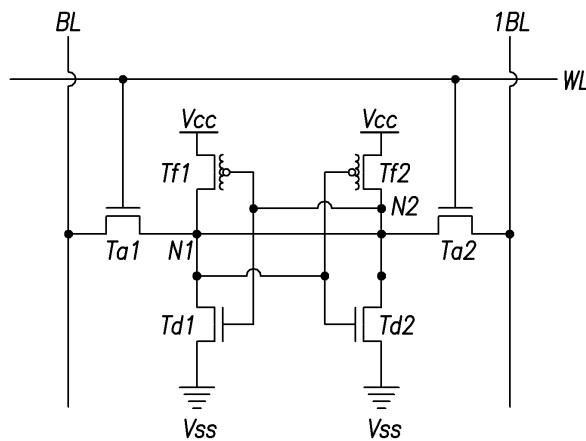
도 1은 에스램 소자의 회로도이다.

도 2a는 본 발명에 따른 에스램 소자의 레이아웃도이고, 도 2b는 도 2a의 A-A 라인을 따라 절개한 단면을 나타낸 단면도이다.

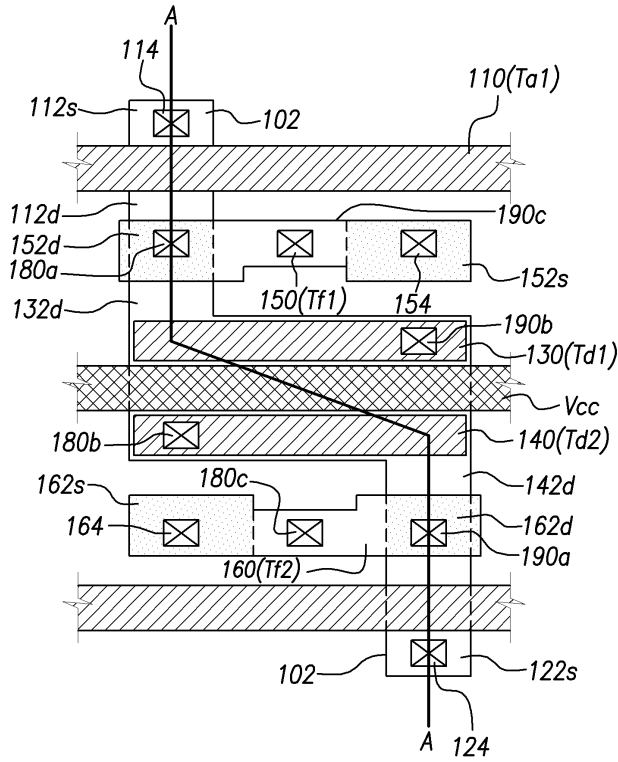
도 3a 내지 도 3c는 본 발명에 따른 에스램 소자의 구조에서 전원 전위층과 기저 전위층을 나란하게 형성할 수 있는 방법을 설명하는 도면들이다.

도면

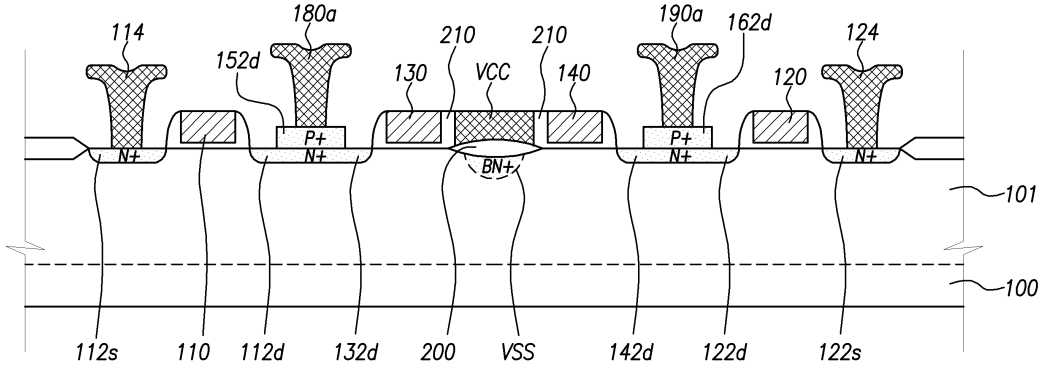
도면1



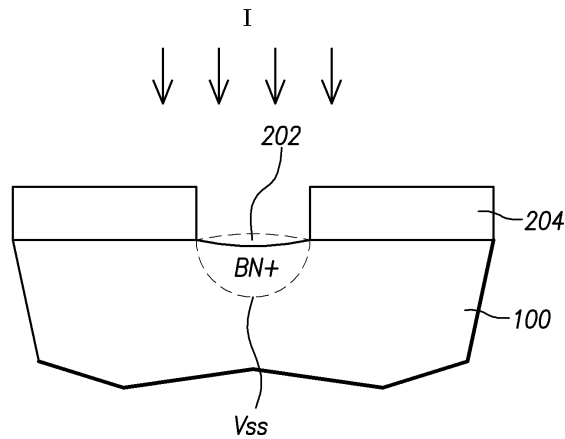
도면2a



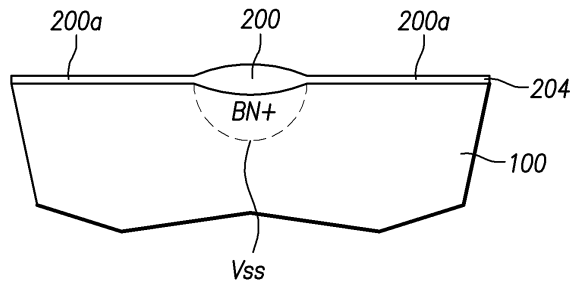
도면2b



도면3a



도면3b



도면3c

