



(12)发明专利申请

(10)申请公布号 CN 108538329 A

(43)申请公布日 2018.09.14

(21)申请号 201710701504.X

(22)申请日 2017.08.16

(30)优先权数据

2017-040437 2017.03.03 JP

(71)申请人 东芝存储器株式会社

地址 日本东京

(72)发明人 山岡雅史

(74)专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 杨林勳

(51)Int.Cl.

G11C 16/08(2006.01)

G11C 16/26(2006.01)

G11C 16/10(2006.01)

G11C 16/24(2006.01)

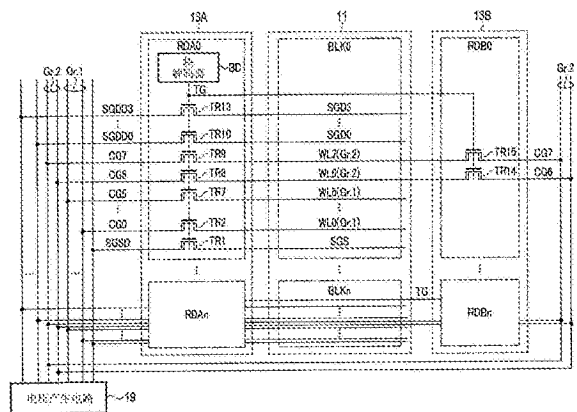
权利要求书3页 说明书25页 附图23页

(54)发明名称

半导体存储装置

(57)摘要

本发明的实施方式提供一种能高速动作的半导体存储装置。实施方式的半导体存储装置(10)具备:第1及第2存储单元,能存储n比特数据(n是1以上的整数);第1及第2字线,分别连接于第1及第2存储单元;第1晶体管,一端连接于所述第1字线的一端;以及第2及第3晶体管,一端分别连接于所述第2字线的一端及另一端。在第1比特数据的读出动作中,在选择了第1字线的情况下,对第2字线施加第1时间的第1电压,在选择了第2字线的情况下,对第1字线施加短于第1时间的第2时间的第1电压。



1. 一种半导体存储装置,其特征在于具备:
第1及第2存储单元,能存储n比特数据(n是1以上的整数);
第1及第2字线,分别连接于所述第1及第2存储单元;
第1晶体管,连接于所述第1字线的一端;以及
第2及第3晶体管,分别连接于所述第2字线的一端及另一端;且
在第1比特数据的读出动作中,
在选择了所述第1字线的情况下,对所述第2字线施加第1时间的第1电压,
在选择了所述第2字线的情况下,对所述第1字线施加第2时间的所述第1电压,
所述第2时间短于所述第1时间。
2. 根据权利要求1所述的半导体存储装置,其特征在于:
还具备连接于所述第1及第2存储单元的读出放大器;且
在所述读出动作中,
在选择了所述第2字线的情况下对所述第2字线施加读出电压后所述读出放大器读出数据的时点早于在选择了所述第1字线的情况下对所述第1字线施加所述读出电压后所述读出放大器读出数据的时点。
3. 根据权利要求1所述的半导体存储装置,其特征在于具备:
第1信号线,连接于所述第1晶体管;及
第2信号线,连接于所述第2及第3晶体管;且
对所述第1字线经由所述第1晶体管而供给所述第1信号线的电压,对所述第2字线经由所述第2及第3晶体管而供给所述第2信号线的电压。
4. 根据权利要求3所述的半导体存储装置,其特征在于:
在所述读出动作中,
在选择了所述第1字线的情况下,对所述第2信号线施加第2电压,
在选择了所述第2字线的情况下,对所述第1信号线施加所述第2电压;且
在选择了所述第1字线的情况下对所述第2信号线施加所述第2电压时的电压上升率低于在选择了所述第2字线的情况下对所述第1信号线施加所述第2电压时的电压上升率。
5. 根据权利要求4所述的半导体存储装置,其特征在于还具备:
第1驱动器,对所述第1信号线供给电压;
第2驱动器,对所述第2信号线供给电压;及
电阻元件,连接于所述第2信号线与所述第2驱动器之间。
6. 根据权利要求3所述的半导体存储装置,其特征在于:
在所述读出动作中,
在选择了所述第1字线的情况下,对所述第2信号线施加第2电压,
在选择了所述第2字线的情况下,对所述第1信号线施加所述第2电压;且
在选择了所述第1字线的情况下对所述第2信号线施加所述第2电压的时点晚于在选择了所述第2字线的情况下对所述第1信号线施加所述第2电压的时点。
7. 根据权利要求2所述的半导体存储装置,其特征在于:
在所述读出动作中,
在选择了所述第1字线的情况下,对所述第1字线在施加所述读出电压之前施加第2电

压,

在选择了所述第2字线的情况下,对所述第2字线在施加所述读出电压之前施加第3电压;且

所述第2电压高于所述读出电压,

所述第3电压为所述读出电压以上且小于所述第2电压。

8. 一种半导体存储装置,其特征在于具备:

第1及第2存储单元,能存储数据;

第1及第2字线,分别连接于所述第1及第2存储单元;

第1晶体管,连接于所述第1字线的一端;以及

第2及第3晶体管,分别连接于所述第2字线的一端及另一端;且

写入动作包含编程循环,所述编程循环包含对所选择的字线施加编程脉冲的编程动作及验证动作;

在所述写入动作中的所述编程动作中,

在选择了所述第1字线的情况下,施加第1时间的所述编程脉冲,

在选择了所述第2字线的情况下,施加第2时间的所述编程脉冲,

所述第2时间短于所述第1时间。

9. 根据权利要求8所述的半导体存储装置,其特征在于具备:

第1信号线,连接于所述第1晶体管;及

第2信号线,连接于所述第2及第3晶体管;且

对所述第1字线经由所述第1晶体管而供给所述第1信号线的电压,对所述第2字线经由所述第2及第3晶体管而供给所述第2信号线的电压。

10. 根据权利要求9所述的半导体存储装置,其特征在于:

在所述编程动作中,

在选择了所述第1字线的情况下,在将所述编程脉冲施加到所述第1字线之前对所述第2信号线施加第1电压,

在选择了所述第2字线的情况下,在将所述编程脉冲施加到所述第2字线之前对所述第1信号线施加所述第1电压;且

在选择了所述第1字线的情况下对所述第2信号线施加所述第1电压时的电压上升率低于在选择了所述第2字线的情况下对所述第1信号线施加所述第1电压时的电压上升率。

11. 根据权利要求10所述的半导体存储装置,其特征在于还具备:

第1驱动器,对所述第1信号线供给电压;

第2驱动器,对所述第2信号线供给电压;及

电阻元件,连接于所述第2信号线与所述第2驱动器之间。

12. 根据权利要求9所述的半导体存储装置,其特征在于:

在所述编程动作中,

在选择了所述第1字线的情况下,在将所述编程脉冲施加到所述第1字线之前对所述第2信号线施加第1电压,

在选择了所述第2字线的情况下,在将所述编程脉冲施加到所述第2字线之前对所述第1信号线施加所述第1电压;且

在选择了所述第1字线的情况下对所述第2信号线施加所述第1电压的时点晚于在选择了所述第2字线的情况下对所述第1信号线施加所述第1电压的时点。

13. 根据权利要求1至12中任一项所述的半导体存储装置,其特征还在于具备:

串联连接的多个所述第1存储单元、
串联连接的多个所述第2存储单元、及
位线;且

多个所述第1存储单元、多个所述第2存储单元、及所述位线依次连接,
所述第2存储单元的个数是所述第1存储单元的个数的1/3以下。

14. 一种半导体存储装置,其特征还在于具备:

存储单元阵列,包含:第1及第2导电体,依次积层在半导体衬底的上方;第1区域,包含所述第1及第2导电体的一端;第2区域,包含所述第2导电体的另一端;及第3区域,设置在所述第1区域与所述第2区域之间,且包含多个存储单元;

第1行解码器,包含形成于所述半导体衬底的第1及第2扩散区域;以及
第2行解码器,包含形成于所述半导体衬底的第3扩散区域;且
在所述第1区域中,

所述第1导电体的一端经由第1插塞而连接于所述第1扩散区域,
所述第2导电体的一端经由第2插塞而连接于所述第2扩散区域,
在所述第2区域中,

所述第2导电体的另一端经由第3插塞而连接于所述第3扩散区域,
所述第1导电体的另一端不与所述半导体衬底的扩散区域连接。

15. 根据权利要求14所述的半导体存储装置,其特征还在于具备:

第4及第5插塞,分别在所述第1区域中设置在所述第1及第2导电体上;
第6插塞,在所述第2区域中设置在所述第2导电体上;

第3导电体,设置在所述第1及第4插塞上;
第4导电体,设置在所述第2及第5插塞上;及
第5导电体,设置在所述第3及第6插塞上;且
所述第1至第3插塞通过所述第1导电体。

16. 根据权利要求14或15所述的半导体存储装置,其特征还在于:

所述存储单元阵列在所述第3区域中具备通过所述第1及第2导电体的多个半导体柱;
且

所述第1及第2导电体分别作为第1及第2字线而发挥功能,
所述第1字线由所述第1行解码器从单侧予以施加电压,
所述第2字线由所述第1及第2行解码器从两侧予以施加电压。

半导体存储装置

[0001] [相关申请]

[0002] 本申请享有以日本专利申请2017-40437号(申请日:2017年3月3日)作为基础申请的优先权。本申请通过参照该基础申请而包含基础申请的全部内容。

技术领域

[0003] 实施方式涉及一种半导体存储装置。

背景技术

[0004] 已知一种将存储单元三维地积层而成的NAND(Not And,与非)型闪速存储器。

发明内容

[0005] 本发明的实施方式提供一种能高速动作的半导体存储装置。

[0006] 实施方式的半导体存储装置具备:第1及第2存储单元,能存储n比特数据(n是1以上的整数);第1及第2字线,分别连接于第1及第2存储单元;第1晶体管,一端连接于所述第1字线的一端;以及第2及第3晶体管,一端分别连接于所述第2字线的一端及另一端。在第1比特数据的读出动作中,在选择了第1字线的情况下,对第2字线施加第1时间的第1电压,在选择了第2字线的情况下,对第1字线施加短于第1时间的第2时间的第1电压。

附图说明

[0007] 图1是第1实施方式的半导体存储装置的框图。

[0008] 图2是第1实施方式的半导体存储装置所具备的存储单元阵列的电路图。

[0009] 图3是对第1实施方式的半导体存储装置所具备的存储单元的阈值分布及数据分配进行说明的图。

[0010] 图4是第1实施方式的半导体存储装置所具备的读出放大器模块的框图。

[0011] 图5是第1实施方式的半导体存储装置所具备的读出放大器模块的电路图。

[0012] 图6是第1实施方式的半导体存储装置所具备的行解码器模块的电路图。

[0013] 图7是第1实施方式的半导体存储装置所具备的电压产生电路的框图。

[0014] 图8是第1实施方式的半导体存储装置所具备的存储单元阵列的平面布局图。

[0015] 图9是沿着图8所示的IX-IX的存储单元阵列的剖视图。

[0016] 图10是第1实施方式的半导体存储装置所具备的存储单元阵列及行解码器模块的剖视图。

[0017] 图11是第1实施方式的半导体存储装置中的第1读出动作的时序图。

[0018] 图12是第1实施方式的半导体存储装置中的第2读出动作的时序图。

[0019] 图13是第1实施方式的半导体存储装置中的第1写入动作的时序图。

[0020] 图14是第1实施方式的半导体存储装置中的第2写入动作的时序图。

[0021] 图15是表示半导体存储装置中的读出动作速度的层依存性的图。

- [0022] 图16是第2实施方式的半导体存储装置中的读出动作的时序图
- [0023] 图17是第2实施方式的半导体存储装置中的写入动作的时序图。
- [0024] 图18是第3实施方式的半导体存储装置所具备的行解码器模块的电路图。
- [0025] 图19是第4实施方式的半导体存储装置中的读出动作的时序图。
- [0026] 图20是第4实施方式的半导体存储装置中的写入动作的时序图。
- [0027] 图21是第5实施方式的半导体存储装置中的第1读出动作的时序图。
- [0028] 图22是第5实施方式的半导体存储装置中的第2读出动作的时序图。
- [0029] 图23是第6实施方式的半导体存储装置中的第1读出动作的时序图。
- [0030] 图24是第6实施方式的半导体存储装置中的第2读出动作的时序图。
- [0031] 图25是第6实施方式的变化例的半导体存储装置中的第2读出动作的时序图。
- [0032] 图26是第7实施方式的半导体存储装置所具备的行解码器模块的电路图。
- [0033] 图27是第7实施方式的半导体存储装置所具备的行解码器模块的电路图。
- [0034] 图28是第1~第7实施方式的变化例的半导体存储装置所具备的存储单元阵列及行解码器模块的剖视图。

具体实施方式

[0035] 下面,参照附图对实施方式进行说明。附图是示意性的图。另外,在以下的说明中,对具有大致相同的功能及构成的构成要素标注相同符号。构成参照符号的文字后的数字、及构成参照符号的数字后的文字是用来区分通过包含相同文字及数字的参照符号进行参照且具有相同构成的要素彼此。在无需对以包含相同文字及数字的参照符号表示的要素相互加以区分的情况下,这些要素是通过仅包含相同文字及数字的参照符号进行参照的。

[0036] [1]第1实施方式

[0037] 下面,对第1实施方式的半导体存储装置进行说明。

[0038] [1-1]构成

[0039] [1-1-1]半导体存储装置10的整体构成

[0040] 首先,使用图1对半导体存储装置10的整体构成进行说明。在图1中示出了半导体存储装置10的框图。如图1所示,半导体存储装置10具备存储单元阵列11、读出放大器模块12、行解码器模块13A及13B、输入输出电路14、寄存器15、逻辑控制器16、序列发生器17、就绪/忙碌控制电路18、以及电压产生电路19。

[0041] 存储单元阵列11具备块BLK0~BLKn(n是1以上的自然数)。块BLK是与位线及字线建立关联的多个非易失性存储单元的集合,例如成为数据的删除单位。半导体存储装置10通过应用例如MLC(Multi-Level Cell,多层单元)方式,而能使各存储单元存储2比特以上的数据。

[0042] 读出放大器模块12将从存储单元阵列11读出的数据DAT经由输入输出电路14而输出到外部的存储器控制器。此外,读出放大器模块12将从存储器控制器经由输入输出电路14而接收到的写入数据DAT传输到存储单元阵列11。

[0043] 行解码器模块13基于保存在地址寄存器15B中的块地址BA,而选择执行各种动作的对象的块BLK。然后,行解码器模块13将从电压产生电路19供给的电压传输到所选择的块BLK。例如,行解码器模块13A从字线的一端施加电压,行解码器模块13B从字线的另一端施

加电压。

[0044] 输入输出电路14在与存储器控制器之间收发例如宽度为8比特的输入输出信号I/O(I/O1~I/O8)。例如输入输出电路14将从存储器控制器接收到的输入输出信号I/O中所包含的写入数据DAT传输到读出放大器模块12。此外,输入输出电路14将从读出放大器模块12传输的读出数据DAT作为输入输出信号I/O而发送至存储器控制器。

[0045] 寄存器15包含状态寄存器15A、地址寄存器15B、及指令寄存器15C。状态寄存器15A例如保存序列发生器17的状态信息STS。地址寄存器15B保存从输入输出电路14传输的地址信息ADD。地址信息ADD中所包含的列地址CA、块地址BA、及页地址PA分别在读出放大器模块12、行解码器模块13、及电压产生电路19中使用。指令寄存器15C保存从输入输出电路14传输的指令CMD。

[0046] 逻辑控制器16基于从存储器控制器接收到的各种控制信号,控制输入输出电路14及序列发生器17。作为该控制信号,例如使用芯片使能信号/CE、指令锁存使能信号CLE、地址锁存使能信号ALE、写使能信号/WE、读使能信号/RE、及写保护信号/WP。信号/CE是用来使半导体存储装置10启动的信号。信号CLE是将与已被确证的信号CLE并行输入到半导体存储装置10的信号为指令CMD这一情况通知给输入输出电路14的信号。信号ALE是将与已被确证的信号ALE并行输入到半导体存储装置10的信号为地址信息ADD这一情况通知给输入输出电路14的信号。信号/WE及/RE分别是对输入输出电路14指示例如输入输出信号I/O的输入及输出的信号。信号/WP是用来在例如电源接通或断开时使半导体存储装置10处于保护状态的信号。

[0047] 序列发生器17基于保存在指令寄存器15C中的指令CMD,控制半导体存储装置10整体的动作。具体来说,序列发生器17控制读出放大器模块12、行解码器模块13、电压产生电路19等,而执行写入动作及读出动作等各种动作。

[0048] 就绪/忙碌控制电路18基于序列发生器17的动作状态而产生就绪/忙碌信号RBn。信号RBn是将半导体存储装置10为受理来自存储器控制器的命令的就绪状态还是不受理命令的忙碌状态这一情况通知给存储器控制器的信号。

[0049] 电压产生电路19基于序列发生器17的控制而产生所期望的电压,并将所产生的电压供给到存储单元阵列11、读出放大器模块12、行解码器模块13等。例如,电压产生电路19基于保存在地址寄存器15B的页地址PA,对与选择字线对应的信号线、及与非选择字线对应的信号线分别施加所期望的电压。

[0050] [1-1-2] 存储单元阵列11的构成

[0051] 接下来,使用图2对存储单元阵列11的电路构成进行说明。图2是存储单元阵列11的电路图,示出了关于存储单元阵列11内的1个块BLK的详细电路构成。如图2所示,块BLK具备例如串单元SU0~SU3。另外,块BLK所包含的串单元SU的个数并不限于于此,能设计为任意的个数。

[0052] 串单元SU各自包含多个NAND串NS。各串单元SU中所包含的多个NAND串NS分别对应于位线BL0~BLm(m是1以上的自然数)而设置。NAND串NS各自包含例如8个存储单元晶体管MT(MT0~MT7)、以及选择晶体管ST1及ST2。另外,NAND串NS所包含的存储单元晶体管MT的个数并不限于于此,能设计为任意的个数。

[0053] 存储单元晶体管MT具备控制栅极及电荷累积层,将数据非易失性地保存。存储单

元晶体管MT0~MT7串联连接在选择晶体管ST1的源极与选择晶体管ST2的漏极之间。同一块BLK内的存储单元晶体管MT0~MT7的控制栅极分别共通连接于字线WL0~WL7。

[0054] 串单元SU0~SU3内的选择晶体管ST1的栅极分别共通连接于选择栅极线SGD0~SGD3。在同一块BLK内位于同一列的选择晶体管ST1的漏极共通连接于对应的位线BL,进而,位于同一列的选择晶体管ST1的漏极通过对应的位线BL而在多个块BLK间共通连接。同一块内的选择晶体管ST2的栅极共通连接于选择栅极线SGS。同一块内的选择晶体管ST2的源极共通连接于源极线SL。进而,选择晶体管ST2的源极通过源极线SL而在多个块BLK间共通连接。

[0055] 在以下的说明中,将连接于共通的字线WL的多个存储单元晶体管MT所保存的1比特数据的集合称为“页”。因此,当在1个存储单元晶体管MT中存储2比特数据的情况下,连接于1条字线WL的多个存储单元晶体管MT的集合中存储2页数据。

[0056] 另外,存储单元晶体管MT的阈值分布例如成为图3所示的分布。在图3中示出了应用MLC方式的情况下的存储单元晶体管MT的阈值分布、被分配的数据、及读出动作中所使用的电压。图3的纵轴及横轴分别对应于存储单元晶体管MT的数量及阈值电压。

[0057] 如图3所示,在应用MLC方式的情况下,存储单元晶体管MT的阈值分布被分为4个。将该4个阈值分布按照阈值电压由低到高的顺序称为“ER”电平、“A”电平、“B”电平、“C”电平。“ER”电平相当于存储单元晶体管MT的删除状态,“A”电平、“B”电平、及“C”电平相当于存储单元晶体管MT的写入状态。

[0058] 对这些阈值分布分别分配2比特数据。具体来说,对“ER”电平、“A”电平、“B”电平、及“C”电平的阈值分布分别分配例如“01”(“高阶(Upper)比特/低阶(Lower)比特”)数据、“11”数据、“01”数据,及“00”数据。

[0059] 而且,读出动作中所使用的读出电压分别设定为相邻的阈值分布之间。具体来说,用来判定某个存储单元晶体管MT的阈值电压是“ER”电平还是“A”电平以上的读出电压AR设定为“ER”电平中的最大阈值电压与“A”电平中的最小阈值电压之间。用来判定某个存储单元晶体管MT是“A”电平以下还是“B”电平以上的读出电压BR设定为“A”电平中的最大阈值电压与“B”电平中的最小阈值电压之间。对于读出电压CR,也与读出电压AR及BR同样地设定。而且,作为在读出动作时施加到非选择字线的电压的读出通过电压Vread设定为比“C”电平的阈值分布中的最大阈值电压高的电压。也就是说,控制栅极被施加了电压Vread的存储单元晶体管MT不依存于所要保存的数据均成为接通状态。

[0060] 在应用以上所说明的数据分配的情况下,低阶页数据是根据使用电压BR的读出结果而确定,高阶页数据是根据使用电压AR及CR的读出结果而确定。也就是说,低阶页数据是通过1次读出而确定,高阶页数据是通过2次读出而确定。

[0061] [1-1-3] 读出放大器模块12的构成

[0062] 接下来,使用图4及图5对读出放大器模块12的构成进行说明。在图4中示出了读出放大器模块12的框图,在图5中示出了读出放大器模块12的详细电路构成。如图4所示,读出放大器模块12具备读出放大器单元SAU0~SAUm。

[0063] 读出放大器单元SAU0~SAUm分别对应于位线BL0~BLm而设置。各读出放大器单元SAU包含读出放大器部SA、以及锁存电路SDL、LDL、UDL、及XDL。在各读出放大器单元SAU中,读出放大器部SA、以及锁存电路SDL、LDL、UDL、及XDL是以相互能收发数据的方式连接。

[0064] 读出放大器部SA在读出动作中,读出由对应的位线BL读出的数据,并判定所读出的数据是“0”还是“1”,在写入动作中,基于写入数据向对应的位线BL施加电压。如图5所示,读出放大器部SA具备p通道MOS (Metal-Oxide-Semiconductor, 金氧半导体) 晶体管20、n通道MOS晶体管21~27、及电容器28。

[0065] 晶体管20是一端连接于电源线,栅极连接于节点INV。晶体管21是一端连接于晶体管20的另一端,另一端连接于节点COM,且栅极被输入控制信号BLX。晶体管22是一端连接于节点COM,另一端连接于对应的位线BL,且栅极被输入控制信号BLC。晶体管23是一端连接于节点COM,另一端连接于节点SRC,栅极连接于节点INV。晶体管24是一端连接于晶体管20的另一端,另一端连接于节点SEN,且栅极被输入控制信号HLL。晶体管25是一端连接于节点SEN,另一端连接于节点COM,且栅极被输入控制信号XXL。晶体管26是一端接地,栅极连接于节点SEN。晶体管27是一端连接于晶体管26的另一端,另一端连接于总线LBUS,且栅极被输入控制信号STB。电容器28是一端连接于节点SEN,另一端被输入时钟CLK。

[0066] 锁存电路SDL、LDL、及UDL暂时保存读出数据及写入数据。如图5所示,锁存电路SDL具备反相器30及31、以及n通道MOS晶体管32及33。

[0067] 反相器30是输入端子连接于节点LAT,输出端子连接于节点INV。反相器31是输入端子连接于节点INV,输出端子连接于节点LAT。晶体管32是一端连接于节点INV,另一端连接于总线LBUS,且栅极被输入控制信号STI。晶体管33是一端连接于节点LAT,另一端连接于总线LBUS,且栅极被输入控制信号STL。另外,锁存电路LDL及UDL的电路构成与以上所说明的锁存电路SDL的电路构成相同,因此省略说明。

[0068] 锁存电路XDL用于读出放大器单元SAU与输入输出电路14之间的数据的输入输出。例如,从输入输出电路14接收到的写入数据经由锁存电路XDL而传输到锁存电路SDL、LDL、或UDL,从存储单元晶体管MT读出的读出数据经由锁存电路XDL而传输到输入输出电路14。

[0069] 在以上所说明的读出放大器单元SAU的构成中,对连接于晶体管20的一端的电源线施加例如作为半导体存储装置10的电源电压的电压Vdd,对节点SRC施加例如作为半导体存储装置10的接地电压的电压Vss。此外,以上所说明的各种控制信号例如是由序列发生器17产生。例如,在读出动作中,如果序列发生器17确证信号STB,那么读出放大器部SA基于节点SEN的电压而确定读出数据。

[0070] 另外,以上所说明的读出放大器模块12的构成并不限于此。例如,读出放大器单元SAU所具备的锁存电路的个数也可以基于1个存储单元晶体管MT所保存的数据的比特数而变更。

[0071] 此外,在以上的说明中,列举了读出放大器单元SAU及位线BL一对一地对应的情况为例,但并不限于此。例如,也可以为多条位线BL经由选择器而连接于1个读出放大器单元SAU。

[0072] [1-1-4]行解码器模块13的构成

[0073] 接下来,使用图6对行解码器模块13的构成进行说明。在图6中示出了行解码器模块13的电路图。如图6所示,行解码器模块13A包含行解码器RDA0~RDA_n,行解码器模块13B包含行解码器RDB0~RDB_n。

[0074] 行解码器RDA0及RDB0与块BLK0建立关联,行解码器RDA_n及RDB_n与块BLK_n建立关联。也就是说,在1个块BLK关联着行解码器RDA及RDB的组。下面,着眼于与块BLK0对应的行

解码器RDA0及RDB0,对行解码器RDA及RDB的详细构成进行说明。

[0075] 行解码器RDA包含块解码器BD以及高耐压n通道MOS晶体管TR1~TR13,行解码器RDB包含高耐压n通道MOS晶体管TR14及TR15。

[0076] 块解码器BD将块地址BA解码,并基于该解码结果对传输栅极线TG施加指定的电压。传输栅极线TG共通连接于晶体管TR1~TR15的栅极。

[0077] 晶体管TR1~TR15连接在从电压产生电路19配线的各种信号线与建立了关联的块BLK的各种配线之间。具体来说,晶体管TR1的一端连接于信号线SGSD,晶体管TR1的另一端连接于选择栅极线SGS。晶体管TR2~TR9的一端分别连接于信号线CG0~CG7,晶体管TR2~TR9的另一端分别连接于字线WL0~WL7的一端。晶体管TR10~13的一端连接于信号线SGDD0~SGDD3,晶体管TR10~13的另一端连接于选择栅极线SGD0~SGD3。晶体管TR14及TR15的一端分别连接于信号线CG6及CG7,晶体管TR14及TR15的另一端分别连接于字线WL6及WL7的另一端。

[0078] 这样一来,字线WL0~WL5由行解码器RDA从字线WL的单侧驱动,字线WL6及WL7由行解码器RDB从字线WL的两侧驱动。在以下的说明中,将对应于单侧驱动的字线WL及信号线CG称为第1组(Gr.1)的字线WL及信号线CG,将对应于两侧驱动的字线WL及信号线CG称为第2组(Gr.2)的字线WL及信号线CG。

[0079] 通过以上的构成,行解码器模块13能选择执行各种动作的块BLK。具体来说,在各种动作时,对应于选择及非选择块BLK的块解码器BD分别将“H”电平及“L”电平的电压施加到传输栅极线TG。“H”电平及“L”电平的电压是如果被施加到n通道MOS晶体管的栅极便会使晶体管分别成为接通状态及断开状态的电压。例如,在选择了块BLK0的情况下,行解码器RDA0及RDB0中所包含的晶体管TR1~TR15成为接通状态,其他行解码器RDA及RDB中所包含的晶体管TR1~TR15成为断开状态。其结果,块BLK0的字线WL以及选择栅极线SGD及SGS与各种信号线的电流路径得以形成,其他块BLK的字线WL以及选择栅极线SGD及SGS与各种信号线的电流路径被阻断。

[0080] [1-1-5]电压产生电路19的构成

[0081] 接下来,使用图7对电压产生电路19的构成进行说明。在图7中示出了电压产生电路19的框图。如图7所示,电压产生电路19具备电荷泵40、以及CG驱动器41A、41B、及41C。

[0082] 电荷泵40是基于序列发生器17的控制而产生所期望的电压的电路。此外,电荷泵40能对CG驱动器41A、41B、及41C分别供给不同的电压,进而能变更对每个CG驱动器41供给的电压的缓变率(Ramp Rate)。

[0083] CG驱动器41是根据从电荷泵40供给的电压而产生对字线WL施加的电压的驱动器。CG驱动器41A、41B、及41C分别对应于例如选择字线、第1组的非选择字线、及第2组的非选择字线。各CG驱动器41包含高耐压n通道晶体管42及电平转换器43。

[0084] 晶体管42连接在电荷泵40与行解码器模块13之间,且栅极连接于电平转换器43。电平转换器43基于序列发生器17的控制,而控制施加到晶体管42的栅极的电压。也就是说,电平转换器43基于序列发生器17的控制而使晶体管42成为接通状态,由此将从电荷泵40供给的电压传输到行解码器模块13。

[0085] 具体来说,CG驱动器41A、41B、及41C所传输的电压经由未图示的选择器而施加到所期望的信号线CG。该选择器是基于页地址PA由序列发生器17控制。此外,序列发生器17能

基于页地址PA,对每个CG驱动器41应用不同的使能时点。该使能时点表示CG驱动器41对信号线开始供给电压的时点。

[0086] 另外,以上所说明的电压产生电路19的构成并不限于于此。例如,电压产生电路19也可以包含产生对选择栅极线SGD及SGS施加的电压的SG驱动器、或产生对源极线SL施加的电压的SL驱动器等其他驱动器。

[0087] [1-1-6]半导体存储装置10的构造

[0088] 接下来,对半导体存储装置10的构造进行说明。第1实施方式的半导体存储装置10具有将行解码器模块13设置在存储单元阵列11下部的构造。第1实施方式中的存储单元阵列11的平面布局例如成为图8所示的布局。在图8中示出了将1个串单元SU抽出后的存储单元阵列11的平面布局的一例、及分别相互交叉的X轴、Y轴、及Z轴。另外,Z方向对应于相对于半导体衬底表面的铅垂方向。

[0089] 如图8所示,串单元SU在Y方向上延伸而设置,沿着Y方向被分成3个区域(CR、HR1、HR2)。下面,对存储单元阵列11的区域CR内的详细构造、与存储单元阵列11及行解码器模块13的区域HR1及HR2内的详细构造进行说明。

[0090] 首先,对存储单元阵列11的区域CR内的详细构造进行说明。区域CR是设置多个存储单元的区域,配置在区域HR1与区域HR2之间。具体来说,在区域CR设置多个半导体柱MH,1个半导体柱MH例如对应于1个NAND串NS。也就是说,区域CR作为实质上的数据保存区域而发挥功能。

[0091] 将存储单元阵列11的区域CR内的截面构造的一例示于图9。图9是沿着图8的IX-IX线的存储单元阵列11的剖视图。另外,下面的说明中使用的附图是省略层间绝缘膜而进行表示。

[0092] 如图9所示,在存储单元阵列11中,沿着Z方向且从下层向上层依次设置着导电体50、导电体51、多个导电体52、导电体53、及导电体54。导电体50~53设置成在X方向及Y方向上扩展的板状,分别作为源极线SL、选择栅极线SGS、字线WL、及选择栅极线SGD而发挥功能。此外,图9所示的8层导电体52从下层起依次对应于字线WL0~WL7。导电体54是在X方向上延伸设置,且作为位线BL发挥功能。这样一来,在区域CR中,串单元SU具备交替地设置与选择栅极线SGS、字线WL0~WL7、及选择栅极线SGD中的任一者对应的导电体、及绝缘膜而成的积层构造。

[0093] 半导体柱MH是以从导电体53的上表面到达至导电体50的上表面的方式形成。也就是说,半导体柱MH是以沿着Z方向通过导电体51~53的方式设置。半导体柱MH包含块绝缘膜55、绝缘膜(电荷累积层)56、隧道氧化膜57、及导电性的半导体材料58。具体来说,在半导体材料58的周围设置着隧道氧化膜57,在隧道氧化膜57的周围设置着绝缘膜56,在绝缘膜56的周围设置着块绝缘膜55。另外,半导体材料58也可以由多种材料构成。

[0094] 在这种构造中,导电体51与半导体柱MH的交点部分作为选择晶体管ST2而发挥功能,导电体52与半导体柱MH的交点部分作为存储单元晶体管MT而发挥功能,导电体53与半导体柱MH的交点部分作为选择晶体管ST1而发挥功能。而且,在同一串单元SU中,在X方向上排列的半导体柱MH分别连接于不同的位线BL。具体来说,在半导体材料58的Z方向上的一端与对应的导电体54(位线BL)之间,设置着导电性的通孔接点BLC。

[0095] 以上所说明的存储单元阵列11的积层构造对应于1个串单元SU,且在X方向上排列

着多个。在X方向上相邻的串单元SU之间设置埋入着绝缘体的狭缝,从而使相邻的所述积层构造的导电体51~53分离。而且,在该狭缝内,例如接触插塞LI设置成从导电体50上起沿Y方向及Z方向扩展的板状。换句话说,1个串单元SU设置在例如在X方向上相邻的接触插塞LI之间。

[0096] 另外,以上所说明的存储单元阵列11的构造并不限于此。例如,于所述说明中选择栅极线SGS及SGD分别由1层导电体51及53构成,但选择栅极线SGS及SGD也可以由多层导电体构成。此外,所述说明中1个半导体柱MH通过的导电体52的个数并不限于此。例如,通过将1个半导体柱MH通过的导电体52的个数设为9个以上,而能使1个NAND串NS中所包含的存储单元晶体管MT的个数为9个以上。

[0097] 接下来,对存储单元阵列11及行解码器模块13的区域HR1及HR2内的详细构造进行说明。区域HR1是用来将设置在每个串单元SU的导电体51~53与行解码器模块13A之间的配线连接的区域,区域HR2是用来将设置在每个串单元SU的导电体51~53与行解码器模块13B之间的配线连接的区域。

[0098] 如图8所示,对应于选择栅极线SGS的导电体51、对应于字线WL0~WL7的导电体52、及对应于选择栅极线SGD的导电体53是Y方向的一端从区域CR向朝区域HR1的方向被引出,对应于字线WL6及WL7的导电体52是Y方向的另一端从区域CR向朝区域HR2的方向被引出。换句话说,在区域HR1中,导电体51及52具有不与上层的导电体52及53重叠的配线引出部,在区域HR2中,导电体52具有不与上层的导电体52及53重叠的配线引出部。也就是说,区域HR1内的导电体51~53的端部与区域HR2内的导电体52及53的端部分别设置成例如阶梯状。而且,区域HR1内的字线WL0~WL7的配线引出部、与区域HR2内的字线WL6及WL7的配线引出部分别设置导电性的通孔接点VC。

[0099] 将存储单元阵列11及行解码器模块13的区域HR1及HR2内的截面构造的一例示于图10。图10是沿着图8的Y方向的串单元SU的剖视图,包含区域HR1及HR2内的通孔接点VC的截面、及区域CR内的半导体柱MH的截面。另外,在图10中示出了与字线WL0及WL7相关的构成要素的详细情况,省略了对应于其他字线WL等的配线而进行表示。此外,半导体柱MH的详细截面构造与使用图9所说明的半导体柱MH的构造相同,因此予以省略而表示。

[0100] 如图10所示,在半导体存储装置10的衬底上,设置着行解码器模块13A及13B。具体来说,在半导体存储装置10的衬底上设置着P型阱区域60,在P型阱区域60的表面内形成着多个n⁺杂质扩散区域61及62。在1组扩散区域61及62间、且P型阱区域60上,隔着未图示的栅极绝缘膜而设置着导电体63。该1组扩散区域61及62以及导电体63对应于图6所示的晶体管TR。也就是说,扩散区域61及62以及导电体63分别对应于晶体管TR的源极、漏极、及栅极。

[0101] 在区域HR1及HR2中,在不与上层的导电体52及53重叠的各导电体52的配线引出部的上方分别设置着导电体64。具体来说,例如导电体64设置在设置着导电体53的配线层与设置着导电体54的配线层之间的配线层。另外,设置导电体64的配线层并不限于此,例如也可以设置在与导电体54相同的配线层或比导电体54靠上层的配线层。

[0102] 在区域HR1中,对应于字线WL0的导电体52的配线引出部经由导电性的通孔接点HU而连接于导电体64A。导电体64A经由通孔接点VC而连接于扩散区域61A。通孔接点VC与导电体50~53之间利用绝缘膜65而绝缘。另外,在以下的说明中,设为各通孔接点VC与导电体50~53之间利用绝缘膜65而绝缘。

[0103] 同样地,在区域HR1中,对应于字线WL7的导电体52的配线引出部经由通孔接点HU而连接于导电体64B。导电体64B经由通孔接点VC而连接于扩散区域61B。在区域HR2中,对应于字线WL7的导电体52的配线引出部经由通孔接点HU而连接于导电体64C。导电体64C经由通孔接点VC而连接于扩散区域61C。

[0104] 也就是说,在对应于字线WL7的导电体52中,Y方向的一端经由通孔接点VC及HU以及导电体64B而连接于晶体管TR9的源极,Y方向的另一端经由通孔接点VC及HU以及导电体64C而连接于晶体管TR15的源极。相对于此,在对应于字线WL0的导电体52中,Y方向的一端经由通孔接点VC及HU以及导电体64A而连接于晶体管TR2的源极,Y方向的另一端不与半导体衬底上的晶体管TR连接。也就是说,在对应于字线WL0的导电体52的Y方向的另一端,未设置例如对应的通孔接点VC及HU以及导电体64,该另一端成为被层间绝缘膜覆盖的状态。

[0105] 如上所述,与第1组的字线WL对应的导电体52在区域HR1中连接于设置在比源极线SL靠下层的行解码器模块13,与第2组的字线WL对应的导电体52在区域HR1及HR2中分别连接于设置在比源极线SL靠下层的行解码器模块13。

[0106] 另外,以上的说明中是列举将各导电体52电连接的通孔接点VC通过该导电体52的情况为例,但并不限于此。例如,对应于各导电体52的通孔接点VC也可以从不同的配线层的导电体52通过导电体50而连接于对应的扩散区域61。

[0107] 此外,以上的说明中以通孔接点BLC、VC、及HU由1段柱子形成的情况为例进行了说明,但并不限于此。例如,这些通孔接点也可以将2段以上的柱子连结而形成。此外,这样将2段以上的柱子连结的情况下,也可以经由不同的导电体。

[0108] 此外,在以上所说明的区域HR1及HR2中,例如对应于同一串单元SU且同一字线WL的导电体52也可以经由导电体64或连接于导电体64的其他导电体而短路。

[0109] [1-2]动作

[0110] [1-2-1]读出动作

[0111] 接下来,对半导体存储装置10的读出动作进行说明。在第1实施方式的半导体存储装置10的读出动作中,选择了第1组(单侧驱动)的字线WL的情况下的读出动作的时间与选择了第2组(两侧驱动)的字线WL的情况下的读出动作的时间不同。下面,将选择了第1组的字线WL的读出动作称为第1读出动作,将选择了第2组的字线WL的读出动作称为第2读出动作。

[0112] 首先,使用图11对半导体存储装置10中的第1读出动作进行说明。在图11中示出了从以MLC方式存储着数据的存储单元读出高阶比特数据的情况下的波形的一例,且示出了对第1组的选择字线WLsel(Gr.1)及非选择字线WLuse1施加的电压及控制信号STB的波形。

[0113] 如图11所示,在时刻t0以前的初始状态下,行解码器模块13对第1组的选择字线WLsel及非选择字线WLuse1施加电压Vss。

[0114] 在时刻t0,对第1组的非选择字线WLuse1(Gr.1),由行解码器模块13A从单侧施加读出通过电压Vread,对第2组的非选择字线WLuse1(Gr.2),由行解码器模块13A及13B从两侧施加读出通过电压Vread。这时,关于非选择字线WLuse1,第2组的非选择字线WLuse1(Gr.2)比第1组的非选择字线WLuse1(Gr.1)早地上升到电压Vread。

[0115] 在时刻t1,对第1组的选择字线WLsel(Gr.1),由行解码器模块13A从单侧施加读出电压AR。这里,将第1组的选择字线WLsel(Gr.1)从电压Vss上升到读出电压AR的时间设为时

间T1。然后,序列发生器17在选择字线WLsel (Gr.1)的电压成为读出电压AR期间,确证控制信号STB。于是,各读出放大器单元SAU在控制信号STB被确证的时点,根据对应的位线BL的电压判定读出数据,并将该数据保存在内部的任一锁存电路。

[0116] 在时刻t2,对第1组的选择字线WLsel (Gr.1),由行解码器模块13A从单侧施加读出电压CR。然后,序列发生器17在选择字线WLsel (Gr.1)的电压成为读出电压CR期间,确证控制信号STB。于是,各读出放大器单元SAU在控制信号STB被确证的时点,根据对应的位线BL的电压判定读出数据,并将该数据保存在内部的任一锁存电路。

[0117] 在时刻t3,行解码器模块13A及13B对各字线WL施加电压Vss。这时,关于非选择字线WLusel,第2组的非选择字线WLusel (Gr.2)比第1组的非选择字线WLusel (Gr.1)早地下降到电压Vss。此外,读出放大器单元SAU基于保存在内部的电压AR下的读出数据、及电压CR下的读出数据对高阶比特数据进行运算。然后,该高阶比特数据经由锁存电路XDL而传输到外部的控制器。

[0118] 以上的说明对应于第1读出动作。将执行该第1读出动作的时间设为时间tR1,用在以下的说明中。

[0119] 接下来,使用图12,关于半导体存储装置10中的第2读出动作,说明与第1读出动作不同的方面。在图12中示出了从以MLC方式存储着数据的存储单元读出高阶比特数据的情况下的波形的一例,且示出了对第2组的选择字线WLsel (Gr.2)及非选择字线WLusel施加的电压及控制信号STB的波形。如图12所示,第2读出动作相对于使用图11所说明的第1读出动作来说,各时刻的动作时点提前。

[0120] 具体来说,在时刻t1,对第1组的选择字线WLsel (Gr.2),由行解码器模块13A及13B从两侧施加读出电压AR。这时,第2组的选择字线WLsel (Gr.1)从电压Vss上升到读出电压AR的时间T2短于第1读出动作中的时间T1。随之,序列发生器17在早于第1读出动作的时点确证控制信号STB,并移行到接下来的时刻t2的动作。然后,时刻t2时的动作时点也与时刻t1时的动作时点同样地,早于第1读出动作。也就是说,执行第2读出动作的时间tR2短于执行第1读出动作的时间tR1。

[0121] 另外,以上的说明中是列举将存储2比特数据的存储单元的高阶页数据读出的情况为例,但并不限于此。例如,在读出低阶页数据的情况下也同样地,第2读出动作的执行时间短于第1读出动作的执行时间。

[0122] [1-2-2] 写入动作

[0123] 接下来,对半导体存储装置10的写入动作进行说明。在写入动作中,序列发生器17使编程电压Vpgm增量而反复执行编程动作与验证读出动作的组合即编程循环。

[0124] 编程动作是对选择字线WLsel施加编程电压Vpgm,而使写入对象的存储单元晶体管MT的阈值电压上升的动作。写入禁止的存储单元晶体管MT利用施加编程电压时的自升压技术等,而抑制阈值电压的变动。

[0125] 验证读出动作是判定存储单元晶体管MT的阈值电压是否已达到所期望的阈值电压的读出动作。验证读出动作能应用[1-2-1]中所说明的第1及第2读出动作,能使选择字线WLsel为第2组的情况下的验证时间短于选择字线WL为第1组的情况下的验证时间。

[0126] 下面,对半导体存储装置10的编程动作的详细情况进行说明。在第1实施方式的半导体存储装置10的编程动作中,与读出动作同样地,选择了第1组(单侧驱动)的字线WL的情

况下的编程动作的时间与选择了第2组(两侧驱动)的字线WL的情况下的编程动作的时间不同。下面,将选择了第1组的字线WL的编程动作称为第1编程动作,将选择了第2组的字线WL的编程动作称为第2编程动作。

[0127] 首先,使用图13对半导体存储装置10中的第1编程动作进行说明。在图13中示出了编程动作时的选择及非选择的选择栅极线SGDsel及SGDusel、第1组的选择字线WLsel(Gr.1)、非选择字线WLusel、以及写入对象及写入禁止的位线BLprog及BLinh的波形的一例。

[0128] 如图13所示,在时刻t0以前的初始状态下,行解码器模块13对选择栅极线SGD及字线WL施加电压Vss,读出放大器模块12对位线BL施加电压Vss。

[0129] 在时刻t0,行解码器模块13A对选择栅极线SGD_sel及SGD_usel施加电压Vsgdh,读出放大器模块12对位线BLinh施加电压Vdd。电压Vsgdh是比选择晶体管ST1的阈值电压高的电压。如果对选择栅极线SGD_sel及SGD_usel施加电压Vsgdh,那么对应的选择晶体管ST1成为接通状态,而在各位线BL与对应的NAND串NS之间形成电流路径。然后,通过对位线BLinh施加电压Vdd,从而与位线BLinh对应的NAND串NS的通道电位上升。

[0130] 在时刻t1,行解码器模块13A对选择栅极线SGDsel及SGDusel施加电压Vss。如果对选择栅极线SGDsel及SGDusel施加电压Vss,那么选择晶体管ST1成为断开状态,对应的NAND串NS的通道成为浮动状态。这时,与写入禁止的位线BLinh对应的NAND串的通道电位保持着通过在时刻t0与t1间施加的电压而上升的状态。也就是说,与位线BLinh对应的NAND串NS的通道电位高于与位线BLprog对应的NAND串NS的通道电位。

[0131] 在时刻t2,行解码器模块13A对选择栅极线SGDsel施加电压Vsgd。电压Vsgd是高于选择晶体管ST1的阈值电压且低于电压Vsgdh的电压。对第1组的选择及非选择字线WLsel及WLusel(Gr.1),由行解码器模块13A及13B从两侧施加写入通过电压Vpass,对第2组的非选择字线WLusel(Gr.2),由行解码器模块13A从单侧施加电压Vpass。写入通过电压Vpass是高于电压Vsgd的电压。这时,第2组的非选择字线WLusel(Gr.2)比第1组的非选择字线WLusel(Gr.1)早地上升到电压Vpass。如果对选择栅极线SGDsel施加电压Vsgd,且对位线BLinh施加电压Vdd,那么选择晶体管ST1成为断开状态,对应的NAND串NS的通道成为浮动状态。然后,如果对字线WLsel及WLusel施加电压Vpass,那么成为浮动状态的NAND串NS的通道电位通过与字线WL的耦合而上升(自升压技术)。另一方面,与位线BLprog对应的NAND串的通道电位维持由读出放大器模块12施加的电压Vss。

[0132] 在时刻t3,对第1组的选择字线WLsel(Gr.1),由行解码器模块13A从单侧施加编程电压Vpgm。这里,将第1组的选择字线WLsel(Gr.1)从电压Vss上升到读出电压AR的时间设为时间T3。如果对字线WLsel施加电压Vpgm,那么利用字线WLsel与对应于位线BLprog的NAND串NS的通道的电位差,将电子注入到写入对象的存储单元的电荷累积层,从而存储单元的阈值电压上升。另一方面,字线WLsel与对应于位线BLinh的NAND串NS的通道的电位差通过自升压而变小,因此写入禁止的存储单元中的阈值电压的变动得以抑制。

[0133] 在时刻t4,行解码器模块13A使施加到选择字线WLsel的电压下降到Vpass。

[0134] 在时刻t5,行解码器模块13A及13B使施加到选择字线WLsel及非选择字线WLusel的电压下降到Vss,读出放大器模块12使施加到到位线BLinh的电压下降到Vss。这时,第2组的非选择字线WLusel(Gr.2)比第1组的非选择字线WLusel(Gr.1)早地下降到电压Vss。于是,

成为浮动状态的NAND串NS的通道电位随着字线WL的电压的下降而下降。

[0135] 在时刻 t_6 ，行解码器模块13A使施加到选择栅极线SGDse1的电压下降到 V_{ss} 。这样一来，对应于选择栅极线SGDse1的选择晶体管ST1成为断开状态，而恢复为初始状态。然后，序列发生器17使第1编程动作结束，并移行到例如验证动作。将执行该第1编程动作的时间设为时间 t_{P1} ，用在以下的说明中。

[0136] 接下来，使用图14，关于半导体存储装置10中的第2编程动作，说明与第1编程动作不同的方面。在图14中示出了编程动作时的选择及非选择的选择栅极线SGDse1及SGDuse1、第2组的选择字线WLse1 (Gr. 2)、非选择字线WLuse1、以及写入对象及写入禁止的位线BLprog及BLinh的波形的一例。如图14所示，第2编程动作相对于使用图13所说明的第1编程动作来说，各时刻的动作时点提前。

[0137] 具体来说，在时刻 t_2 ，对第1组的选择字线WLse1 (Gr. 2)，由行解码器模块13A及13B从两侧施加读出电压AR。这时，第2组的选择字线WLse1 (Gr. 2)从电压 V_{ss} 上升到编程电压 V_{pgm} 的时间 T_4 短于第1编程动作中的时间 T_3 。随之，序列发生器17在早于第1读出动作的时点，移行到接下来的时刻 t_4 的动作。也就是说，执行第2编程动作的时间 t_{P2} 短于执行第1编程动作的时间 t_{P1} 。

[0138] [1-3]第1实施方式的效果

[0139] 根据以上所说明的第1实施方式的半导体存储装置10，能使读出动作及写入动作高速化。下面，对本效果的详细情况进行说明。

[0140] 在将存储单元三维地积层而成的半导体存储装置中，例如存储单元由图9所示那样的半导体柱MH形成。这种半导体柱MH例如是执行高纵横比的蚀刻而形成，所以存在存储器柱MH的直径在每层都不同的情况。如果半导体柱MH的直径发生变化，那么半导体柱MH与作为字线WL发挥功能的导电体52相接触的面积、及作为字线WL而发挥功能的导电体52本身的面积会发生变化，因此存储单元的特性根据半导体柱MH的直径而变化。

[0141] 例如，在半导体柱MH是直径像图9所示的那样从上层向下层变细的形状的情况下，就字线WL与半导体柱MH间的耦合电容来说，与半导体柱MH的上层对应的字线WL大于与半导体柱MH的下层对应的字线WL。进而，因为半导体柱MH的直径在上层较大，所以上层的字线WL的电阻值高于下层的字线WL的电阻值。因此，上层的字线WL的RC延迟大于下层的字线WL的RC延迟。作为抑制这种RC延迟的方法，可考虑从字线WL的两侧进行驱动的方法、或将作为字线WL发挥功能的导电体的宽度扩大的方法。

[0142] 然而，在使所有字线WL都为两侧驱动的情况下，用来将作为字线WL而发挥功能的配线层引出的区域变大，因此半导体存储装置的电路面积会变大。此外，使作为字线WL而发挥功能的导电体的宽度变大的情况下也同样地，半导体存储装置的电路面积会变大。

[0143] 因此，第1实施方式的半导体存储装置10具备单侧驱动的字线WL、及两侧驱动的字线WL。具体来说，第1实施方式的半导体存储装置10具备：行解码器模块13A，从作为字线WL而发挥功能的导电体52的一端施加电压；及行解码器模块13B，从另一端施加电压。例如，下层的字线WL0~WL5是由行解码器模块13A从单侧驱动，上层的字线WL6及WL7是由行解码器模块13A及13B从两侧驱动。

[0144] 这样一来，第1实施方式的半导体存储装置10是利用行解码器模块13A从单侧驱动设为单侧驱动的情况下的RC延迟相对较小的下层的字线WL，利用行解码器模块13A及13B从

两侧驱动设为单侧驱动的情况下的RC延迟相对较大的上层的字线WL。

[0145] 由此,半导体存储装置10相较于使所有字线WL都为两侧驱动的情况来说,能抑制用来将字线WL设为两侧驱动的配线引出区域,因此能抑制半导体存储装置10的电路面积的增大。进而,第1实施方式的半导体存储装置10能使选择上层的字线WL的动作高速化,因此能使读出动作及写入动作高速化。

[0146] 此外,在第1实施方式的半导体存储装置10中,两侧驱动的字线WL的RC延迟小于单侧驱动的字线WL的RC延迟。该情况下,在读出动作及写入动作中,就选择字线WL的电压达到所期望的读出电压及编程电压为止的时间来说,两侧驱动的字线WL短于单侧驱动的字线WL。

[0147] 因此,在第1实施方式的半导体存储装置中,进而使选择了两侧驱动的字线WL的情况下的动作时点早于选择了单侧驱动的字线WL的情况下的动作时点。具体来说,例如根据所选择的字线WL,在读出动作中,缩短行解码器模块13施加读出电压后至序列发生器17确证控制信号STB为止的期间,在写入动作中,缩短行解码器模块13施加编程电压的期间等。

[0148] 由此,第1实施方式的半导体存储装置10能使选择了两侧驱动的字线WL的读出动作及写入动作比选择了RC延迟相对较小的下层的字线WL的读出动作及写入动作更高速化。因此,第1实施方式的半导体存储装置10能进一步缩短读出动作及写入动作的时间。

[0149] 另外,以上的说明中是以半导体柱MH为从上层向下层变细的形状的情况为例进行了说明,但并不限于此。例如,半导体柱MH存在成为如中层鼓起那样的形状的情况。此外,在将存储单元三维地积层而成的半导体存储装置10中,也存在设为使半导体柱MH纵向连结而成的构造的情况。在这种情况下,半导体存储装置10也能通过选择性地使设为单侧驱动的情况下的RC延迟变大的字线WL为两侧驱动,而抑制电路面积的增大,并且提高动作速度。

[0150] 另外,在以上所说明的半导体存储装置10中,积层着64层字线WL的情况下的读出时间与选择字线WL的关系示于图15。图15所示的横轴表示所选择的字线WL所对应的层的编号,图15所示的纵轴表示选择了该字线WL的情况下的最佳读出时间(t_R)。

[0151] 如图15所示,在将存储单元三维地积层而成的半导体存储装置中,在选择了64层中的上层侧1/3以内的字线WL的情况下,读出时间推迟的倾向变强。因此,半导体存储装置10优选为使所积层的字线WL中上层侧1/3以内的字线WL为两侧驱动。在该情况下,半导体存储装置10通过两侧驱动而使动作速度提高的效果与电路面积的增加的均衡性尤其优异。

[0152] [2]第2实施方式

[0153] 接下来,对第2实施方式的半导体存储装置10进行说明。第2实施方式的半导体存储装置10是在第1实施方式中所说明的第2读出动作及第2编程动作中,在与单侧驱动的非选择字线WLuse1对应的信号线CG、及与两侧驱动的非选择字线WLuse1对应的信号线CG变更缓变率的半导体存储装置。

[0154] [2-1]动作

[0155] [2-1-1]读出动作

[0156] 首先,使用图16对第2实施方式的半导体存储装置10的读出动作进行说明。图16是第2实施方式中的第2读出动作的时序图,示出了字线WL及对应的信号线CG的波形。图16所示的时刻 $t_0 \sim t_3$ 时的动作分别对应于使用图12所说明的时刻 $t_0 \sim t_3$ 时的动作。

[0157] 另外,以下的说明中所使用的时序图是以虚线表示与第1组(单侧驱动)的字线WL

及信号线CG对应的波形,以实线表示与第2组(两侧驱动)的字线WL及信号线CG对应的波形。此外,在以下的说明中,将对应于选择字线WLse1的信号线CG称为选择信号线CGse1,将对应于非选择字线WLuse1的信号线称为非选择信号线CGuse1。此外,下面,为了使说明变得简便,列举如下情况为例进行说明,即,在经由晶体管TR而从信号线CG对字线WL供给电压的情况下,不会因为晶体管TR而发生电压下降。

[0158] 如图16所示,选择信号线CGse1的波形与选择字线WLse1的波形相同。另一方面,非选择信号线CGse1的波形在第1组的非选择信号线CGuse1与第2组的非选择信号线CGuse1不同。

[0159] 具体来说,在时刻 t_0 ,对非选择信号线CGuse1施加读出通过电压Vread。这时,电荷泵40使对与第2组的非选择信号线CGuse1对应的CG驱动器41供给电压的缓变率低于对与第1组的非选择信号线CGuse1对应的CG驱动器41供给电压的缓变率。也就是说,第2组的非选择信号线CGuse1在晚于第1组的非选择信号线CGuse1的时点达到电压Vread。而且,与此对应的第1及第2组的非选择字线WLuse1的波形成为与例如图12所示的第1组的非选择字线WLuse1的波形相同。其他动作与第1实施方式中使用图12所说明的第2读出动作相同,因此省略说明。

[0160] [2-1-2] 写入动作

[0161] 接下来,使用图17对第2实施方式的半导体存储装置10的写入动作进行说明。图17是第2实施方式中的第2编程动作的时序图,示出了选择栅极线SGD、字线WL、及信号线CG的波形。图17所示的第2读出动作的时刻 $t_0 \sim t_6$ 时的动作分别对应于使用图14所说明的第2编程动作的时刻 $t_0 \sim t_6$ 时的动作。

[0162] 如图17所示,选择信号线CGse1的波形与选择字线WLse1的波形相同。另一方面,非选择信号线CGse1的波形在第1组的非选择信号线CGuse1与第2组的非选择信号线CGuse1不同。

[0163] 具体来说,在时刻 t_2 ,对非选择信号线CGuse1施加写入通过电压Vpass。这时,电荷泵40使对与第2组的非选择信号线CGuse1对应的CG驱动器41供给电压的缓变率低于对与第1组的非选择信号线CGuse1对应的CG驱动器41供给电压的缓变率。也就是说,第2组的非选择信号线CGuse1在晚于第1组的非选择信号线CGuse1的时点达到电压Vpass。而且,与此对应的第1及第2组的非选择字线WLuse1的波形成为与例如图14所示的第1组的非选择字线WLuse1的波形相同。

[0164] 时刻 t_2 时的第2组的选择信号线CGse1的动作与第2组的非选择信号线CGuse1的动作相同。也就是说,第2组的选择信号线CGse1在晚于第1组的非选择信号线CGuse1的时点达到电压Vpass。然后,使在时刻 t_3 对第2组的选择信号线CGse1施加的电压的缓变率低于第1实施方式中所说明的第2写入动作的缓变率。其结果,在第2实施方式中选择字线WLse1的电压从Vpass上升到Vpgm的时间长于在第1实施方式中选择字线WLse1的电压从Vpass达到Vpgm的时间。其他动作与第1实施方式中使用图14所说明的第2编程动作相同,因此省略说明。

[0165] [2-2] 第2实施方式的效果

[0166] 根据以上所说明的第2实施方式的半导体存储装置10,能提高存储单元所存储的数据的可靠性。下面,对本效果的详细情况进行说明。

[0167] 在半导体存储装置10中,两侧驱动的字线WL比单侧驱动的字线WL早地达到指定电压。也就是说,即便在行解码器模块13对单侧驱动的字线WL及两侧驱动的字线WL仅以相同期间施加了指定电压的情况下,就实质上被施加指定电压的时间来说,两侧驱动的字线WL也长于单侧驱动的字线WL。

[0168] 具体来说,在读出动作中,例如对两侧驱动的非选择字线WLuse1实质上施加读出通过电压Vread的时间长于对单侧驱动的非选择字线WLuse1实质上施加读出通过电压Vread的时间。在该情况下,两侧驱动的非选择字线WLuse1相较于单侧驱动的非选择字线WLuse1来说,有可能读取干扰的影响会变大。

[0169] 此外,在写入动作中,例如对两侧驱动的非选择字线WLuse1实质上施加写入通过电压Vpass的时间长于对单侧驱动的非选择字线WLuse1实质上施加写入通过电压Vpass的时间。在该情况下,两侧驱动的非选择字线WLuse1相较于单侧驱动的非选择字线WLuse1来说,有可能通道升压的效果会降低。

[0170] 因此,第2实施方式的半导体存储装置10在与两侧驱动的非选择字线WLuse1对应的信号线CG、及与单侧驱动的非选择字线WLuse1对应的信号线CG变更缓变率。具体来说,电荷泵40使对与两侧驱动的非选择字线WLuse1对应的CG驱动器41供给的电压的缓变率低于对与单侧驱动的非选择字线WLuse1对应的CG驱动器41供给的电压的缓变率。

[0171] 也就是说,第2实施方式的半导体存储装置10能推迟两侧驱动的非选择字线WLuse1达到所期望的电压的时点。此外,在第2实施方式的半导体存储装置10中,能通过调整电荷泵40的缓变率,而使两侧驱动的非选择字线WL达到所期望的电压的时点与单侧驱动的非选择字线达到所期望的电压的时点一致。

[0172] 由此,第2实施方式的半导体存储装置10在读出动作中,能缩短对两侧驱动的非选择字线WLuse1施加电压Vread的时间,因此能抑制读取干扰的影响。此外,在写入动作中,能使对两侧驱动的非选择字线WLuse1施加电压Vpass的时点一致,因此能抑制通道升压效果下降所致的编程干扰的影响。因此,第2实施方式的半导体存储装置10能提高存储单元所存储的数据的可靠性。

[0173] 此外,在第2实施方式的半导体存储装置10的写入动作中,也考虑像图17所示那样使对两侧驱动的选择字线WLsel施加编程电压Vpgm时的缓变率也降低。在该情况下,两侧驱动的选择字线WLsel在被施加编程电压Vpgm时的电压的急剧上升得到抑制。

[0174] 由此,半导体存储装置10能在时刻t2对非选择字线WLuse1施加写入通过电压Vpass之后设置通道充分地升压的时间。也就是说,选择字线WLsel能在使通道充分地升压后的状态下达到编程电压Vpgm,所以能抑制通道升压不足所致的编程干扰。因此,第2实施方式的半导体存储装置10能提高存储单元所存储的数据的可靠性。

[0175] 另外,以上的说明中是以如下情况为例进行了说明,即,对施加读出动作中的电压Vread、以及写入动作中的电压Vpass及Vpgm的情况下的缓变率进行变更,但并不限于此。例如,也可以对半导体存储装置10仅应用其中任一个动作,以上所说明的各动作能自由组合。

[0176] [3]第3实施方式

[0177] 接下来,对第3实施方式的半导体存储装置10进行说明。第3实施方式的半导体存储装置10是利用设置在电压产生电路19与行解码器模块13间的电阻元件来实现第2实施方

式中所说明的第2读出动作及第2编程动作的半导体存储装置。

[0178] [3-1] 构成

[0179] 下面,使用图18,关于第3实施方式的半导体存储装置10的构成,说明与第1实施方式不同的方面。图18是第3实施方式中的行解码器模块13的电路图,且将与第1组(单侧驱动)的字线WL0及第2组的(两侧驱动)的字线WL7相关的构成要素抽出来表示。

[0180] 如图18所示,在第3实施方式中,相对于在第1实施方式中使用图6所说明的行解码器模块13的电路构成来说,在第2组的信号线CG(Gr.2)的中途设置着电阻元件70的方面不同。换句话说,与两侧驱动的字线WL对应的信号线CG经由电阻元件70而连接于电压产生电路19。

[0181] 具体来说,例如电阻元件70的一端经由第2组的信号线CG7(Gr.2)而连接于行解码器RDA0的晶体管TR9及行解码器RDB0的晶体管TR15,电阻元件70的另一端连接于电压产生电路19。

[0182] 作为电阻元件70,例如使用利用形成在半导体衬底的扩散区域的扩散层电阻。电阻元件70的构成并不限于于此,例如也可以使用PolySi(多晶硅)电阻、WSi电阻、配线电阻等。关于第1组的信号线CG(Gr.1),因为与第1实施方式中使用图6所说明的构成相同,所以省略说明。

[0183] [3-2] 第3实施方式的效果

[0184] 如上所述,第3实施方式的半导体存储装置10对与两侧驱动的字线WL对应的信号线CG设置着电阻元件70。也就是说,第2组的信号线CG的配线电阻大于第1组的信号线CG的配线电阻。

[0185] 例如,如果假定为CG驱动器41对信号线CG施加相同电压,那么第2组的信号线CG(Gr.2)的电压上升率小于第1组的信号线CG(Gr.1)的电压上升率。

[0186] 这样一来,第3实施方式的半导体存储装置10无需像第2实施方式那样由序列发生器17变更电荷泵40的缓变率,便能执行与第2实施方式相同的动作。因此,第3实施方式的半导体存储装置10能与第2实施方式同样地提高存储单元所存储的数据的可靠性,进而能使序列发生器17的控制比第2实施方式更简便。

[0187] [4] 第4实施方式

[0188] 接下来,对第4实施方式的半导体存储装置10进行说明。第4实施方式的半导体存储装置10是在第1实施方式中所说明的第2读出动作及第2编程动作中,在对单侧驱动的非选择字线WLuse1供给电压的CG驱动器41、及对两侧驱动的非选择字线WLuse1供给电压的CG驱动器41变更了使能时点的半导体存储装置。

[0189] [4-1] 动作

[0190] [4-1-1] 读出动作

[0191] 首先,使用图19对第4实施方式的半导体存储装置10的读出动作进行说明。图19是第4实施方式中的第2读出动作的时序图,示出了字线WL及对应的信号线CG的波形。图19所示的时刻t0~t3时的动作分别对应于使用图12所说明的时刻t0~t3时的动作。

[0192] 如图19所示,选择信号线CGsel的波形与选择字线WLsel的波形相同。另一方面,非选择信号线CGuse1的波形在第1组(单侧驱动)的非选择信号线CGuse1与第2组(两侧驱动)的非选择信号线CGuse1不同。

[0193] 具体来说,在时刻 t_0 ,对第1组的非选择信号线CGuse1施加读出通过电压Vread,在接下来的时刻 t_0' ,对第2组的非选择信号线CGuse1施加读出通过电压Vread。也就是说,序列发生器17使与第2组对应的CG驱动器41的使能时点相对于与第1组对应的CG驱动器41的使能时点来说较晚。

[0194] 其结果,第2组的非选择信号线CGuse1在晚于第1组的非选择信号线CGuse1的时点达到电压Vread。而且,与此对应的第1组的非选择字线WLuse1的波形成为与例如图12所示的第1组的非选择字线WLuse1的波形相同,第2组的非选择字线WLuse1的波形成为例如图12所示的第2组的非选择字线WLuse1的波形以时刻 t_0 与时刻 t_0' 的差量移位而成的波形。其他动作与第1实施方式中使用图12所说明的第2读出动作相同,因此省略说明。

[0195] [4-1-2] 写入动作

[0196] 接下来,使用图20,关于第4实施方式的半导体存储装置10的写入动作,说明与第1实施方式不同的方面。图20是第2实施方式中的第2编程动作的时序图,示出了选择栅极线SGD、字线WL、及信号线CG的波形。

[0197] 如图17所示,选择信号线CGse1的波形与选择字线WLse1的波形相同。另一方面,非选择信号线CGse1的波形在第1组(单侧驱动)的非选择信号线CGuse1与第2组(两侧驱动)的非选择信号线CGuse1不同。

[0198] 具体来说,在时刻 t_2 ,对第1组的非选择信号线CGuse1施加写入通过电压Vpass,在接下来的时刻 t_2' ,对第2组的非选择信号线CGuse1施加写入通过电压Vpass。也就是说,序列发生器17使与第2组对应的CG驱动器41的使能时点相对于与第1组对应的CG驱动器41的使能时点来说较晚。

[0199] 其结果,第2组的非选择信号线CGuse1在晚于第1组的非选择信号线CGuse1的时点达到电压Vpass。而且,与此对应的第1组的非选择字线WLuse1的波形成为与例如图14所示的第1组的非选择字线WLuse1的波形相同,第2组的非选择字线WLuse1的波形成为例如图14所示的第2组的非选择字线WLuse1的波形以时刻 t_2 与时刻 t_2' 的差量移位而成的波形。

[0200] 时刻 t_2 时的第2组的选择信号线CGse1的动作与第2组的非选择信号线CGuse1的动作相同。也就是说,第2组的选择信号线CGse1在晚于第1组的非选择信号线CGuse1的时点达到电压Vpass。其他动作与在第1实施方式中使用图14所说明的第2编程动作相同,因此省略说明。

[0201] [4-2] 第4实施方式的效果

[0202] 如上所述,第4实施方式的半导体存储装置10是在与两侧驱动的字线WL对应的信号线CG、及与单侧驱动的字线WL对应的信号线CG变更了动作时点。

[0203] 其结果,在第4实施方式的半导体存储装置10中的各种动作中,能使第2组的字线WL达到所期望的电压的时点与第1组的字线WL达到所期望的电压的时点一致。

[0204] 这样一来,第4实施方式的半导体存储装置10能与第2实施方式同样地,控制两侧驱动的字线WL达到所期望的电压的时点。因此,第4实施方式的半导体存储装置10能与第2实施方式同样地,提高存储单元所存储的数据的可靠性。

[0205] 此外,在第4实施方式的半导体存储装置10的写入动作中,也考虑使对两侧驱动的选择字线WLse1施加编程电压Vpgm时的动作时点晚于对单侧驱动的选择字线WLse1施加编程电压Vpgm时的动作时点。在该情况下,例如将使用图20所说明的第2编程动作中的时刻 t_3

的动作时点设定为晚于第1实施方式中使用图13所说明的第1编程动作中的时刻t3的动作时点。

[0206] 在该情况下,半导体存储装置10能在时刻t2对非选择字线WLuse1施加写入通过电压Vpass之后设置通道充分地升压的时间。也就是说,能在使通道充分地升压后的状态下对选择字线WLsel施加编程电压Vpgm,所以能抑制通道升压不足所致的编程干扰。因此,第4实施方式的半导体存储装置10能提高存储单元所存储的数据的可靠性。

[0207] 另外,以上的说明中是以如下情况为例进行了说明,即,对施加读出动作中的电压Vread、以及写入动作中的电压Vpass及Vpgm的情况下的动作时点进行变更,但并不限于此。例如,也可以对半导体存储装置10仅应用其中任一个动作,以上所说明的各动作能自由组合。

[0208] [5]第5实施方式

[0209] 接下来,对第5实施方式的半导体存储装置10进行说明。第5实施方式的半导体存储装置10是在第1实施方式中所说明的第1及第2读出动作中,在施加指定的读出电压之前先施加突跳(Kick)电压的半导体存储装置。

[0210] [5-1]动作

[0211] 下面,使用图21及图22对第5实施方式的半导体存储装置10的读出动作进行说明。图21及图22分别是第5实施方式中的第1及第2读出动作的时序图,示出了字线WL的波形及控制信号STB的波形。图21及图22所示的时刻t0~t3时的动作分别对应于使用图11及图12所说明的时刻t0~t3时的动作。

[0212] 如图21及图22所示,第5实施方式中的第1及第2读出动作相对于第1实施方式中使用图11及图12分别说明的第1及第2读出动作来说,不同点在于施加读出电压之前先施加了突跳电压。

[0213] 突跳电压是针对所要读出的每一电平设定的,且设定为比对应的读出电压高的电压。如图21所示,在第1读出动作中,行解码器模块13A在时刻t1对选择字线WLsel(Gr.1)施加与“A”电平的读出对应的突跳电压 $AR + \Delta AR1$,然后在时刻t1'使选择字线WLsel的电压下降到读出电压AR。同样地,行解码器模块13A在时刻t2对选择字线WLsel(Gr.1)施加与“C”电平的读出对应的突跳电压 $CR + \Delta CR1$,然后在时刻t2'使选择字线WLsel的电压下降到读出电压CR。

[0214] 另一方面,在第2读出动作中,如图22所示,行解码器模块13A及13B在时刻t1对选择字线WLsel(Gr.1)施加突跳电压 $AR + \Delta AR2$,然后在时刻t1'使选择字线WLsel的电压下降到读出电压AR。同样地,行解码器模块13A及13B在时刻t2对选择字线WLsel(Gr.1)施加突跳电压 $CR + \Delta CR2$,然后在时刻t2'使选择字线WLsel的电压下降到读出电压CR。

[0215] 在以上所说明的第1及第2读出动作中, $\Delta AR2$ 设定为小于 $\Delta AR1$ 的电压, $\Delta CR2$ 设定为小于 $\Delta CR1$ 的电压。其他动作与在第1实施方式中使用图11及图12所说明的第1及第2读出动作相同,因此省略说明。

[0216] [5-2]第5实施方式的效果

[0217] 根据以上所说明的第5实施方式的半导体存储装置10,能使读出动作高速化。下面,对本效果的详细情况进行说明。

[0218] 在读出动作中,已知有通过在施加所期望的读出电压之前先暂时地施加高电压

(突跳电压)而使读出动作高速化的方法。突跳电压是辅助选择字线WLse1中的电压上升的电压,通过施加突跳电压,能缩短选择字线WLse1达到所期望的电压的时间。

[0219] 然而,在对两侧驱动的字线WL施加了突跳电压的情况下,由于电压的上升早于单侧驱动的字线WL,所以存在字线WL的电压过度上升的情况。其结果,例如通过被施加突跳电压而上升的字线WL的电压下降到所期望的读出电压时,位线BL的电压会因为字线WL与通道的耦合而发生变动。在读出动作中,需要在位线BL的电压稳定的状态下确证控制信号STB,因此像这样在位线BL产生了因施加突跳电压所致的噪音的情况下,需要设置用来使位线BL的电压稳定的放置时间。

[0220] 因此,在第5实施方式的半导体存储装置10中,使选择了两侧驱动的字线WL的读出动作中的突跳电压小于选择了单侧驱动的字线WL的读出动作中的突跳电压。具体来说,例如在读出“A”电平的情况下,使选择了两侧驱动的字线WL的情况下的突跳电压 $AR + \Delta AR2$ 小于选择了单侧驱动的字线WL的情况下的突跳电压 $AR + \Delta AR1$ 。

[0221] 由此,第5实施方式的半导体存储装置10在选择了两侧驱动的字线WL的读出动作中,能抑制因施加突跳电压而产生于位线BL的噪音。因此,第5实施方式的半导体存储装置10在读出动作中能缩短用来使位线BL的电压稳定的放置时间,因此能使读出动作高速化。

[0222] 另外,以上的说明中是以如下情况为例进行了说明,即,在第2读出动作中,利用比第1读出动作小的突跳电压,但并不限于此。例如,也可以在第1读出动作中施加突跳电压,在第2读出动作中不施加突跳电压。在这种情况下,半导体存储装置10也能获得与以上所说明的第5实施方式的效果相同的效果。

[0223] [6]第6实施方式

[0224] 接下来,对第6实施方式的半导体存储装置10进行说明。第6实施方式的半导体存储装置10是第5实施方式的半导体存储装置10的变化例,第1及第2读出动作中与读出通过电压Vread相关的动作不同。

[0225] [6-1]动作

[0226] 下面,使用图23及图24对第6实施方式的半导体存储装置10的读出动作进行说明。图23及图24分别是第6实施方式中的第1及第2读出动作的时序图,示出了字线WL的波形及控制信号STB的波形。图23及图24所示的时刻 $t_0 \sim t_3$ 时的动作分别对应于使用图11及图12所说明的时刻 $t_0 \sim t_3$ 时的动作。

[0227] 如图23及图24所示,第6实施方式中的第1及第2读出动作相对于在第5实施方式中使用图21及图22分别说明的第1及第2读出动作来说,施加读出通过电压Vread的时点不同。

[0228] 具体来说,在第1读出动作中,如图23所示,行解码器模块13A在时刻 t_0 对选择字线WLse1 (Gr.1)施加读出通过电压Vread,然后在时刻 t_0' 使读出通过电压Vread下降到接地电压Vss。之后的动作与使用图21所说明的第1读出动作相同。

[0229] 同样地,在第2读出动作中,如图24所示,行解码器模块13A及13B在时刻 t_0 对选择字线WLse1 (Gr.2)施加读出通过电压Vread,然后在时刻 t_0' 使读出通过电压Vread下降到接地电压Vss。之后的动作与使用图22所说明的第2读出动作相同。

[0230] 关于以上所说明的第1及第2读出动作中的时刻 t_0' 的期间,例如以第2读出动作短于第1读出动作的方式进行设定。其他动作与在第1实施方式中使用图11及图12所说明的第1及第2读出动作相同,因此省略说明。

[0231] [6-2]第6实施方式的效果

[0232] 如上所述,在第6实施方式中的第1及第2读出动作中,对选择字线WLsel施加各种读出电压之前,与非选择字线WLuse1同样地先施加读出通过电压Vread。

[0233] 半导体存储装置10在这种读出动作中,也像第5实施方式中所说明那样,使第2读出动作中的突跳电压小于第1读出动作中的突跳电压,由此能获得与第5实施方式相同的效果。因此,第6实施方式的半导体存储装置10与第5实施方式同样地,能使读出动作高速化。

[0234] 另外,作为以上所说明的第6实施方式中的第2读出动作的变化例,考虑像图25所示的情况。在图25中示出了第6实施方式的变化例中的第2读出动作的时序图。如图25所示,变化例中的第2读出动作相对于使用图24所说明的第2读出动作来说,时刻t0'时的动作不同。

[0235] 具体来说,在时刻t0',如图24所示,行解码器模块13A及13B从读出通过电压Vread直接下降到读出电压AR。也就是说,在“A”电平的读出时,省略了突跳电压的施加。在这种情况下,半导体存储装置10也能获得与以上所说明的第6实施方式的效果相同的效果。

[0236] [7]第7实施方式

[0237] 接下来,对第7实施方式的半导体存储装置10进行说明。第7实施方式的半导体存储装置10是将第1~第6实施方式中的两侧驱动的字线WL根据动作以单侧驱动使用的半导体存储装置。

[0238] [7-1]构成

[0239] 下面,使用图26,关于第7实施方式的半导体存储装置10的构成,说明与第1实施方式不同的方面。图26是第7实施方式中的行解码器模块13的电路图,且将与1组行解码器RDA及RDB、以及第1组(单侧驱动)的字线WL0及第2组(两侧驱动)的字线WL7相关的构成要素抽出来表示。如图26所示,第7实施方式中的行解码器RDB还具备通过栅极PG及放电电路DIS。

[0240] 通过栅极PG连接在对应的块解码器BD的传输栅极线TG与行解码器RDB内连接于信号线CG的晶体管TR的栅极之间。而且,通过栅极PG能基于序列发生器17的控制,而形成或阻断传输栅极线TG与行解码器RDB内连接于信号线CG的晶体管TR的栅极之间的电流路径。

[0241] 放电电路DIS连接于行解码器RDB内连接于信号线CG的晶体管TR的栅极。而且,放电电路DIS基于序列发生器17的控制使该晶体管TR的栅极接地。例如,放电电路DIS在将能从两侧驱动的字线WL以单侧驱动使用的情况下,使该晶体管TR的栅极接地。

[0242] 将包含以上所说明的通过栅极PG及放电电路DIS的行解码器RDB的详细电路构成的一例示于图27。图27是行解码器RDB的详细电路图,且将与字线WL7相关的构成要素抽出来表示。如图27所示,通过栅极PG包含高耐压n通道晶体管TR16,放电电路DIS包含高耐压n通道晶体管TR17、及低耐压n通道晶体管TR18。

[0243] 晶体管TR16是一端连接于对应的传输栅极线TG,另一端连接于晶体管TR15的栅极。晶体管TR17是一端连接于晶体管TR15的栅极,另一端连接于晶体管TR18的一端。晶体管TR18是另一端连接于接地线。而且,对晶体管TR16~TR18的栅极分别输入控制信号CS1、CS2、及CS3。控制信号CS1、CS2、及CS3例如是由序列发生器17产生的信号。

[0244] [7-2]第7实施方式的效果

[0245] 如上所述,第6实施方式中的半导体存储装置10的行解码器RDB分别具备通过栅极PG及放电电路DIS。而且,序列发生器17与各种动作对应地控制通过栅极PG及放电电路DIS。

[0246] 具体来说,序列发生器17在将与两侧驱动对应的字线WL以两侧驱动使用的情况下,使通过栅极PG内的晶体管TR16成为接通状态,使放电电路DIS内的晶体管TR17及TR18成为断开状态。于是,传输栅极TG的电压经由通过栅极PG而输入到例如晶体管TR14及TR15的栅极。其结果,对应的字线WL能在选择了该块BLK的情况下从两侧进行驱动。

[0247] 另一方面,序列发生器17在将与两侧驱动对应的字线WL以单侧驱动使用的情况下,使通过栅极PG内的晶体管TR16成为断开状态,使放电电路DIS内的晶体管TR17及TR18成为接通状态。于是,通过栅极PG将传输栅极TG与晶体管TR的电流路径阻断,放电电路DIS例如使晶体管TR14及TR15的栅极电压下降到接地电压 V_{ss} 。其结果,例如晶体管TR14及TR15成为断开状态,而不再对与两侧驱动对应的字线WL供给经由行解码器模块13B的电压。也就是说,与两侧驱动对应的字线WL成为由行解码器模块13A从单侧驱动的状态。

[0248] 如上所述,第7实施方式的半导体存储装置10能通过序列发生器17的控制,而将与两侧驱动对应的字线WL以单侧驱动使用。由此,半导体存储装置10例如能对两侧驱动所产生的效果较大的动作应用两侧驱动,对两侧驱动所产生的效果较小的动作应用单侧驱动。作为字线WL的驱动方法的区别使用方法,例如考虑对读出动作应用两侧驱动,对写入动作应用单侧驱动。

[0249] 另外,以上的说明中是列举通过栅极PG及放电电路DIS为像图27所示那样的电路构成的情况为例,但并不限于此。例如,在图27所示的放电电路DIS的电路构成中,也可以不设置晶体管TR18。在该情况下,晶体管TR17的另一端直接连接于接地线。

[0250] 另外,以上的说明中是以行解码器RDB具备通过栅极PG及放电电路DIS的情况为例进行了说明,但并不限于此。例如,通过栅极PG及放电电路DIS也可以设置在行解码器RDA,只要设置在行解码器RDA及RDB中的任一者即可。

[0251] [8]变化例等

[0252] 实施方式的半导体存储装置10具备能存储n比特数据(n是1以上的整数)的第1及第2存储单元<MT0、MT7,图6>、分别连接于第1及第2存储单元的第1及第2字线<WL0、WL7,图6>、一端连接于所述第1字线的一端的第1晶体管<RDA:TR2,图6>、以及一端分别连接于所述第2字线的一端及另一端的第2及第3晶体管<RDA:TR9,RDB:TR15,图6>。在第1比特数据<高阶比特,图3>的读出动作中,在选择了第1字线的情况下<图11>,对第2字线施加第1时间< $t_0 \sim t_3$,图11>的第1电压< V_{read} >,在选择了第2字线的情况下<图12>,对第1字线施加短于第1时间的第2时间< $t_0 \sim t_3$,图12>的第1电压。

[0253] 由此,可提供能高速动作的半导体存储装置。

[0254] 另外,作为所述实施方式中所说明的半导体存储装置10的构造,也可以设为例如图28所示那样的构造。图28是第1~第7实施方式的变化例的半导体存储装置10所具备的存储单元阵列11及行解码器模块13的剖视图,示出了串单元SUA及SUB的区域HR1内的截面构造。另外,在图28中省略了区域CR及HR2的详细构造而表示。此外,图28中是示意性地以串单元SUA及SUB相邻的方式表示。

[0255] 如图28所示,串单元SUA与使用图10所说明的串单元SU的区域HR1内的截面构造相同。另一方面,串单元SUB是将使用图10所说明的串单元SU的区域HR1内的截面构造反转,与省略对应于行解码器模块13A的构成后的构造相同。具体来说,在串单元SUB的区域HR1内,相对于串单元SUA,省略了扩散区域61及62、导电体63、通孔接点VC、以及绝缘膜65。而且,在

串单元SUA及SUB的导电体64A上分别设置着通孔接点HU1,且在各通孔接点HU1上设置着导电体66。同样地,在串单元SUA及SUB的导电体64B上分别设置着通孔接点HU2,且在各通孔接点HU2上设置着导电体67。另外,设置导电体66及67的层既可相同,也可以不同。此外,使用图28所说明的半导体存储装置10的构成并不限于于此,只要在串单元SUA与SUB之间对应的字线WL间电连接即可。

[0256] 如上所述,在第1~第7实施方式的变化例的半导体存储装置10中,串单元SU之间共享行解码器模块13A。在像这样行解码器模块13A在串单元SU之间共享的情况下,也能应用第1~第7实施方式中所说明的构成及动作,且能获得相同的效果。

[0257] 另外,在所述实施方式中,对应于字线WL的晶体管TR与对应于选择栅极线SGD及SGS的晶体管TR也可以为不同的构造。例如,对应于选择栅极线SGD的晶体管TR的栅极长与对应于字线WL的晶体管TR的栅极长也可以不同。这样一来,半导体存储装置10所具备的行解码器模块13也可以设计成晶体管TR的耐压在每条对应的配线不同。

[0258] 另外,在所述实施方式中,行解码器模块13A连接于单侧驱动及两侧驱动的字线WL,行解码器模块13B连接于两侧驱动的字线WL。也就是说,在图10所示的区域HR1及HR2内,就通过导电体52而连接于半导体衬底上的扩散区域61的通孔接点VC的数量来说,区域HR2少于区域HR1。

[0259] 另外,在所述第1~第6实施方式中,行解码器RDA及RDB中的晶体管TR的分配并不限于于此。例如,只要与两侧驱动的字线WL对应的晶体管TR分别设置在行解码器RDA及RDB,与单侧驱动的字线WL对应的晶体管TR设置在行解码器RDA及RDB中的任一者即可。

[0260] 另外,所述实施方式中是以行解码器模块13设置在存储单元阵列11下部的情况为例进行了说明,但并不限于于此。例如,也可以将存储单元阵列11形成在半导体衬底上,且以隔着存储单元阵列11的方式配置行解码器模块13A及13B。在这种情况下,也能执行所述实施方式中所说明的动作。

[0261] 另外,所述实施方式中是以半导体存储装置10逐页读出数据的情况为例进行了说明,但并不限于于此。例如,也可以使半导体存储装置10统括地读出存储在存储单元的多比特的数据。

[0262] 另外,在所述实施方式中,各种动作中的动作时点是基于例如时钟CLK而决定的。例如,在所述实施方式中,选择了两侧驱动的字线WL的情况下的各种动作通过将执行各时刻的动作的时钟CLK的时点提前而高速化。

[0263] 另外,在第1、第5、及第6实施方式中,使用示出字线WL的波形的时序图对各读出动作及写入动作进行了说明,这时的信号线CG的波形成为与对应的字线WL的波形相同的波形。具体来说,假定为在第1、第5、及第6实施方式中所说明的各读出动作及写入动作中,例如对与单侧驱动的非选择字线WLuse1对应的信号线CG、及与两侧驱动的非选择字线WLuse1对应的信号线CG施加相同的电压。此外,在第1、第5、及第6实施方式中所说明的各读出动作及写入动作中,对与单侧驱动及两侧驱动的字线WL对应的信号线CG施加了相同的电压的情况下,接近于RC延迟相对较小的两侧驱动的字线WL的波形。这样一来,在第1、第5、及第6实施方式中施加到字线WL的电压及对字线WL施加电压的期间能通过调查对应的信号线CG的电压而大概获知。

[0264] 另外,所述实施方式中是以如下情况为例进行了说明,即,在经由晶体管TR而从信

号线CG对字线WL供给电压的情况下,不会因晶体管TR而发生电压下降,但并不限于此。例如,也可以在经由晶体管TR而从信号线CG对字线WL供给电压的情况下,因晶体管TR而发生电压下降。在该情况下,施加到信号线CG的电压高于施加到对应的字线WL的电压。

[0265] 另外,在所述实施方式中所说明的写入动作中是以对1个存储单元存储2比特的数据的情况为例进行了说明,但并不限于此。例如,也可以对1个存储单元存储1比特或3比特以上的数据。在这种情况下,也能应用第1~第7实施方式中所说明的各种动作。

[0266] 另外,所述实施方式中是以在存储单元使用MONOS (Metal-Oxide-Nitride-Oxide-Silicon,金属-氧化物-氮化物-氧化物-硅)膜的情况为例进行了说明,但并不限于此。例如,在使用利用浮动栅极的存储单元的情况下,也能通过执行所述实施方式中所说明的读出动作及写入动作,而获得相同的效果。

[0267] 另外,在所述实施方式中,存储单元阵列11的构成也可以为其他构成。关于其他存储单元阵列11的构成,例如在2009年3月19日提出申请的名为“三维积层非易失性半导体存储器”的美国专利申请12/407,403号中有所记载。此外,在2009年3月18日提出申请的名为“三维积层非易失性半导体存储器”的美国专利申请12/406,524号、2010年3月25日提出申请的名为“非易失性半导体存储装置及其制造方法”的美国专利申请12/679,991号、2009年3月23日提出申请的名为“半导体存储器及其制造方法”的美国专利申请12/532,030号中有所记载。这些专利申请整体通过参照而援用到本申请的说明书中。

[0268] 另外,在所述实施方式中,以块BLK为数据删除单位的情况为例进行了说明,但并不限于此。关于其他删除动作,在2011年9月18日提出申请的名为“非易失性半导体存储装置”的美国专利申请13/235,389号、2010年1月27日提出申请的名为“非易失性半导体存储装置”的美国专利申请12/694,690号中有所记载。这些专利申请整体通过参照而援用到本申请的说明书中。

[0269] 另外,在本说明书中,所谓“连接”表示电连接,不排除例如中间介置其他元件的情况。另外,在本说明书中,所谓“阻断”表示该开关变为断开状态,不排除例如像晶体管的漏电流那样的微少电流流动的情况。

[0270] 另外,在所述各实施方式中,

[0271] (1) 在读出动作中,“A”电平的读出动作中施加到所选择的字线的电压例如为0~0.55V之间。并不限于此,也可以设为0.1~0.24V、0.21~0.31V、0.31~0.4V、0.4~0.5V、0.5~0.55V中的任一者之间。

[0272] “B”电平的读出动作中施加到所选择的字线的电压例如为1.5~2.3V之间。并不限于此,也可以设为1.65~1.8V、1.8~1.95V、1.95~2.1V、2.1~2.3V中的任一者之间。

[0273] “C”电平的读出动作中施加到所选择的字线的电压例如为3.0V~4.0V之间。并不限于此,也可以设为3.0~3.2V、3.2~3.4V、3.4~3.5V、3.5~3.6V、3.6~4.0V中的任一者之间。

[0274] 作为读出动作的时间(t_{Read}),例如可设为25~38 μs 、38~70 μs 、70~80 μs 之间。

[0275] (2) 写入动作是如上所述那样包含编程动作及验证动作。在编程动作时首先施加到所选择的字线的电压例如为13.7~14.3V之间。但并不限于此,例如也可以设为13.7~14.0V、14.0~14.6V中的任一者之间。作为编程动作时施加到非选择的字线的电压,也可以设为例如6.0~7.3V之间。并不限于该情况,例如也可以设为7.3~8.4V之间,还可以设为

6.0V以下。

[0276] 在写入动作中,选择了第奇数号字线时首先施加到所选择的字线的电压与选择了第偶数号字线时首先施加到所选择的字线的电压也可以不同。在写入动作中,也可以根据非选择的字线是第奇数号字线还是第偶数号字线来变更所施加的通过电压。

[0277] 作为将编程动作设定为ISPP方式(Incremental Step Pulse Program,增量步进脉冲编程)的情况下的编程电压的上升幅度,例如可列举0.5V左右。

[0278] 作为写入动作的时间(tProg),例如也可以设为1700~1800 μ s、1800~1900 μ s、1900~2000 μ s之间。

[0279] (3)在删除动作中,首先施加到形成在半导体衬底上部且上方配置着所述存储单元的阱的电压例如为12.0~13.6V之间。并不限于该情况,例如也可以为13.6~14.8V、14.8~19.0V、19.0~19.8V、19.8~21.0V之间。

[0280] 作为删除动作的时间(tErase),例如也可以设为3000~4000 μ s、4000~5000 μ s、4000~9000 μ s之间。

[0281] (4)存储单元的构造是在半导体衬底(硅衬底)上具有隔着膜厚为4~10nm的隧道绝缘膜而配置的电荷累积层。该电荷累积层可设定成膜厚为2~3nm的SiN或SiON等绝缘膜与膜厚为3~8nm的多晶硅的积层构造。此外,也可以在多晶硅中添加Ru等金属。在电荷累积层之上具有绝缘膜。该绝缘膜具有例如被膜厚为3~10nm的下层High-k膜与膜厚为3~10nm的上层High-k膜夹着的、膜厚为4~10nm的氧化硅膜。作为High-k膜,可列举HfO等。此外,氧化硅膜的膜厚可厚于High-k膜的膜厚。在绝缘膜上,经由膜厚为3~10nm的材料而形成着膜厚为30~70nm的控制电极。这里,材料为TaO等金属氧化膜、TaN等金属氮化膜。控制电极可使用W等。此外,可在存储单元间形成气隙。

[0282] 已对本发明的若干实施方式进行了说明,但这些实施方式是作为示例而提出的,并非意图限定发明的范围。这些新颖的实施方式能以其他方式实施,且能够在不脱离发明主旨的范围内进行各种省略、替换、变更。这些实施方式及其变化包含在发明的范围或主旨中,并且包含在权利要求书所记载的发明及其均等的范围内。

[0283] [符号的说明]

[0284]	10	半导体存储装置
[0285]	11	存储单元阵列
[0286]	12	读出放大器模块
[0287]	13	行解码器模块
[0288]	14	输入输出电路
[0289]	15	寄存器
[0290]	16	逻辑控制器
[0291]	17	序列发生器
[0292]	18	就绪/忙碌控制电路
[0293]	19	电压产生电路
[0294]	SGSD、CG、SGDD	信号线
[0295]	RDA、RDB	行解码器
[0296]	SAU	读出放大器单元

[0297]	BLK	块
[0298]	SU	串单元
[0299]	BL	位线
[0300]	WL	字线
[0301]	SGD	选择栅极线
[0302]	MT	存储单元晶体管
[0303]	ST1、ST2	选择晶体管

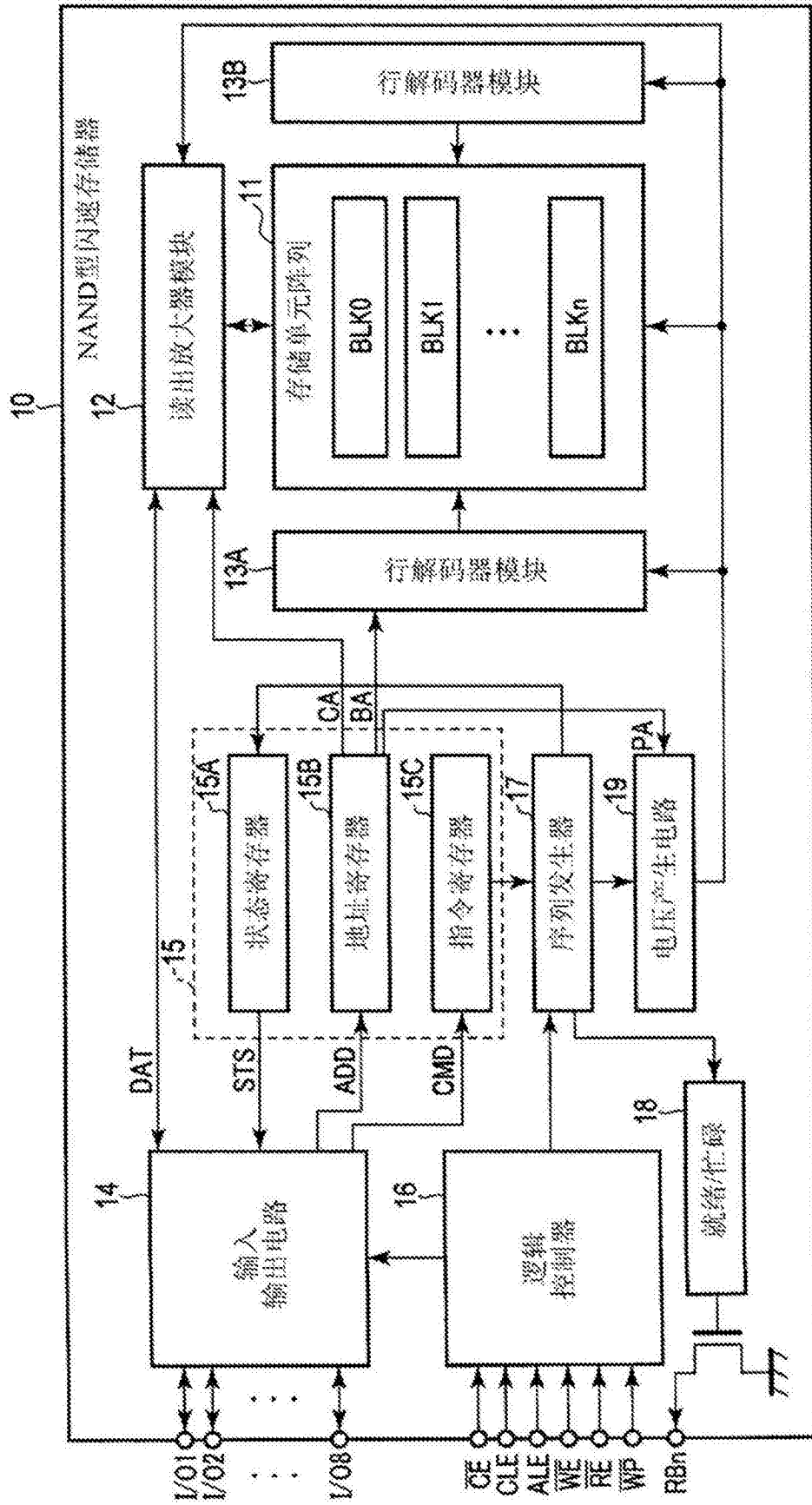


图1

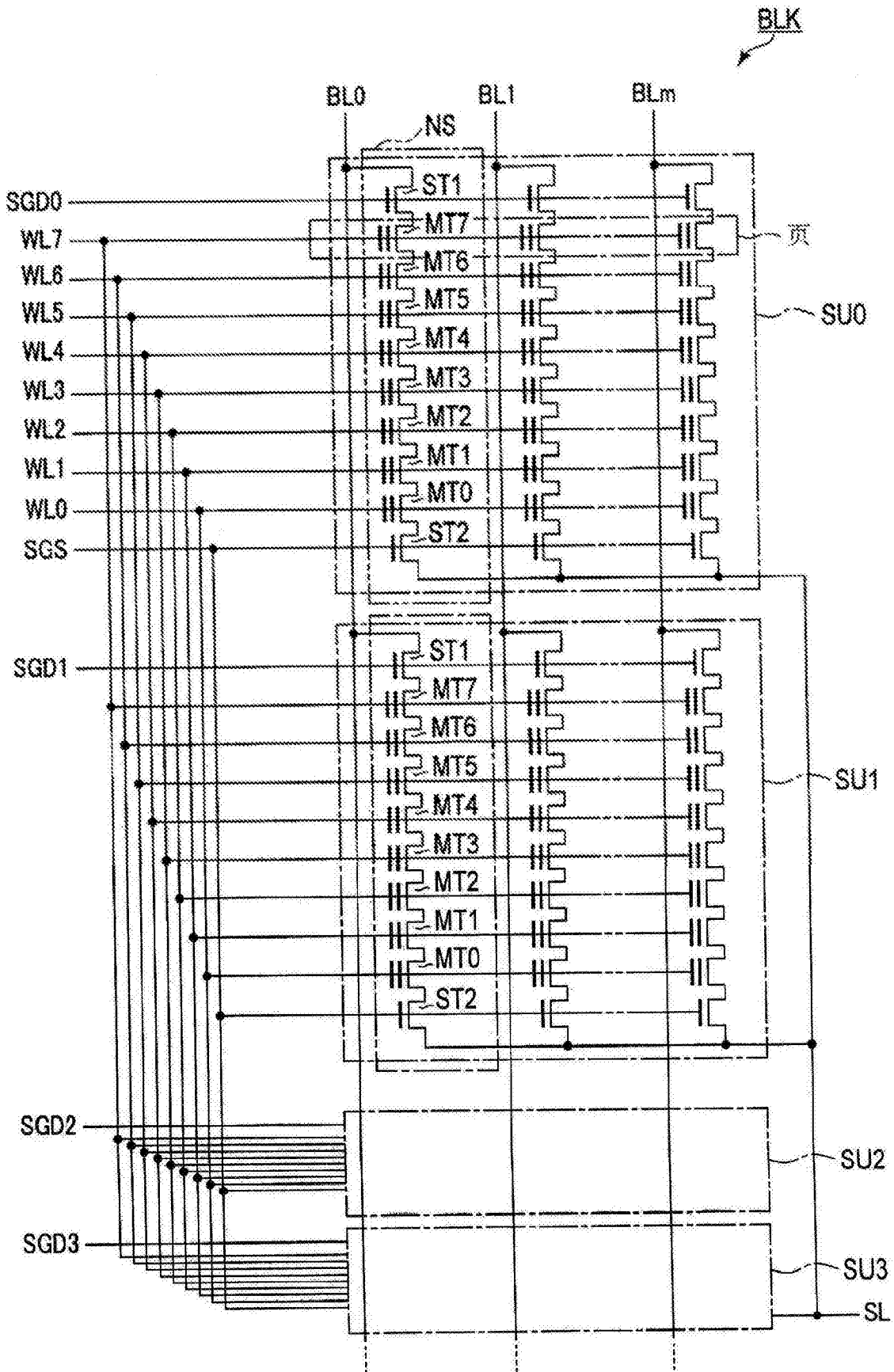
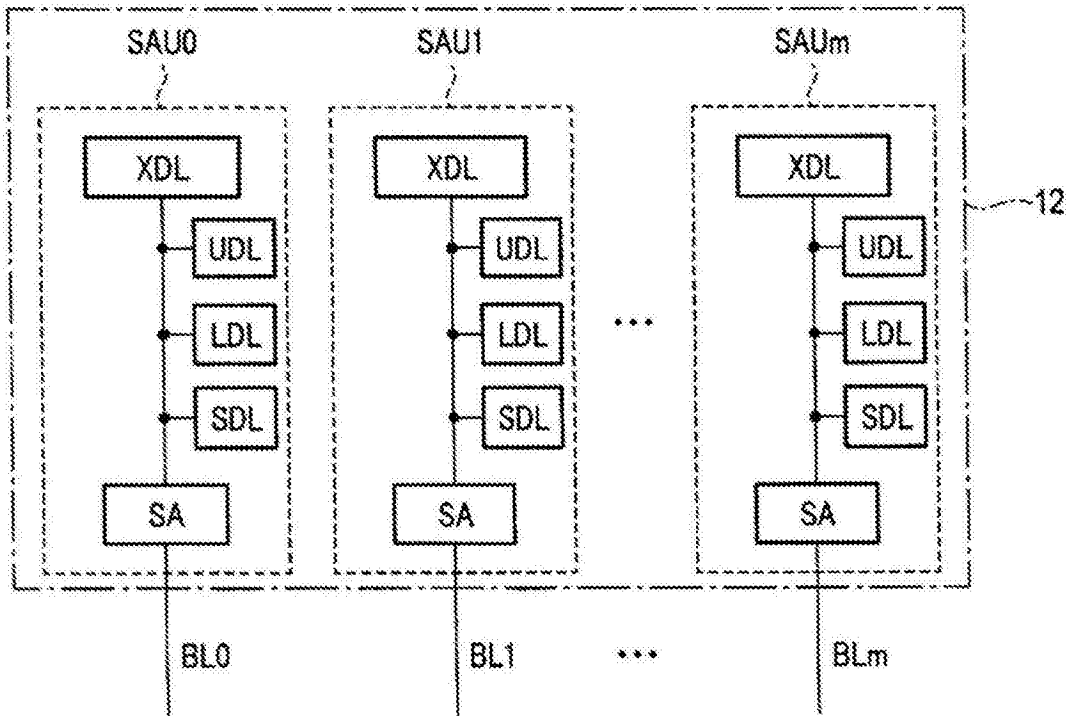
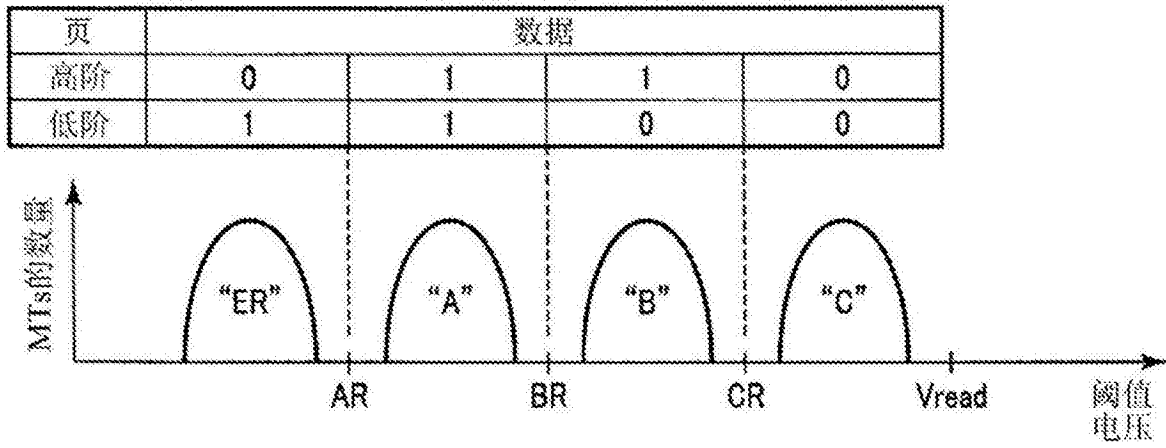


图2



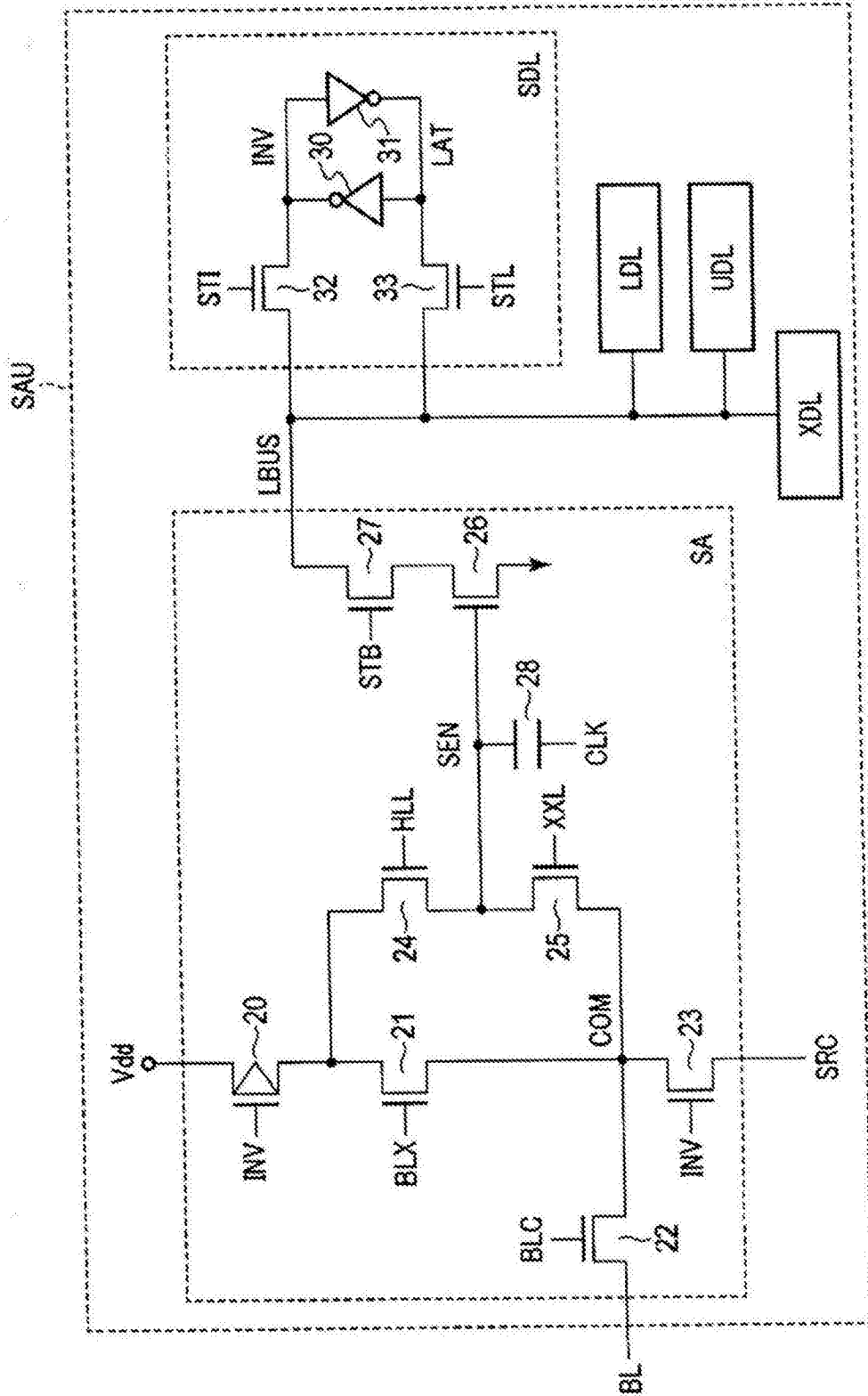


图5

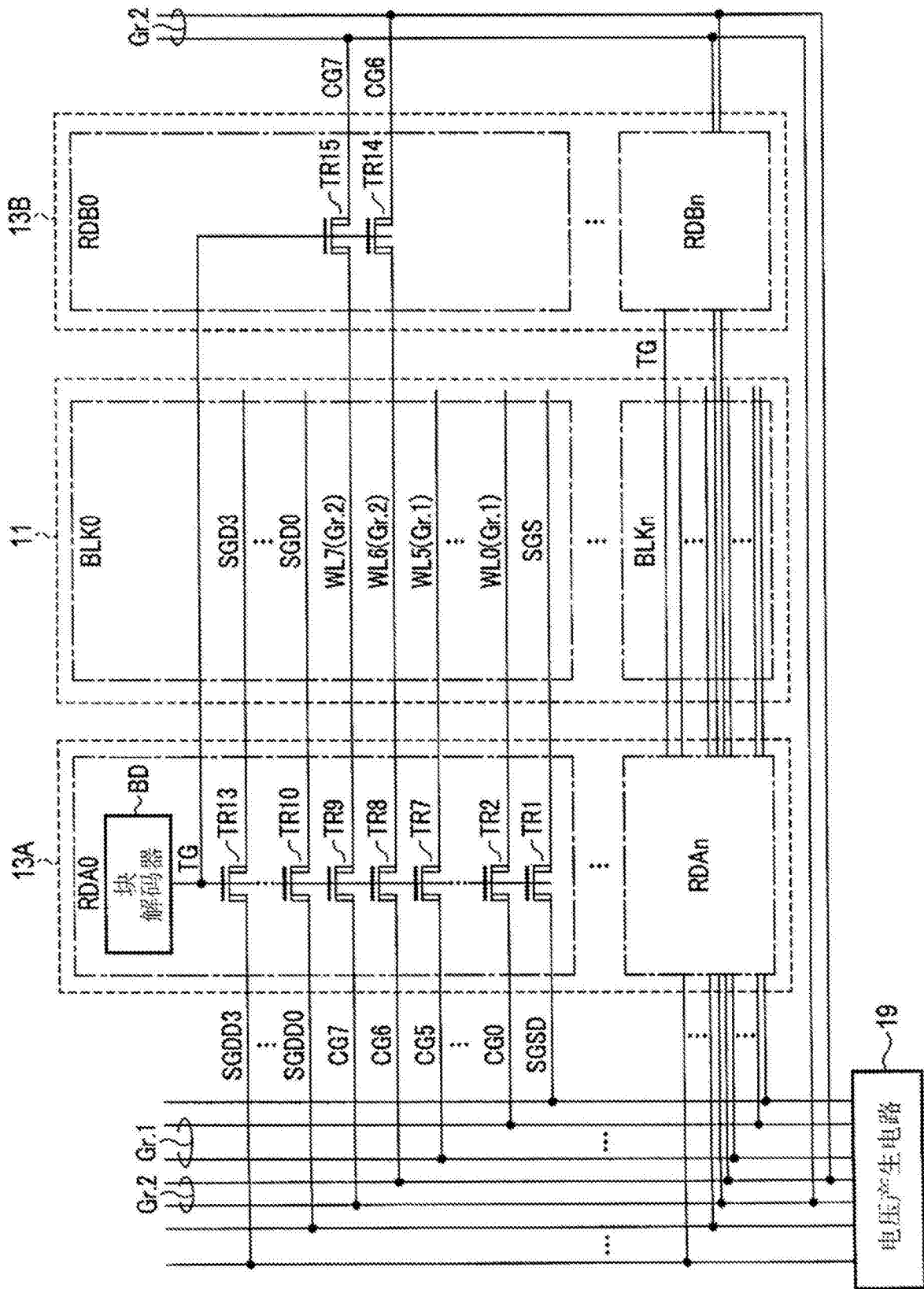


图6

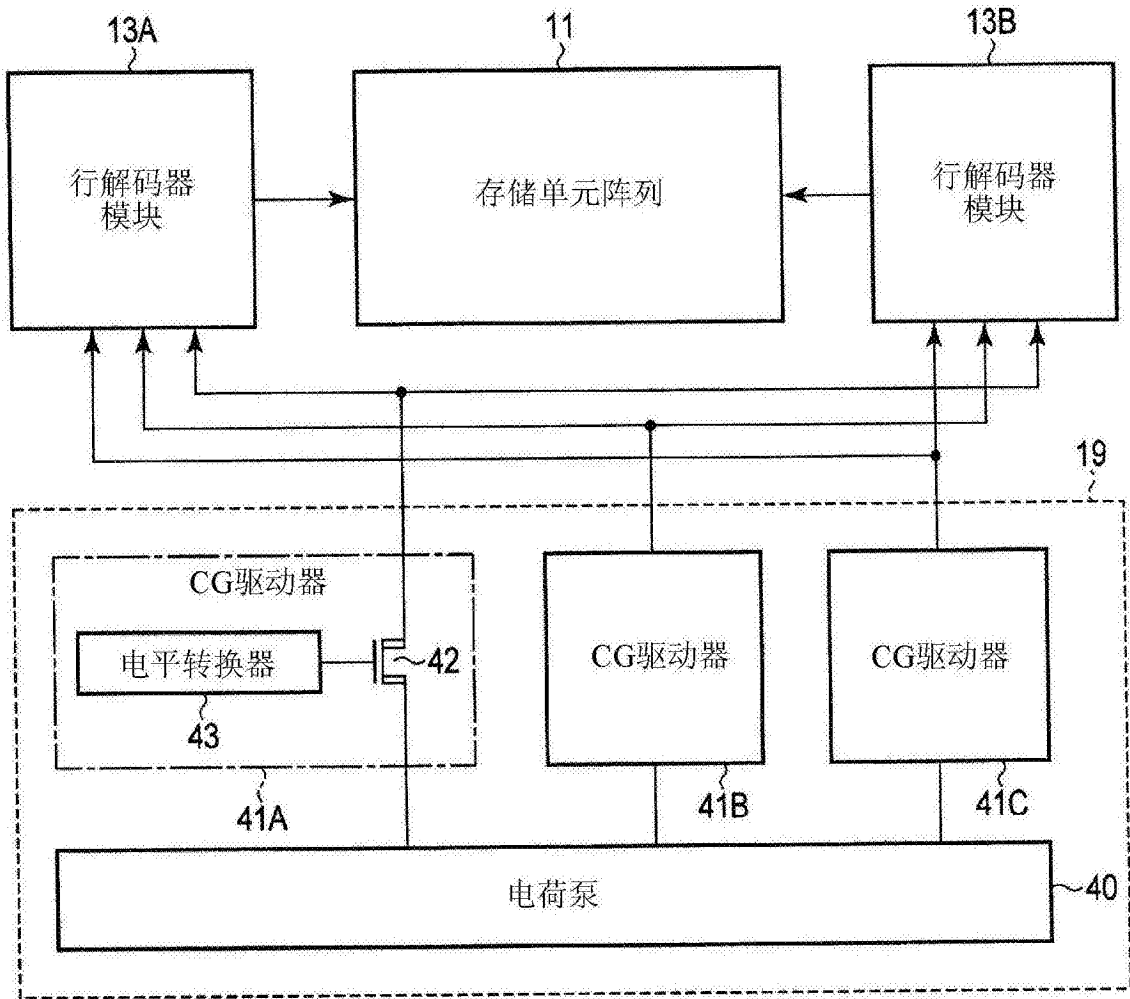


图7

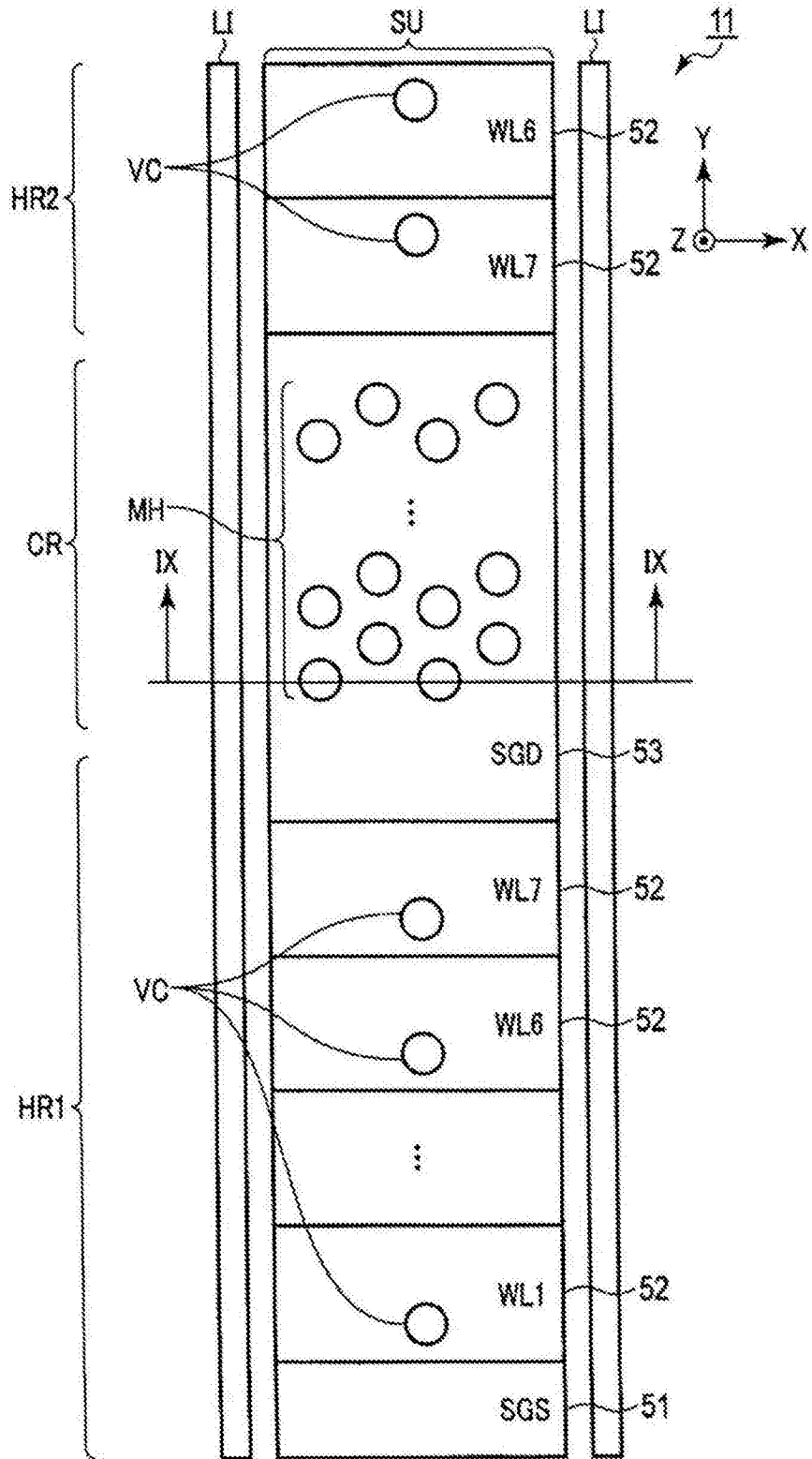


图8

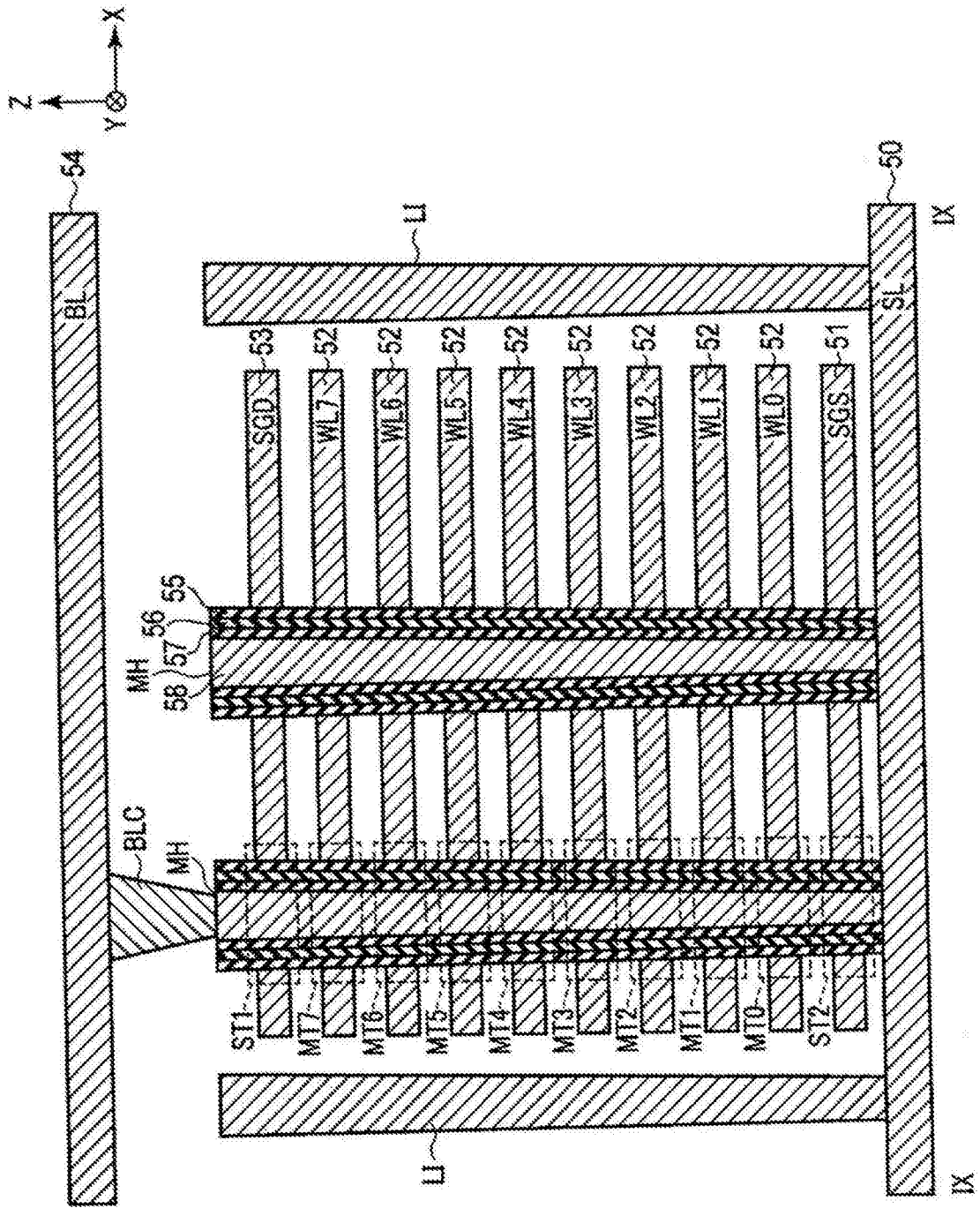


图9

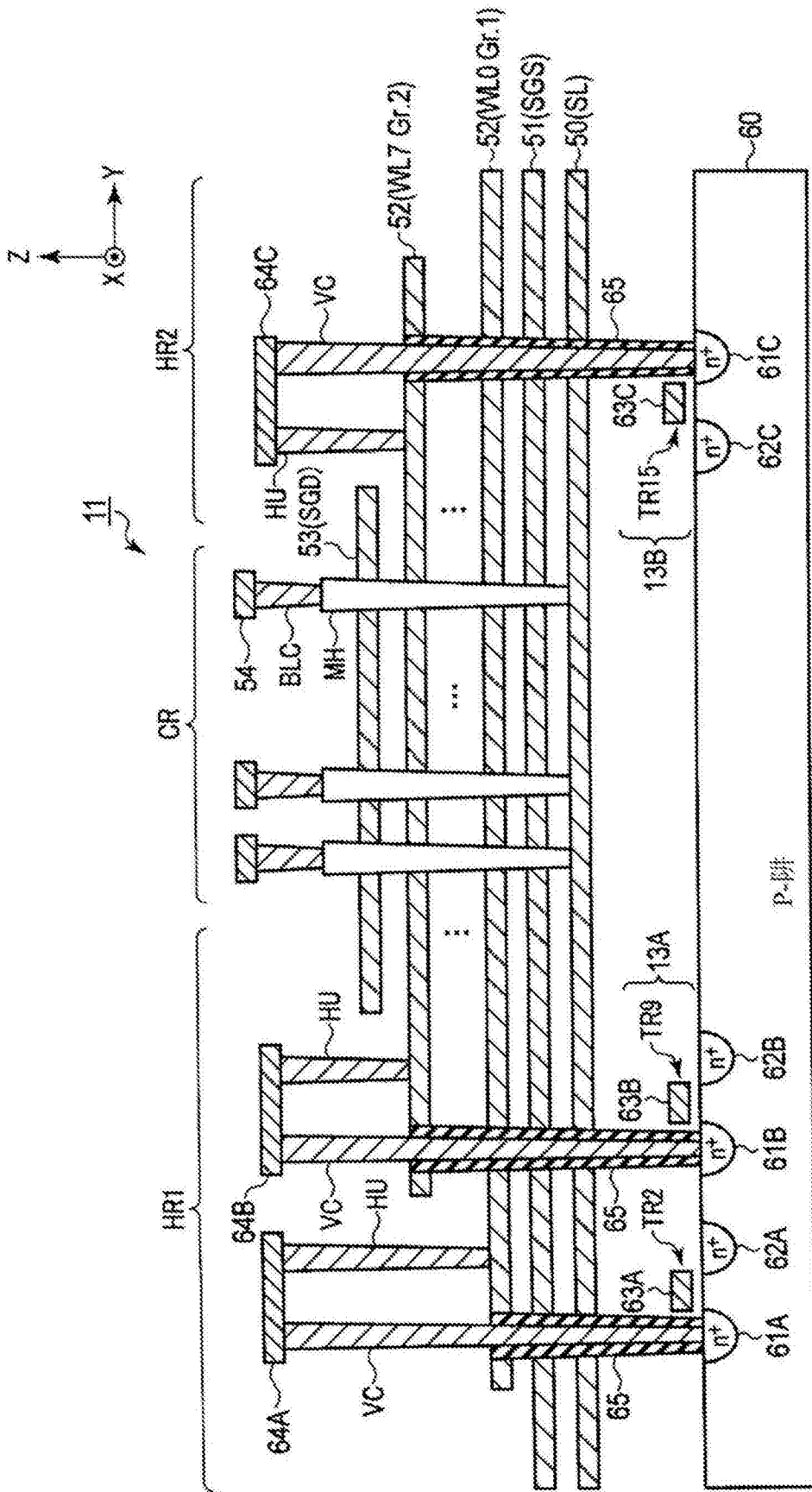


图10

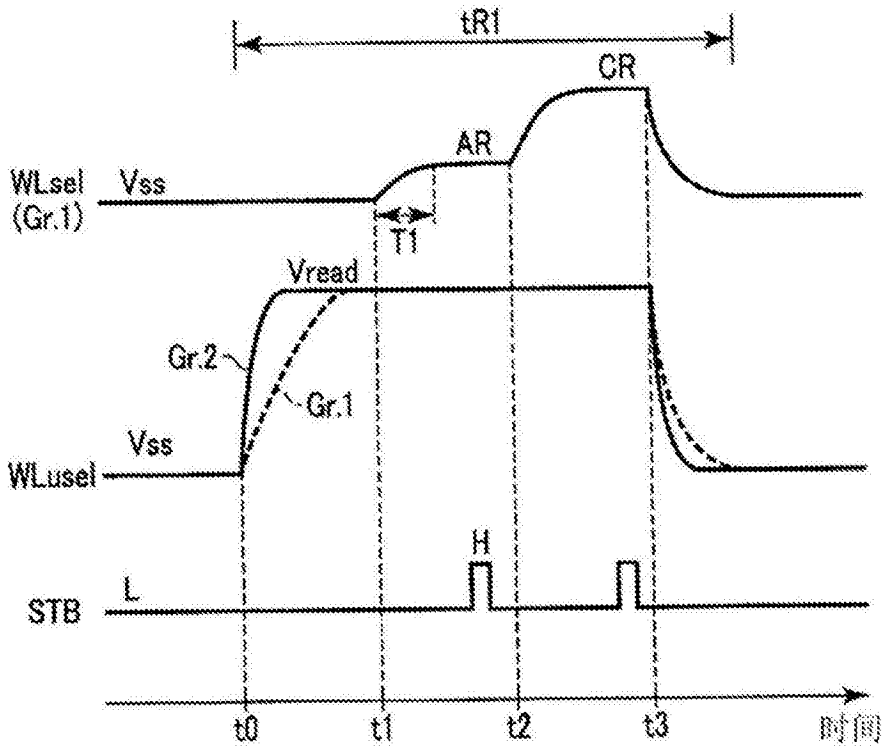


图11

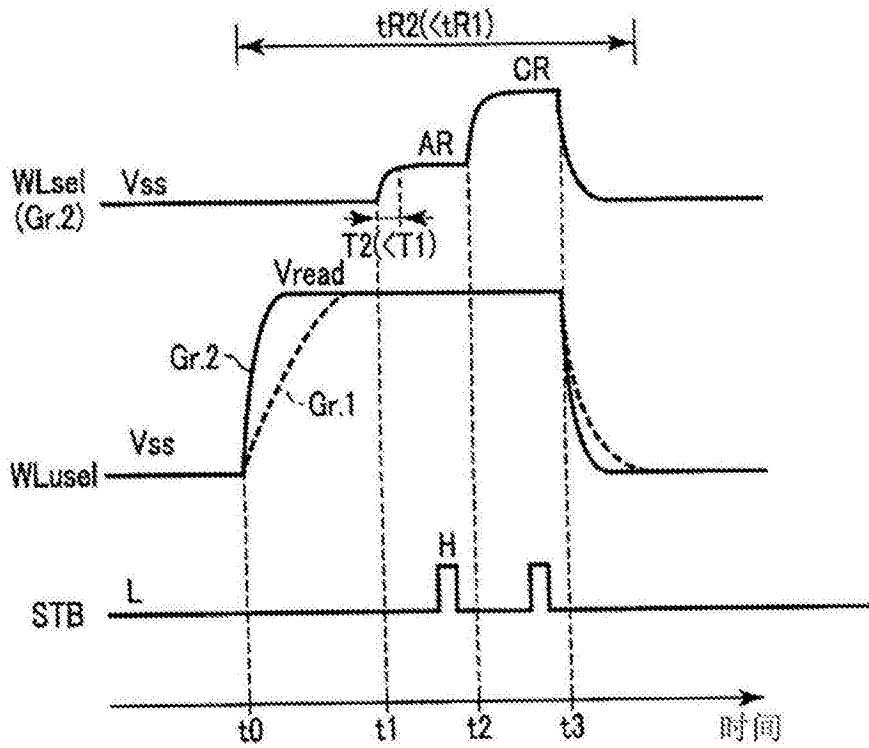


图12

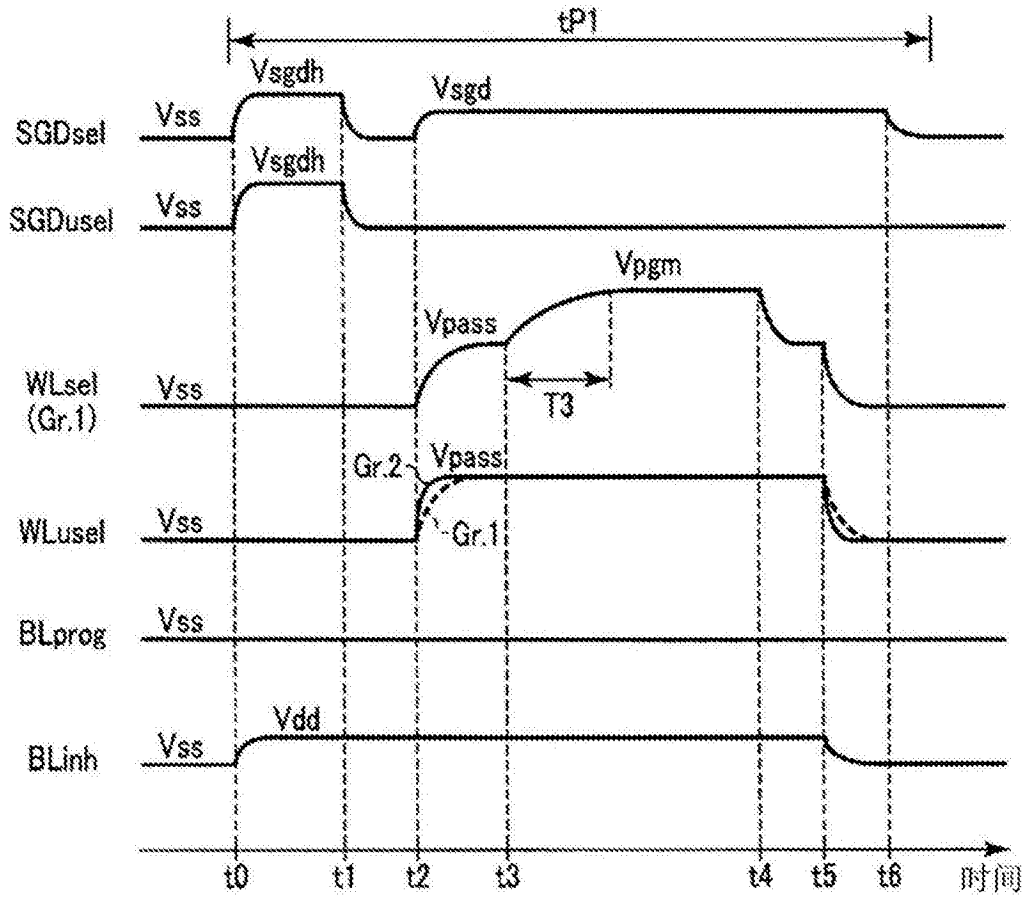


图13

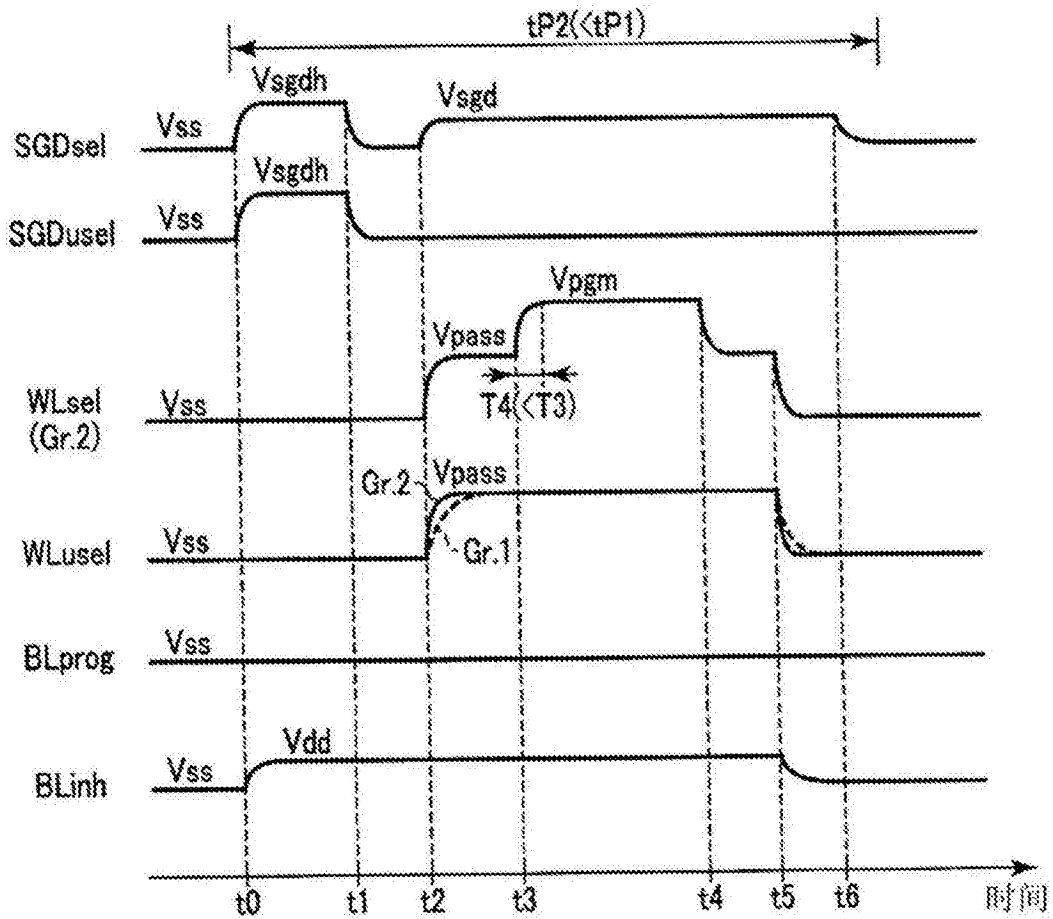


图14

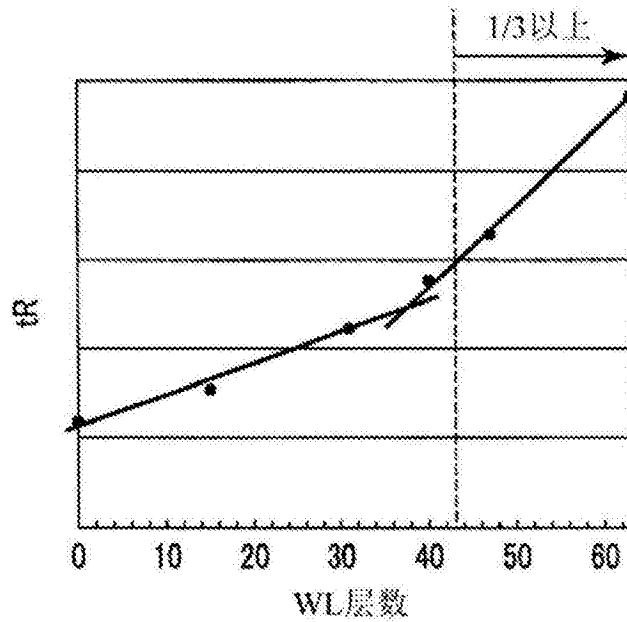


图15

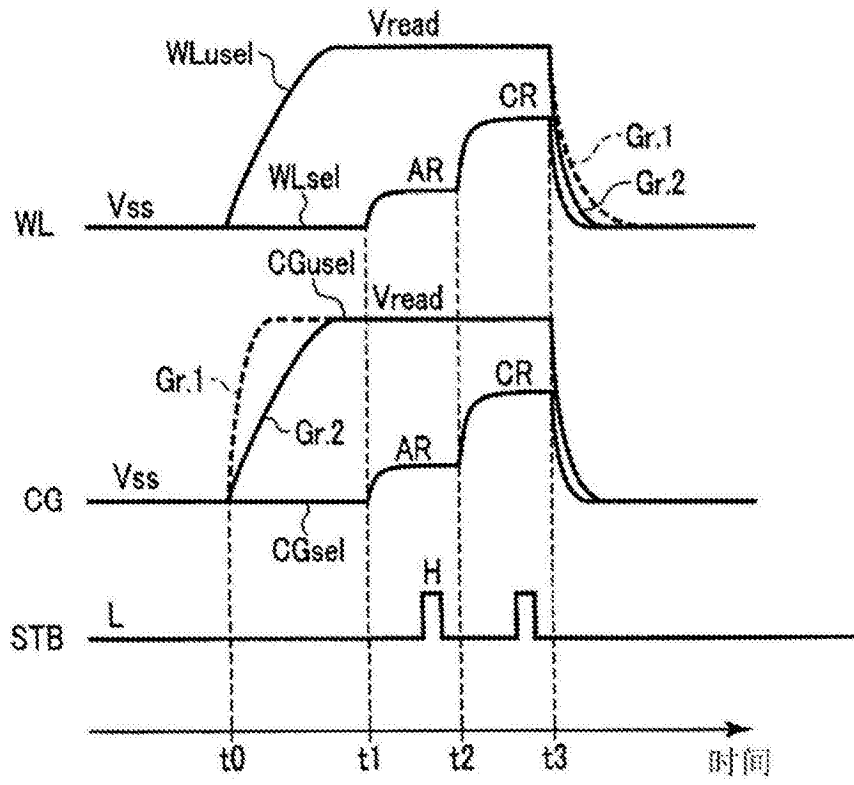


图16

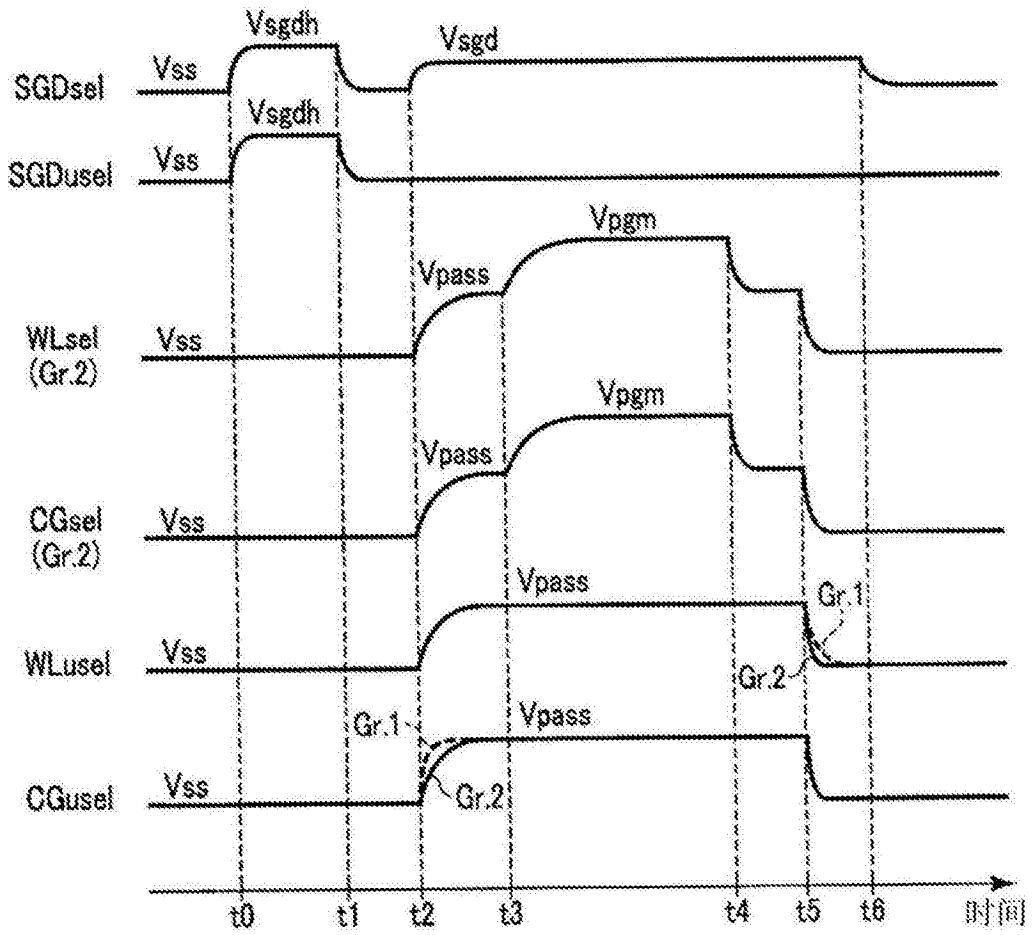


图17

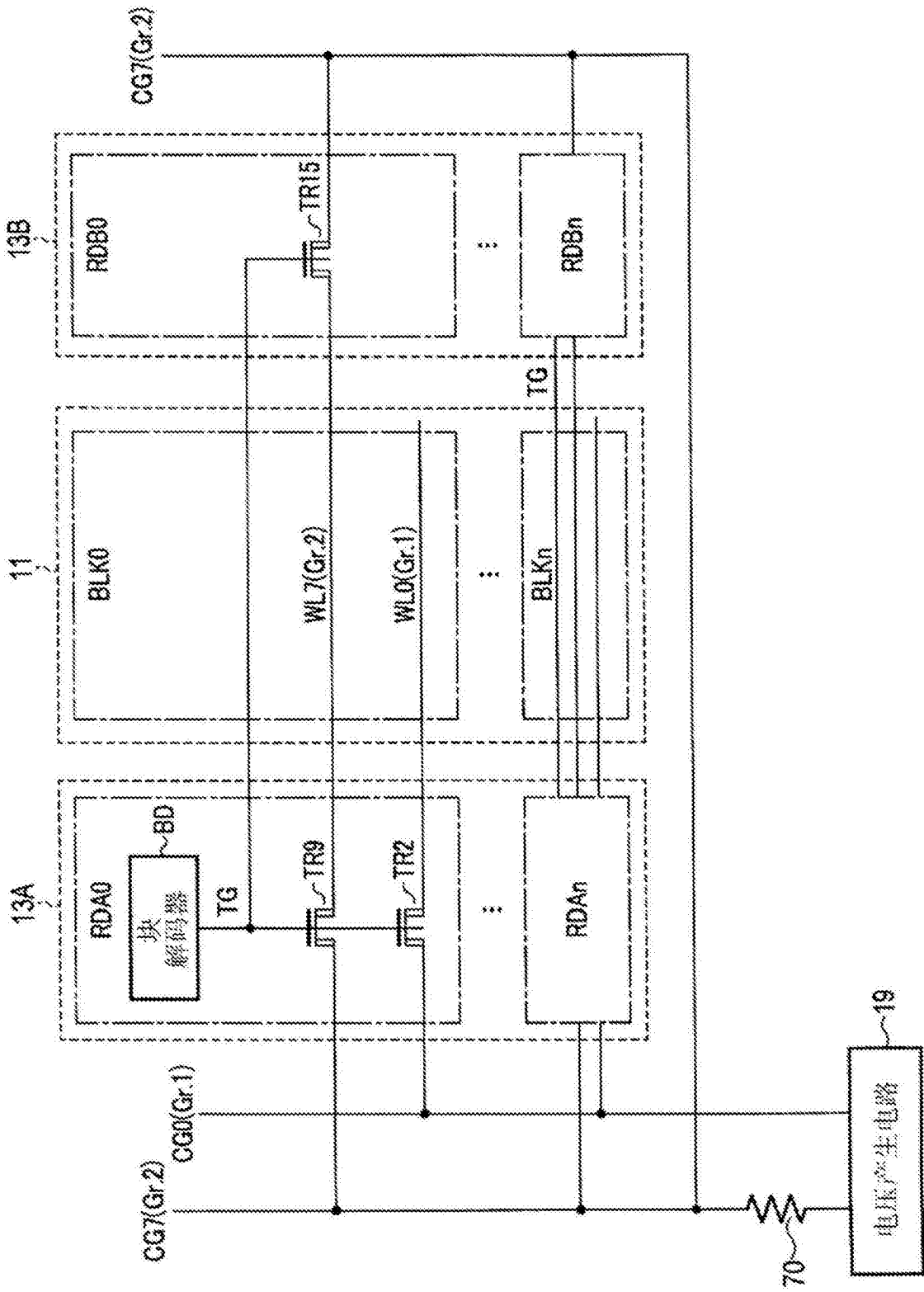


图18

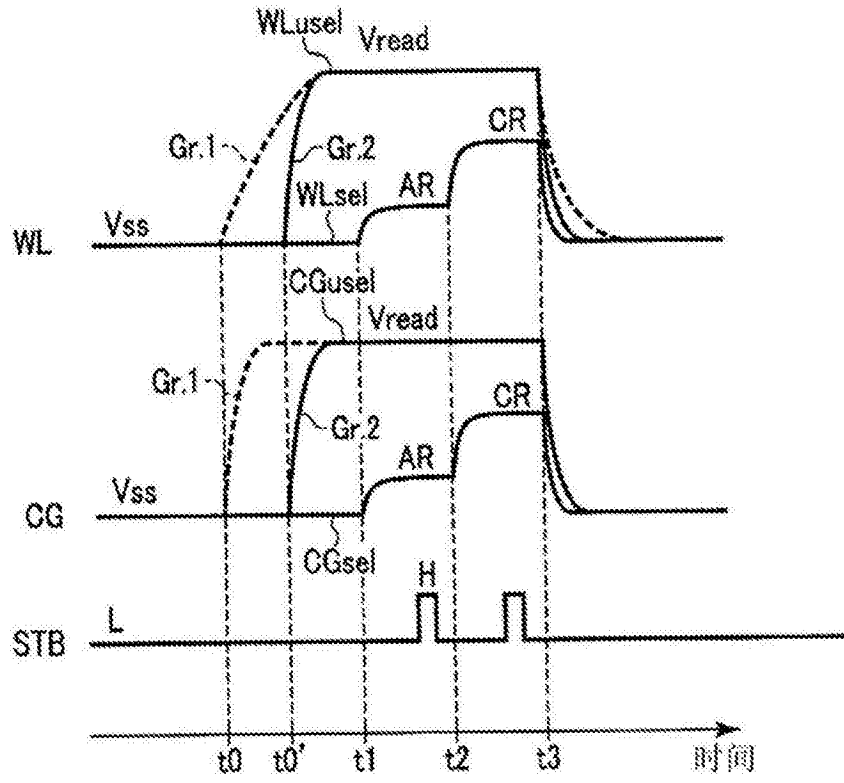


图19

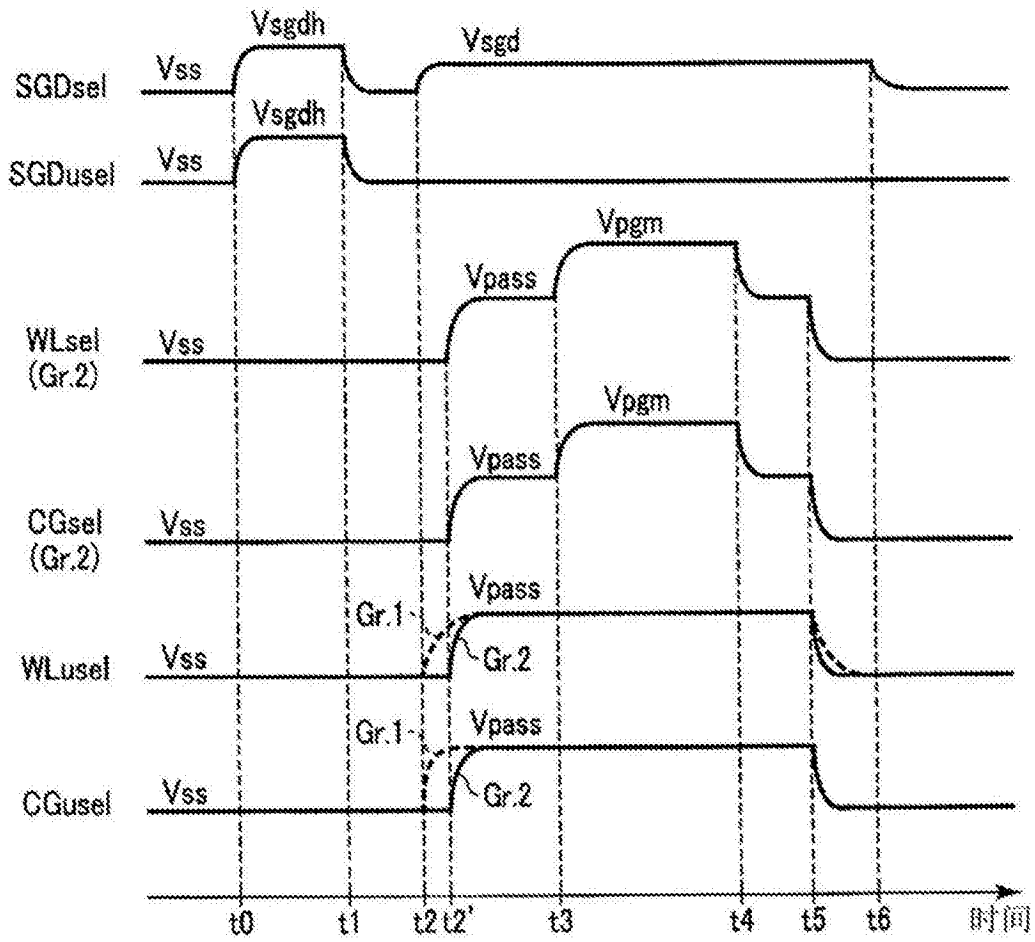


图20

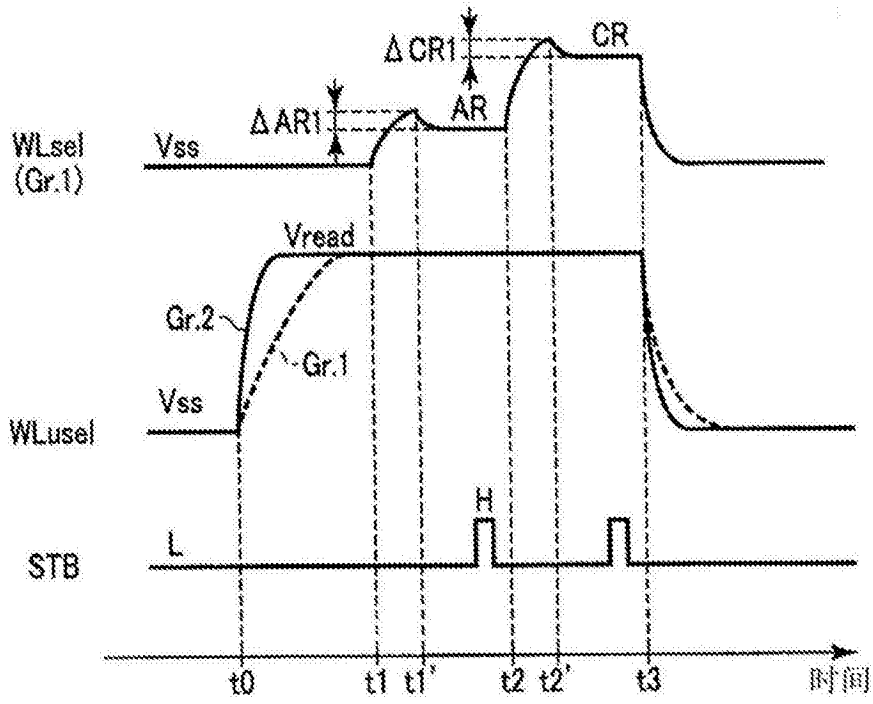


图21

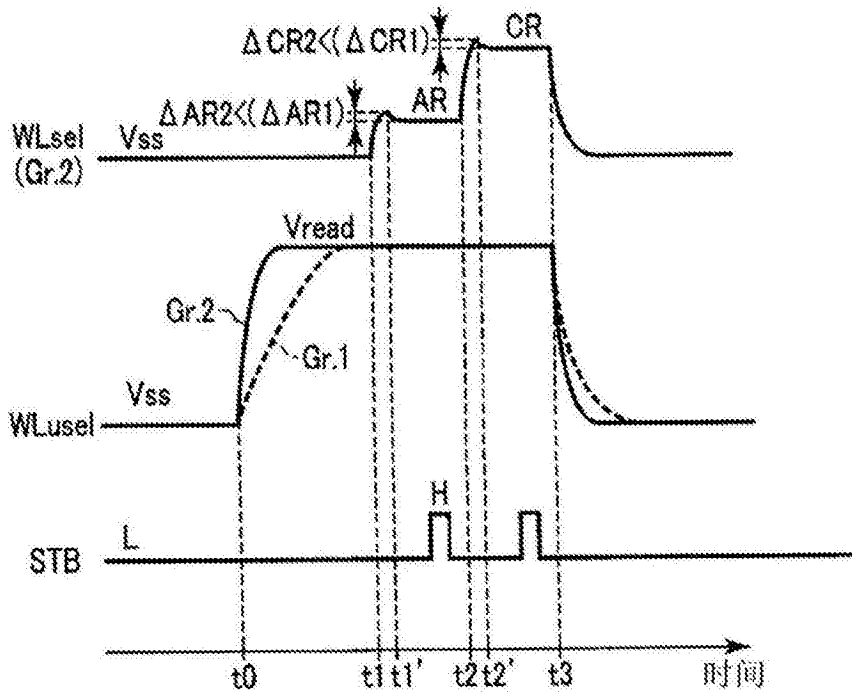


图22

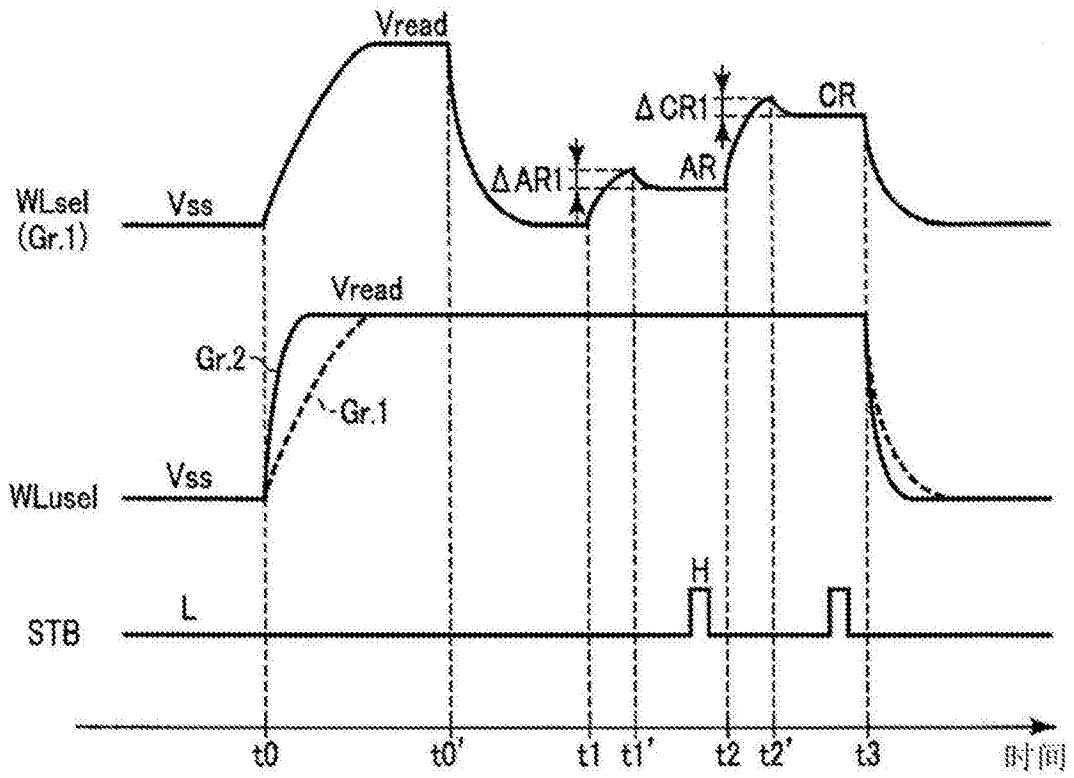


图23

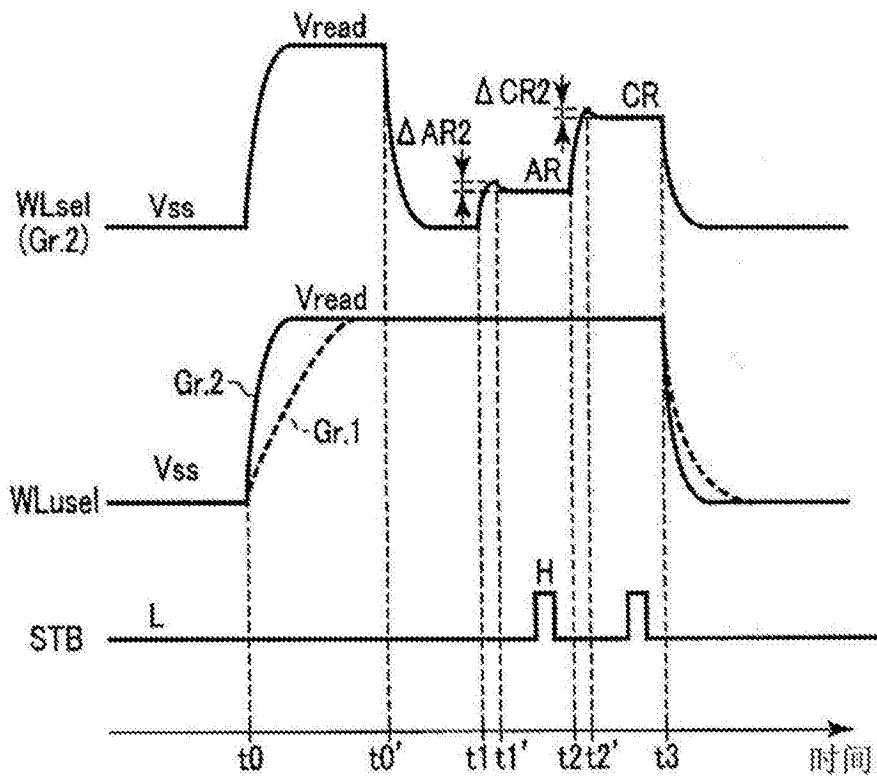


图24

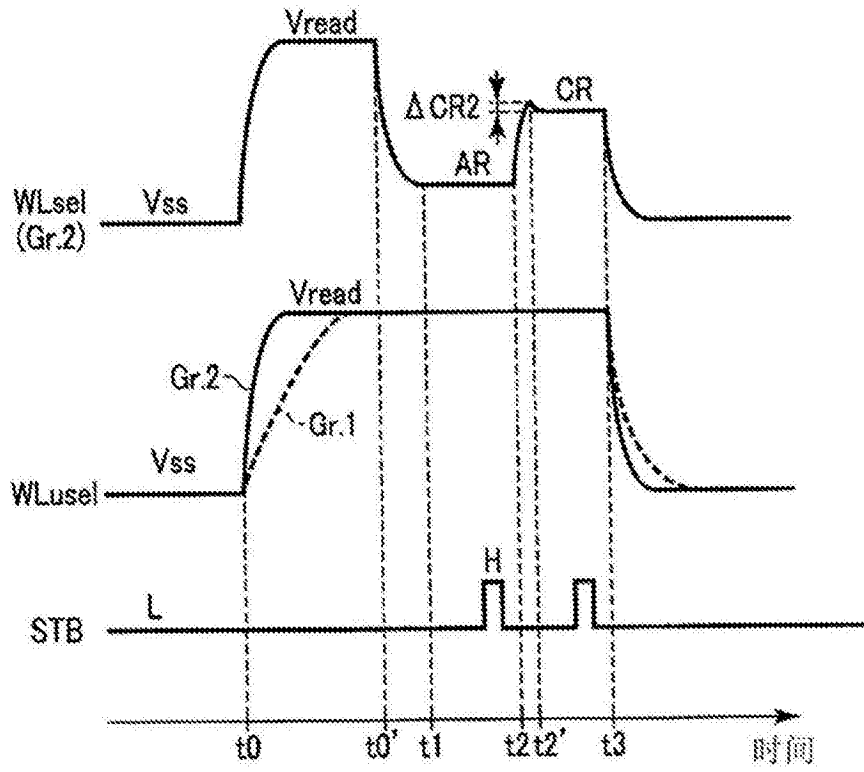


图25

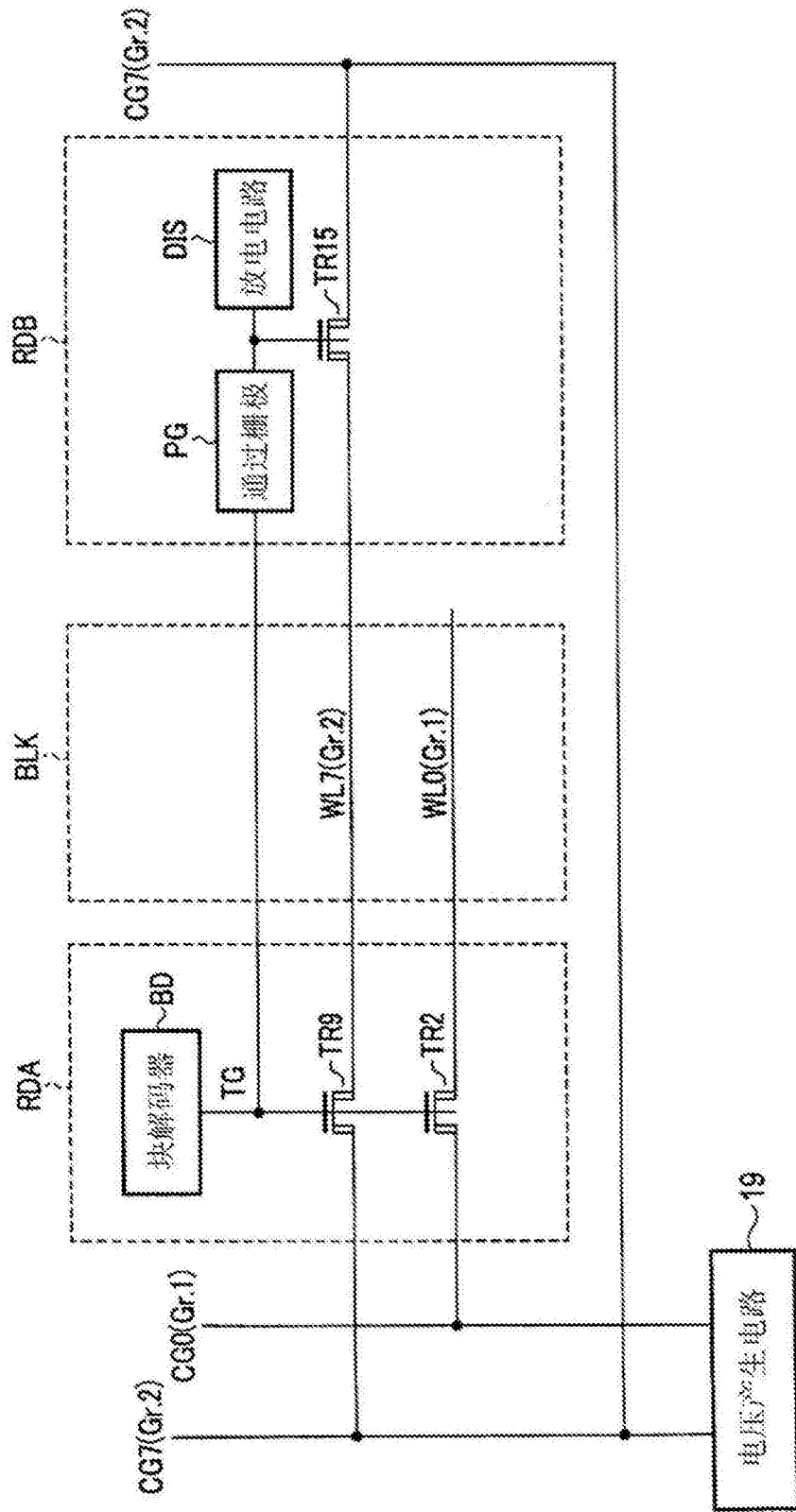


图26

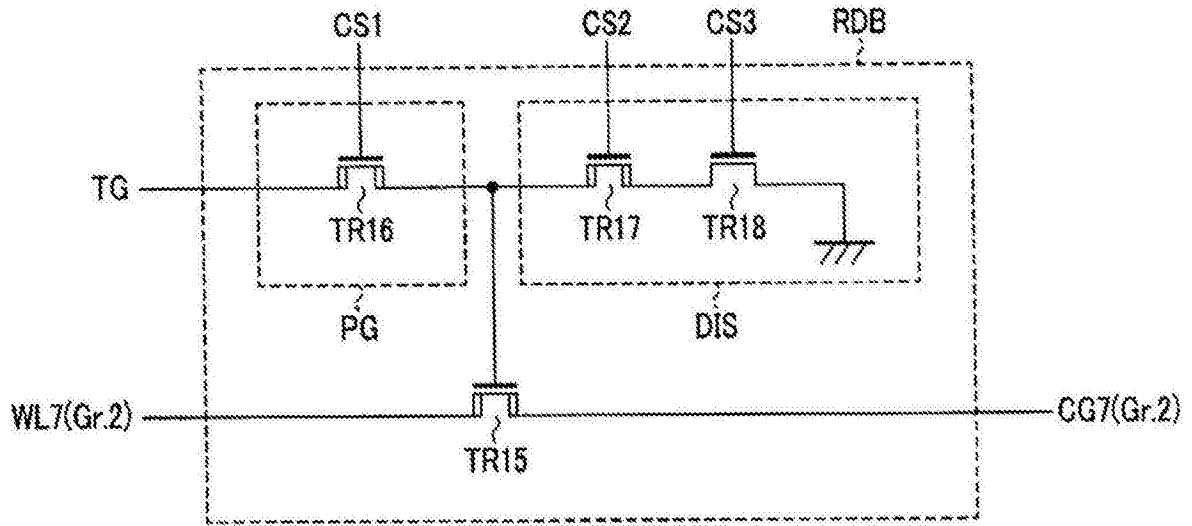


图27

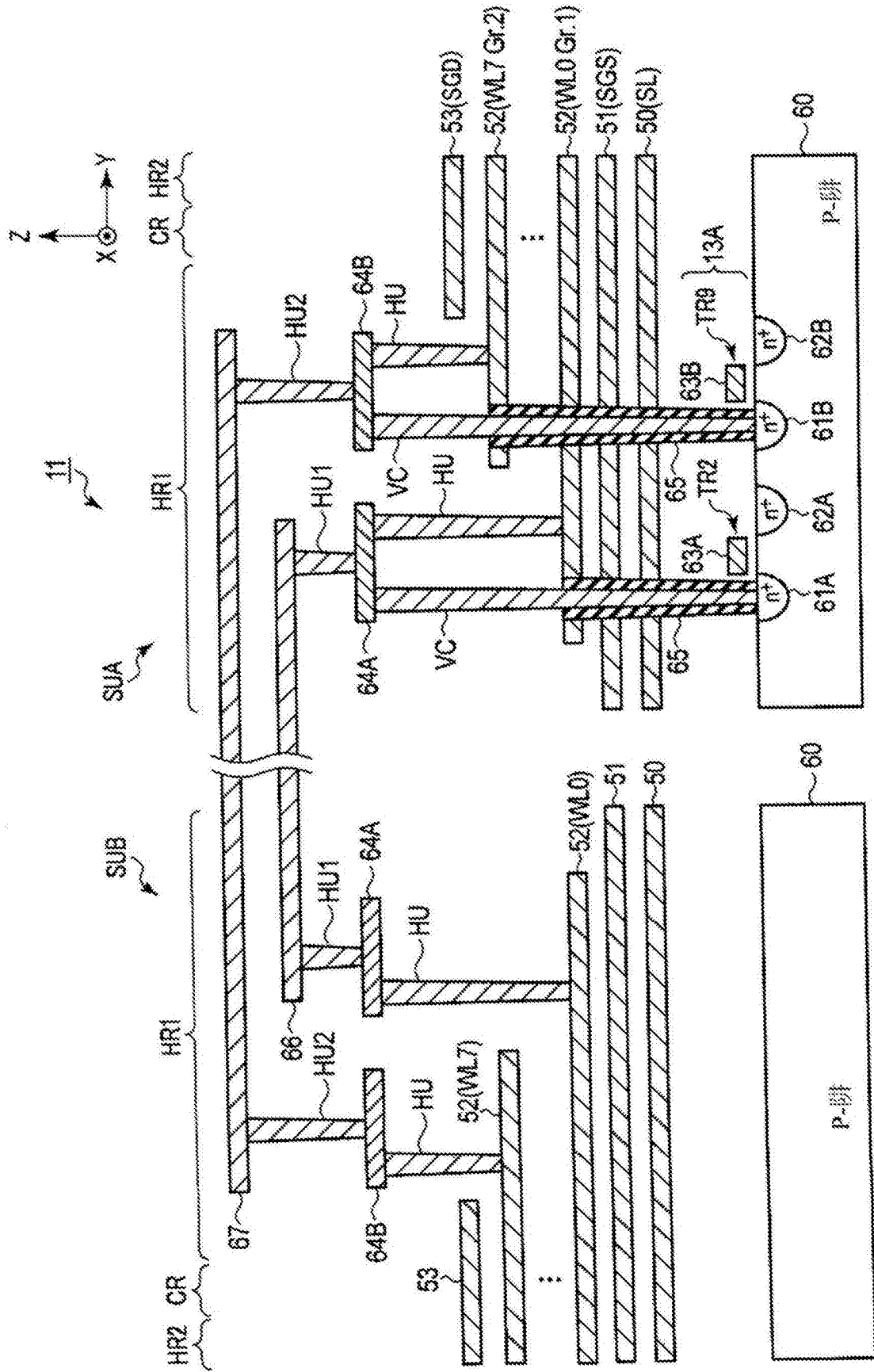


图28