

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3605205号  
(P3605205)

(45) 発行日 平成16年12月22日(2004.12.22)

(24) 登録日 平成16年10月8日(2004.10.8)

(51) Int. Cl.<sup>7</sup>

G06F 12/14

F I

G06F 12/14 510E

請求項の数 20 (全 18 頁)

<p>(21) 出願番号 特願平7-312965                  (22) 出願日 平成7年11月30日(1995.11.30)                  (65) 公開番号 特開平9-16462                  (43) 公開日 平成9年1月17日(1997.1.17)                  審査請求日 平成13年12月21日(2001.12.21)                  (31) 優先権主張番号 9512860 9                  (32) 優先日 平成7年6月23日(1995.6.23)                  (33) 優先権主張国 英国(GB)</p>	<p>(73) 特許権者 594154428                  エイアールエム リミテッド                  イギリス国 シービー1 9エヌジェイ                  ケンブリッジ, チェリー ヒントン, フル                  バーン ロード 110                  (74) 代理人 100066692                  弁理士 浅村 皓                  (74) 代理人 100072040                  弁理士 浅村 肇                  (74) 代理人 100094673                  弁理士 林 拓三                  (74) 代理人 100091339                  弁理士 清水 邦明</p>
--	--

最終頁に続く

(54) 【発明の名称】 データ処理装置および処理方法

(57) 【特許請求の範囲】

【請求項1】

データ処理装置であって、

(イ) データメモリのアドレス空間内の各メモリアドレスにデータ語を記憶するデータメモリと、

(ロ) 前記データメモリ内の特定のメモリアドレスに記憶されたデータ語へのアクセス要求を発生する手段と、

(ハ) 前記アクセス要求の処理を制御するメモリマネジメントコントローラと、  
を具備し、

(ニ) 前記メモリマネジメントコントローラは前記アドレス空間を複数の固定サイズメインセクションへ分割し、各メインセクションが固定数のサブセクションを含みサブセクションのサイズはメインセクション内で一定であって各メインセクションについて独立に設定され、

(ホ) 前記メモリマネジメントコントローラは各サブセクションについて1つ以上のアクセスコントロールパラメータを記憶しており、サブセクションに対する前記アクセスコントロールパラメータは前記メモリマネジメントコントローラにより使用されて前記サブセクション内の特定のメモリアドレスへのアクセス要求の処理が制御される、データ処理装置。

【請求項2】

請求項1記載の装置であって、該装置は各々が各メインセクションのサブセクションサイ 20

ズを定義するデータを記憶する複数のメインセクションレジスタを具備する、データ処理装置。

【請求項 3】

請求項 1 記載の装置であって、前記アクセス要求発生装置は中央処理装置コアを具備する、データ処理装置。

【請求項 4】

請求項 2 記載の装置であって、サブセクションサイズを定義する前記データはプログラム命令制御の元で前記メインセクションレジスタへ書き込まれる、データ処理装置。

【請求項 5】

請求項 4 記載の装置であって、前記中央処理装置コアとのコプロセッサを具備し、前記メインセクションレジスタは前記コプロセッサにより実行されるプログラム命令の元で書き込まれる、データ処理装置。

10

【請求項 6】

請求項 1 記載の装置であって、前記特定のメモリアドレス内の固定位置を有する 1 つ以上のメインセクションビットにより前記特定のメモリアドレスを含むメインセクションが定義される、データ処理装置。

【請求項 7】

請求項 1 記載の装置であって、前記特定のメモリアドレス内の可変位置を有する 1 つ以上のサブセクションビットにより前記特定のメモリアドレスを含むサブセクションが定義される、データ処理装置。

20

【請求項 8】

請求項 7 記載の装置であって、該装置は前記特定のメモリアドレスを含むメインセクションに対するサブセクションのサイズに従って前記特定のメモリアドレス内からデコードする前記サブセクションを選定するバレルシフトを具備する、データ処理装置。

【請求項 9】

請求項 1 記載の装置であって、該装置は各々が各サブセクションに対する前記 1 つ以上のアクセスコントロールパラメータを記憶する複数のサブセクションレジスタを具備する、データ処理装置。

【請求項 10】

請求項 9 記載の装置であって、前記 1 つ以上のアクセスコントロールパラメータはプログラム命令制御の元で前記サブセクションレジスタへ書き込まれる、データ処理装置。

30

【請求項 11】

請求項 10 記載の装置であって、前記アクセス要求発生手段は中央処理装置コアを具備し、前記サブセクションレジスタは前記中央処理装置コアにより実行されるプログラム命令の制御の元で書き込まれる、データ処理装置。

【請求項 12】

請求項 9 記載の装置であって、前記特定のメモリアドレス内の固定位置を有する 1 つ以上のメインセクションビットにより前記特定のメモリアドレスを含むメインセクションが定義され、前記特定のメモリアドレス内の可変位置を有する 1 つ以上のサブセクションビットにより前記特定のメモリアドレスを含むサブセクションが定義され、前記サブセクションレジスタは前記メインセクションビットおよび前記サブセクションビットにตอบสนองして前記特定のメモリアドレスに対する前記アクセスコントロールパラメータを読み取るようにアドレスされる、データ処理装置。

40

【請求項 13】

請求項 1 記載の装置であって、該装置は任意のサブセクションの外側の特定のメモリアドレスへのアクセス要求を検出するアボート信号発生器を具備する、データ処理装置。

【請求項 14】

請求項 13 記載の装置であって、前記特定のメモリアドレス内の固定位置を有する 1 つ以上のメインセクションビットにより前記特定のメモリアドレスを含むメインセクションが定義され、前記特定のメモリアドレス内の可変位置を有する 1 つ以上のサブセクションビ

50

ットにより前記特定のメモリアドレスを含むサブセクションが定義され、前記メインセクションビットは前記特定のメモリアドレスの最上位ビットであり前記サブセクションビットは前記特定のメモリアドレスの下位ビットであり、前記アポート信号発生器は前記メインセクションビットと前記サブセクションビットとの間の前記特定のメモリアドレスの任意のビットがセットされる場合にアポート信号を発生する、データ処理装置。

【請求項 15】

請求項 13 記載の装置であって、1つ以上のメインセクションがリザーブされ、前記アポート信号発生器は前記特定のメモリアドレスがリザーブされたメインセクション内にある場合にアポート信号を発生する、データ処理装置。

【請求項 16】

請求項 1 記載の装置であって、該装置はライトバッファを具備し、前記 1つ以上のアクセスコントロールパラメータは前記ライトバッファを經由して前記特定のメモリアドレスへのライト要求を送ることができるかを示すフラグを含む、データ処理装置。

【請求項 17】

請求項 1 記載の装置であって、該装置はキャッシュメモリを具備し、前記 1つ以上のアクセスコントロールパラメータは前記特定のメモリアドレスへのライト要求を前記キャッシュメモリ書き込むことができるかを示すフラグを含む、データ処理装置。

【請求項 18】

請求項 1 記載の装置であって、前記 1つ以上のアクセスコントロールパラメータは 1つ以上のフラグを含みそれらは前記装置の現在の動作モードを示す 1つ以上のモードビットと論理的に結合して前記アクセス要求の進行を許可すべきかを決定する、データ処理装置。

【請求項 19】

請求項 1 記載の装置であって、前記装置は集積回路である、データ処理装置。

【請求項 20】

データ処理方法であって、該方法は、

(イ) データメモリのアドレス空間内の各メモリアドレスにデータ語を記憶するステップと、

(ロ) 前記データメモリ内の特定のメモリアドレスに記憶されたデータ語へのアクセス要求を発生するステップと、

(ハ) メモリマネジメントコントローラにより前記アクセス要求の処理を制御するステップと、を含み、

(ニ) 前記メモリマネジメントコントローラは前記アドレス空間を複数の固定サイズメインセクションへ分割し、各メインセクションが固定数のサブセクションを含みサブセクションのサイズはメインセクション内で一定であって各メインセクションに対して独立に設定され、

(ホ) 前記メモリマネジメントコントローラは各サブセクションについて 1つ以上のアクセスコントロールパラメータを記憶し、サブセクションに対する前記アクセスコントロールパラメータは前記メモリマネジメントコントローラにより使用されて前記サブセクション内の特定のメモリアドレスへのアクセス要求の進行が制御される、データ処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデータ処理の分野に関する。特に、本発明はデータメモリのさまざまな部分へのアクセスを制御するメモリマネジメントコントローラを有するデータ処理システムに関する。

【0002】

【従来の技術】

データメモリのさまざまな部分へのアクセスを制御するメモリマネジメントコントローラ/メモリマネジメントユニット/MMUを組み込んだデータ処理システムを提供することが知られている。所望しない限り別のタスクからのデータを変更することができないよう

10

20

30

40

50

にタスクを分離することが望ましいマルチタスク処理システムにおいてこのようなメモリマネジメントユニットは特に有用である。これにより1つのタスク内の問題が別のタスクへ広がってそれを改変することが抑制されるため信頼度が高まる。

#### 【0003】

代表的なメインフレームコンピュータについてこのような保護を実施する場合、どのタスクが物理的メモリのどのエリアへのアクセスを有するかを定義するデータが中央処理装置の外部のランダムアクセスメモリに保持することができるページテーブル定義に記憶される。また、(アドバンストRISCマシン社製)ARM600等の集積回路にオンチップメモリマネジメントユニットを組み込むことができる。このようなオンチップ法ではメモリマネジメントユニットデータへのオフチップアクセスの必要性を回避することにより動作速度が増し中央処理装置コアを備えた集積回路の外部にデータメモリを付加することによる複雑化や費用の問題が回避される。中央処理装置コアを備えた集積回路の外部に付加回路素子を設ける必要性を回避することはサイズおよび費用が重要となる埋込コントローラ等の応用において特に重要である。

10

#### 【0004】

メモリマネジメントユニットの設計における重要な要因はメモリアccessを制御することができるアドレスリゾリューションである。例えば、システムのデータメモリは4kバイトセクションへ分割することができ、4kバイトセクション内の各アドレスへのアクセスは共通ベースで管理される、すなわち、各セクションについてそのセクションへのアクセスを有するタスクと提供されるアクセスのタイプとは別々に定義される。したがって、データメモリの各4kバイトセクションについて1組のアクセスコントロールパラメータを記憶する必要がある。

20

#### 【0005】

データメモリを独立に管理することができる小さいサイズのセクションへ分割することによりデータメモリへのアクセス制御に高度のアドレスリゾリューションを提供することが望ましい場合もある。例えば、データメモリが直接マッピングされた入出力位置もしくは別々に処理すべきクリティカルコントロールパラメータを記憶するメモリセクションを表す場合にこのような小ブロックが適切である。このような状況に対処するには256バイトのセクションを有するリゾリューションとすることが望ましい。

#### 【0006】

これとは対照的に、(例えば、プリンタ内のデータを定義するフォント等の)固定プログラム命令すなわちデータを記憶するリードオンリメモリへのアクセスの場合には、関連する大量のデータは粗いレベルのリゾリューションで制御できればよい。この場合、4Mバイトセクションでアクセスを制御するのが適切である。

30

#### 【0007】

このような競合要求に対処する従来の方法はメモリマネジメントユニットにシステムの全アドレス空間内で所望される最小セクションサイズに対処できるリゾリューションを持たせることである、すなわち、いくつかのエリアを256バイトの細密なアドレスリゾリューションで制御する必要がある場合、全アドレス空間がこのようなリゾリューションで制御される。その結果、全アドレス空間に対するアクセスコントロールパラメータを保持するのに大量の記憶装置を必要とするという不利を招くことになる。大量のアクセスコントロールパラメータを記憶する必要性により必要な集積回路のサイズが増大するという不利を招くアクセスコントロールパラメータのオンチップ記憶の場合特にそうである。集積回路のサイズが増大すると(製造歩留りの低減により)集積回路のコストが増大しかつ(特に、回路サイズを低減するためにダイナミックメモリセルが使用される場合、付加回路素子を駆動する必要があるため)回路の消費電力が増大する。

40

#### 【0008】

##### 【発明が解決しようとする課題】

本発明はシステム全体のアクセスコントロールパラメータを処理するのに必要なデータ記憶装置の量を増大する不利を招くことなく別々に制御することができるデータメモリセク

50

ションのサイズの細密なアドレスリゾリューションの可能性を提供する問題に関連している。

【0009】

【課題を解決するための手段】

本発明の1つの局面からデータ処理装置が提供され、該装置は、

(i) データメモリのアドレス空間内の各メモリアドレスにデータ語を記憶するデータメモリと、

(ii) 前記データメモリ内の特定のメモリアドレスに記憶されたデータ語へのアクセス要求を発生する手段と、

(iii) 前記アクセス要求の処理を制御するメモリマネジメントコントローラと、

(iv) 前記メモリマネジメントコントローラは前記アドレス空間を複数の固定サイズメインセクションへ分割し、各メインセクションは固定数のサブセクションを含みサブセクションサイズはメインセクション内で一定であって各メインセクションに対して独立に設定され、

(v) 前記メモリマネジメントコントローラは各サブセクションに対して1つ以上のアクセスコントロールパラメータを記憶し、サブセクションの前記アクセスコントロールパラメータは前記メモリマネジメントコントローラにより使用されて前記サブセクション内の特定のメモリアドレスへのアクセス要求の処理が制御される。

【0010】

本発明は各メインセクション内に固定数の可変サイズサブセクションを設けることにより複雑さを増すという不利を招くことなく1つのアドレス空間内にアクセスコントロールの広範に異なるリゾリューションを提供できると認識するものである。この方法により、メインセクション内の固定数のサブセクションに対して小さいサブセクションサイズを使用すると、そのメインセクション内のアドレス空間の大きいエリアが全サブセクションの外側となって有効にアンマップされることを理解されたい。システム内でのこのような連続性の欠如はフィールド内のトレンドと衝突する。しかし、メインセクション内に固定数のサブセクションを設けると各メインセクションに対してどのリゾリューションが選択されるかに無関係にシステムが必要とするアクセスコントロールパラメータの数は一定となる。そのため細密なリゾリューションが選定される場合にアクセスコントロールパラメータに必要な大量の記憶装置が回避される。メモリマップの不連続性は通常欠点と見なされるが、アドレスが広がるトレンドにより利用可能なアドレス空間が大きく増大すれば、アドレス空間の浪費と見なされるものは問題とはならない。

【0011】

本発明は(例えば、構成が固定された埋込コントローラのように)システムの製作中に各メインセクション内のサブセクションのサイズが一定であるような状況で使用することができるが、各々が各メインセクションに対するサブセクションサイズを定義するデータを記憶する複数のメインセクションレジスタを具備する実施例により(例えば、インストールされるRAMサイズのさまざまなオプション等の)システム構成の変化に対処する柔軟性が高められる。

【0012】

サブセクションサイズを定義するデータをメインセクションレジスタ内に記憶することにより一層容易に変更できるようになる。

【0013】

アクセス要求を発生する手段は(例えば、ディスクドライブコントローラからのアクセス要求等の)任意数の形式をとることができることを理解されたい。しかし、前記アクセス要求を発生する手段が中央処理装置コアを具備する実施例に使用するのに本発明は特に適している。

【0014】

前記したように、サブセクションサイズを定義するデータを記憶するためのメインセクシ

10

20

30

40

50

ョンレジスタを設けることができる。これらのメインセクションレジスタは、主要なハードウェアを再設計することなくサブセクションサイズの構成を変化することができるように、ディップスイッチ等の、固定ハードウェアエレメントにより書き込むことができる。しかし、実施例ではサブセクションサイズを定義する前記データはプログラム命令制御の元で前記メインセクションへ書き込まれる。

【0015】

プログラム制御の元でメインセクションレジスタへデータを書き込むことによりユーザは僅かな努力でシステムの構成において高度の柔軟性を有利に得ることができる。

【0016】

プログラム制御の元でメインセクションレジスタへ書き込むことができるようにする際の問題点はプログラム内のバグにより当面の物理的ハードウェア構成を表さない不適切なデータがこれらのメインセクションレジスタへ書き込まれる可能性があることである。メインセクションレジスタ内のデータはシステム全体の動作にとって重要でありデータのこのような変更により重大問題およびデータ損失を生じることがある。

10

【0017】

この可能性を低減するために、実施例には前記中央処理装置コアとのコプロセッサが含まれており、前記メインセクションレジスタの書き込みは前記コプロセッサにより実行されるプログラム命令の制御の元で行われる。

【0018】

中央処理装置コアではなくコプロセッサがメインセクションレジスタへの書き込みを行えるようにすることによりメインセクションレジスタデータが改変される可能性が低減される。コプロセッサは一般的に命令の明確に定義されたサブセットしか演算しないため、その演算におけるバグおよびメインセクションレジスタへの不適切な書き込みを行う可能性が低くなる。

20

【0019】

アドレス空間を分割する簡単で有利な方法は前記特定のメモリアドレス内の固定位置を有する1つ以上のメインセクションビットにより前記特定のメモリアドレスを含むメインセクションを定義することである。

【0020】

当該メインセクションへマップするこのような固定位置メインセクションビットを有することにより特定のメモリアドレスを簡単にデコードして当該メインセクションしたがってこのメモリアドレスに対するサブセクションサイズを決定することができる。

30

【0021】

前記特定のメモリアドレス内の可変位置を有する1つ以上のサブセクションビットを与えて前記特定のメモリアドレスを含むサブセクションを定義することが好ましい。サブセクションのサイズが変動する場合には、このような可変位置サブセクションビットによりサブセクションは各メインセクションのアドレス空間内で隣接配置することができる。

【0022】

サブセクションビットが特定のメモリアドレス内で位置が変動する場合には、前記特定のメモリアドレスを含むメインセクションに対するサブセクションサイズに応じて前記特定のメモリアドレス内から前記デコードするサブセクションビットを選定するためのバレルシフトが特に効率的な実施例により提供される。

40

【0023】

サブセクションサイズに応じてサブセクションビットの高速選定を行うのにバレルシフターは特に適している。

【0024】

メモリマネジメントコントローラにより利用されるアクセスコントロールパラメータはプログラム実行中に修正できることが望ましい比較的ダイナミックなデータである。したがって、実施例により各々が各サブセクションに対する前記1つ以上のアクセスコントロールパラメータを記憶する複数のサブセクションレジスタが提供される。

50

## 【0025】

アクセスコントロールパラメータをダイナミックに修正することができる最も簡便な方法は前記1つ以上のアクセスコントロールパラメータがプログラム命令制御の元で前記サブセクションレジスタへ書き込まれるようにすることである。

## 【0026】

メインセクションレジスタ内に記憶されるデータとは対照的に、サブセクションレジスタ内のデータはデバイスの構成にとって重要性は低く規則的に修正される可能性が高い。したがって、前記中央処理装置コアにより実行されるプログラム命令の制御の元で前記サブセクションレジスタへの書き込みを行うことが望ましい。

## 【0027】

前記サブセクションレジスタが前記メインセクションビットおよび前記サブセクションビットに応答して前記特定のメモリアドレスに対する前記アクセスコントロールパラメータを読み取るようにアドレスされる実施例において所与特定のメモリアドレスに対する適切なサブセクションレジスタの選定を簡便に達成することができる。

10

## 【0028】

前記したように、本発明によりシステムのメモリマップへある程度の非連続性が導入される。したがって、未定義エリアへメモリアクセスがなされるという特有の危険性が存在する。この問題に対抗するために、実施例により任意のサブセクションの外側の特定のメモリアドレスへのアクセス要求を検出するアポート信号発生器が提供される。

## 【0029】

サブセクションの可変サイズによりアドレス空間のさまざまな部分がさまざまな構成において未定義とされる場合には、前記メインセクションビットが前記特定のメモリアドレスの最上位ビットとなり前記サブセクションビットは前記特定のメモリアドレスの下位ビットとなる実施例とされ、前記メインセクションビットおよび前記サブセクションビット間の前記特定メモリアドレスの任意のビットが設定されると前記アポート信号発生器によりアポート信号が発生される。

20

## 【0030】

ワイドなアドレスバスを有するプロセッサ内の大量のアドレス空間により1つ以上のメインセクションがリザーブされるシステムが提供される。このようなシステムでは、前記特定のメモリアドレスがリザーブされたメインセクション内にある場合に前記アポート信号発生器がアポート信号を発生することが望ましい。

30

## 【0031】

メモリマネジメントコントローラにより利用されるアクセスコントロールパラメータは多くの形式をとることができる。特に好ましいコントロールパラメータはライト要求をライトバッファ内にバッファできるかどうかを示すフラグ、ライト要求をキャッシュメモリへ書き込むことができるかどうかを示すフラグ、および所与のサブセクションへ特定タイプのアクセスを行うのにどのプロセッサ動作モードを許可すべきかを示すフラグを含んでいる。

## 【0032】

本発明は個別回路部品として実現することができる。しかし、前記したように、本発明は集積回路を含む実施例に使用するのに特に適している。このような実施例では、従来のメモリマネジメントユニットに較べて回路面積の節減が非常に著しい。

40

## 【0033】

本発明のもう1つの局面によりデータ処理方法が提供され、該方法は、

- (i) データメモリのアドレス空間内の各メモリアドレスにデータ語を記憶し、
- (ii) 前記データメモリ内の特定のメモリアドレスに記憶されたデータ語へのアクセス要求を発生し、
- (iii) メモリマネジメントコントローラにより前記アクセス要求の処理を制御する、ステップを含み、
- (iv) 前記メモリマネジメントコントローラにより前記アドレス空間は複数の固定サイ

50

ズメインセクションへ分割され、各メインセクションは固定数のサブセクションを含みサブセクションサイズはメインセクション内で一定であって各メインセクションに対して独立に設定され、

(v) 前記メモリマネジメントコントローラにより各サブセクションについて1つ以上のアクセスコントロールパラメータが記憶され、サブセクションに対する前記アクセスコントロールパラメータは前記メモリマネジメントコントローラにより使用されて前記サブセクション内の特定のメモリアドレスへのアクセス要求の処理が制御される。

【0034】

【発明の実施の形態】

図1に32ビットシステムに対するアドレス空間マップを示す。アドレス空間は8つの等サイズのメインセクションすなわちチャンクへ分割される。8つのチャンクはChunk 0からChunk 7までである。本実施例では奇数番のチャンクはリザーブされる。最上位メインセクション(Chunk 0)はメモリアドレス00000000から1FFFFFFF(16進)までである、すなわち、32Mバイトである。

【0035】

各チャンクは16のサブセクションすなわちグレインを含んでいる。グレインサイズはチャンク間で変動することがある、すなわちChunk 0は256バイトの各グレインを含むことができ、Chunk 2は1Mバイトのグレインを含んでいる。グレインはチャンク内の最下位アドレスから上へ連続的に伸びている。最上位グレインの頂部境界はそのチャンクのグレインサイズに従って位置が変動する。頂部グレインの最上位境界とチャンク内の最上位アドレス間のアドレス空間エリアは未使用かつ未保護である。

【0036】

図2にChunk 0を2つの代替構成で示し、1つは256バイトグレインでありもう1つは1kバイトグレインである。256バイトグレインの場合には、最下位グレインはアドレス00000000から000000FFまでである。他のグレインはメモリ位置00000FFFにおける最上位グレインの最上位アドレスまで連続的に続く。このグレインサイズはここに記載する特定実施例によりサポートされる最小グレインサイズである。他の実施例ではより小さいグレインサイズが可能である。小さいグレインサイズは入出力アドレス空間に対処するメモリもしくは小型オンチップランダムアクセスメモリのチャンクに適切である。

【0037】

図2には各々が1kバイトのグレインサイズを有するグレインにより構成されたChunk 0であるアドレス空間の同じメインセクションも示されている。この構成では、最下位グレインはアドレス00000000から000003FFまでである。最上グレイン内の最上位アドレスはメモリアドレス00003FFFである。アドレス空間の00004000および1FFFFFFF間のエリアは未使用かつ未保護である。

【0038】

図3にメモリマネジメントユニットの一部を示す。全体機能レベルにおいて、メモリマネジメントユニットは特定のアドレスva[31:0]を受信し当該アクセスがバッファ可能か、キャッシュ可能か、もしくはアボートすべきか、を示す信号をそのアドレスへ戻す。これを達成するために、メモリマネジメントユニットはデータ処理システムの状態を示すいくつかの入力も要求しこのような状態変数に依存する適切な出力を発生する。

【0039】

仮想アドレスva[31:29]の最上位3ビットにより仮想アドレスのあるチャンクが指定される。これらの3ビットは有効なチャンクのいずれがアクセスされているかを示す4ビット出力もしくは3ビットが図1に示すアドレス空間の1つのリザーブされたセクション内のアドレスを示す場合のチャンクアボート信号を発生するように働くチャンクデコード10へ入力される。有効なチャンクがアクセスされているものとする、チャンクデコード10から出力されるビットの1つがハイとなる。これにより各々がそのチャンクに対するグレインサイズを示す3ビットコードを記憶する4つのチャンクレジスタ12の中

10

20

30

40

50

の1つが選定される。選定されたチャンクレジスタ12に記憶されている3ビットコードはグレインデコーダ14へ通される。

【0040】

グレインデコーダ14はアクセスされるチャンクのグレインサイズを指定するその3ビット入力を取り込んでマッピングしその出力である8ビットラインの1つをロー値となるように制御する。グレインデコーダ14からの残りの7ビットライン出力はハイのままである。さまざまな3ビットチャンクレジスタコードをその対応するグレインサイズと共に表1に示す。

【0041】

【表1】

チャンク レジスタコード	グレインサイズ
0	256B
1	1kB
2	4kB
3	16kB
4	64kB
5	256kB
6	1MB
7	4MB

【0042】

グレインデコーダ14からの出力はパレルシフタ16へ送られる。ロー値を有するグレインデコーダ14からのビットライン出力は当該ビットラインと一緒に接続されたゲートを有するパレルシフタ16内の4個の電界効果型トランジスタをオン(すなわち、導電)とする。特定アドレスva[25:8]の18ビットが入力としてパレルシフタ16へ送られる。パレルシフタ16はこれらの18ビットの中から4ビットを出力として選定する。どの4ビットを選定するかはグレインデコーダ14からのどのビット出力がローであるかによって決まる。

【0043】

表1にグレインサイズが記載されており、選定される4ビットはアクセスされるアドレスに対するグレイン番号(Grain#)を表す。256バイトのグレインサイズについて考える。この場合、16のグレインにより占有される各チャンク内のアドレス空間はアド

10

20

30

40

50

レスビット  $va[11:0]$  に対応するものである。これらのアドレスビットのうち、4ビット  $va[11:8]$  は16グレインのうちアドレスがその中にあるものを表し、8ビット  $va[7:0]$  は当該グレイン内の特定のメモリ位置を表す。したがって、パレルシフト16により4ビット  $va[11:8]$  がグレイン番号として選定される。

【0044】

前記したオペレーションにより当該アドレスを含むチャンクを指定する4ビット出力がチャンクデコーダ10から発生され、当該グレインを与える4ビットグレイン番号がパレルシフト16から発生される。したがって、メモリアドレス空間内の全てのグレインの中から、個別のグレインが識別されている。チャンクデコーダ10からの4ビットおよびパレルシフト16からの4ビットが、1ブロックのグレインレジスタ20内の64個の4ビットレジスタから適切な1個を選定する、レジスタセクタ18へ入力される。グレインレジスタブロック20内の各4ビットレジスタが当該メモリのグレインに対するアクセスコントロールパラメータを表す4ビットデータを記憶している。1ビットはそのグレイン内のデータがバッファ可能であることを示し、1ビットはそのグレイン内のデータがキャッシュ可能であることを示し、2ビット  $ap[1:0]$  はそのグレイン内のデータへアクセスするのにシステムがどの動作モードでなければならないかを指定するのに使用されるフラグである。データがキャッシュ可能であるかバッファ可能であることを示すフラグはメモリマネジメントユニットから直接出力される。フラグ  $ap[1:0]$  はモードデコーダ22へ送られてさらに処理される。

10

【0045】

モードデコーダ22は他にもいくつかのフラグ入力を受信する。チャンクデコーダ10からのチャンクアポート信号は特定アドレス  $va[31:0]$  がアドレス空間のリザーブされたチャンク内にあるかどうかを示す。フラグ  $spv$  はプロセッサが現在スーパーバイザモードで作動しているかどうかを示す。フラグ  $wNr$  はアクセスがリードアクセスであるかライトアクセスであるかを示す。フラグ  $s$  および  $r$  がコプロセッサにより設定されてモードデコーダ22への他方の入力の処理方法を修正する能力がユーザへ提供される。表2にモードデコーダ22への入力をモードデコーダからのアポート信号出力へマッピングする様子を示す。

20

【0046】

【表2】

30

ap [1:0]	s	r	許可		注記
			スーパーバイザ	ユーザ	
00	0	0	非アクセス	非アクセス	どのアクセスも許可 フォールトを発生する
00	1	0	リードオンリ	非アクセス	スーパーバイザリード オンリ許可
00	0	1	リードオンリ	リードオンリ	どのライトも許可フォ ールトを発生する
01	x	x	リード/ ライト	非アクセス	スーパーバイザモード でのみアクセス許可
10	x	x	リード/ ライト	リードオンリ	ユーザモードのライト により許可フォールト を生じる
11	x	x	リード/ ライト	リード/ ライト	全アクセスタイプが両 モードで許可される
xx	1	1	リザーブ		

10

20

30

## 【 0 0 4 7 】

表 2 にはチャックアポート信号は含まれない。このチャックアポート信号は他の入力から得られる結果と OR されて全体アポート信号出力が発生される。

40

## 【 0 0 4 8 】

グレインサイズを定義するチャックレジスタ 1 2 の内容がコプロセッサの制御の元で汎用システムデータバス C d a t a [ 3 1 : 0 ] を介して設定される。グレインサイズはシステム構成の機能でありパワーアップによるシステムの初期化時のみ設定すればよい。この機能を実施するコプロセッサを使用すれば主中央処理装置コアが誤動作中にこれらの値を改変する可能性が低減される。

## 【 0 0 4 9 】

これに対して、グレインレジスタ 2 0 に記憶されたアクセスコントロールパラメータは中央処理装置コアで実行されるプログラム命令によって変化し作動中にも変化することがあ

50

る。したがって、グレインレジスタ20内に記憶されるアクセスコントロールパラメータは中央処理装置コアの制御の元で汎用データバスCdata[31:0]を介して設定される。

【0050】

32ビットメモリアドレス内のビットを使用してグレインサイズを変える様子を図4に示す。例Aは1kバイトグレインの場合を示す。この場合、0-9ビットはグレイン内のアドレスを表す。13-10ビットはグレイン番号を表す、すなわち、図3のパレルシフタ16により選定され出力されるのは13-10ビットである。最上位3ビット、31-29ビット、はチャンク番号を表す。28-14ビットはそのグレインサイズを有する各チャンク内のグレイン外側のアドレス空間を表し未使用未保護アドレス空間である。この未使用未保護アドレス空間へアクセスしようとする試みは検出されアボートとなる。

10

【0051】

図4の例Bは1つのグレインが1Mバイトのサイズを有する場合に対応する。この場合、19-0ビットはグレインアドレスに対応し23-20ビットはグレイン番号に対応する。チャンク番号はやはり最上位3ビット、31-29ビット、により与えられる。

【0052】

例Cは256バイトのグレインサイズに対応する。この場合、7-0ビットがグレインアドレスに対応し、11-8ビットがグレイン番号に対応し31-29ビットがチャンク番号に対応する。

【0053】

最後に、例Dは4Mバイトのグレインサイズに対応する。この場合、グレインアドレスは21ビットから0ビットまでであり、グレインアドレスは25-22ビットの中にありチャンクアドレスはやはり31-29ビット中にある。4Mバイトのグレインサイズは本実施例でサポートされる最大サイズであるが(表1参照)、チャンク内のアドレス空間はまだ完全には充填されない。28-26ビットは未使用である。

20

【0054】

図5に図3の回路の動作を示す。この場合、それぞれ256バイト、1kバイト、4Mバイト、および256kバイトのグレインサイズを有するチャンク0, 2, 4, および6によりメモリが構成される。これはチャンクレジスタ12内に記憶されたさまざまな3ビットコードを反映している(表1参照)。

30

【0055】

本実施例において、アドレス400039BC(16進)へのアクセスが試みられる。このアドレス(va[31:29])の最上位3ビットは010である。これはChunk2に対応する。チャンクデコーダ10はこれらの3ビットをデコードして001の3ビットコードをグレインデコーダ14へ出力するチャンクレジスタ12の中の適切なレジスタへアクセスする。

【0056】

グレインデコーダ14は3ビットコード001をデコードしてメモリアドレスva[13:10]の4ビットに対応するビットラインをローとする。したがって、これらの4ビットが全アドレスva[31:0]から選別されパレルシフタ16の出力は4ビットグレイン番号1110を有するようになる。

40

【0057】

チャンクデコーダ10の前記アクションおよびグレインデコーダ14とパレルシフタ16の組合せアクションによりチャンク番号およびグレイン番号がレジスタセクタ18へ送られその(第2のチャンクに対応する)第2のバンクからレジスタ番号E(16進)が選出される。選定されたレジスタを黒で示す。次に選定されたグレインレジスタからの4つのアクセスコントロールパラメータが選定されたグレインレジスタから出力される。モードデコーダ22が選定されたグレインレジスタからの2ビットap[1:0]を受信し他の入力と共にデコードしてアボート信号を発生する。キャッシュ可能およびバッファ可能フラグは選定されたグレインレジスタから直接読み出される。

50

## 【 0 0 5 8 】

図 6 にメモリアドレス 0 0 0 0 0 9 1 9 ( 1 6 進 ) へのアクセスを示す。このアドレスは C h u n k 0 内にある。チャンクレジスタは C h u n k 0 に対する 3 ビットグレインサイズコード 0 0 0 を保持している。これはグレインデコーダ 1 4 によりデコードされてパレルシフト 1 6 が v a [ 1 1 : 8 ] ビットをグレイン番号として選定するようにされる。この場合、グレイン番号の 4 ビットは 1 0 0 1 である。レジスタセクタ 1 8 はチャンク仕様およびグレイン仕様に応答して第 1 バンクの 1 6 個のレジスタの中の C h u n k 0 に対応するレジスタ 9 を選定する。

## 【 0 0 5 9 】

図 7 にアドレス 8 3 0 C E 0 6 A へのアクセスを示す。このアドレスは C h u n k 4 内にある。C h u n k 4 は 4 M バイトのグレインサイズを有している。このグレインサイズはグレインデコーダ 1 4 へ送られる 3 ビットコード 1 1 1 により表される。グレインデコーダ 1 4 およびパレルシフト 1 6 はグレイン番号を表す 4 ビット v a [ 2 5 : 2 2 ] を一緒に選定する。これらのビットは 1 1 0 0 である。したがって、グレイン番号およびチャンクによりグレインレジスタ 2 0 の第 3 バンクからグレインレジスタ C ( 1 6 進 ) が選定される。

10

## 【 0 0 6 0 】

最後に、図 8 にアドレス C 0 0 7 8 A F 5 へのメモリアccessを示す。このアドレスは C h u n k 6 内にある。C h u n k 6 のグレインサイズは 2 5 6 k バイトである。したがって、グレイン番号は v a [ 2 1 : 1 8 ] ビット、すなわち 0 0 0 1、として選定される。1 グレイン以内ではしたがって、グレインレジスタ 2 0 の第 4 バンクが選定される。

20

## 【 0 0 6 1 】

図 9 に集積回路 2 4 を示す。集積回路 2 4 は中央処理装置コア 2 6、メモリマネジメントユニット 2 8、内部データキャッシュ 3 0、ライトバッファ 3 2 およびコプロセッサ 3 4 を含んでいる。これらの機能ユニットはデータバス C d a t a [ 3 1 : 0 ]、仮想アドレスバス v a [ 3 1 : 0 ] および物理的地址バス p a [ 3 1 : 0 ] により連結されている。中央処理装置コア 2 6 は仮想アドレス v a [ 3 1 : 0 ] をメモリマネジメントユニット 2 8 へ通す。メモリマネジメントユニットは図 3、図 5、図 6、図 7 および図 8 に関して検討したように仮想アドレス v a [ 3 1 : 0 ] を分析する。この分析に応答して、メモリマネジメントユニット 2 8 はキャッシュ可能信号 C、バッファ可能信号 B およびアポート信号 A を出力する。キャッシュ可能信号 C は内部データキャッシュ 3 0 へ通される。バッファ可能信号 B はライトバッファ 3 2 へ通される。3 つの信号は全て中央処理装置コア 2 6 へ通される。

30

## 【 0 0 6 2 】

コプロセッサ 3 4 はデータバス C d a t a [ 3 1 : 0 ] に接続されていて通常のコプレッシング機能を実施しさらに初期化されるとシステムのグレインサイズ指定コードをチャンクレジスタ 1 2 へ書き込むことができるようにされる。

## 【 0 0 6 3 】

図 3 に示すチャンクデコーダのチャンクアポート信号を発生するアクションにより実現されないチャンクへのメモリアccessの試みが検出されアポートされる。

40

## 【 0 0 6 4 】

メモリマネジメントユニット 2 8 は仮想アドレスの実アドレスへのマッピングも行う。

## 【 0 0 6 5 】

図 1 0 に有効チャンク内のグレインの最上位アドレスとそのチャンクの頂部間のメモリアドレスへのメモリアccessの試みを検出する機構を示す。このようなメモリアccessはグレイン番号の頂部とチャンク番号の底部間で少なくとも 1 つのビットがハイであるメモリアドレスへのアクセスに対応する。チャンク番号の底部は常に v a [ 2 8 ] ビットでありグレインアドレスの頂部は ( 2 5 6 バイトグレインに対する ) v a [ 1 2 ] ビットから ( 4 M バイトグレインに対する ) v a [ 2 6 ] ビットの間で 2 ビットステップ変化する。これらの任意のビットの設定を O R ゲート 3 6 により検出することができる。各ビットはブ

50

ランキング回路 38 を介して OR ゲート 36 へ送られる。現在検出されたグレインデコーダ 14 からのグレインサイズに回答して、これらの各ランキング回路 38 は 16 のグレイン内の有効なグレインアドレスビットに対応するビットの通過を阻止する。グレインアドレス空間の頂部よりも上のビットだけが OR ゲート 36 へ通すことを許される。これらのビットのいずれかが設定されると、アポート信号が発生される。このアポート信号はチャンクデコーダ 10 からのチャンクアポート信号およびモードデコーダ 22 からの任意のアポート信号と共に OR されて複合アポート信号が発生される。

【0066】

添付図を参照して本発明の実施例について詳細に説明してきたが、本発明はこれらの精密な実施例に限定はされず、当業者ならば特許請求の範囲に明記された本発明の範囲および精神を逸脱することなくさまざまな変更および修正が可能であると思われる。

【図面の簡単な説明】

【図 1】 32 ビットアドレス空間のメモリマップを示す図。

【図 2】 サイズの異なるサブセクションを有するアドレス空間のメインセクションを示す図。

【図 3】 メモリマネジメントユニットの一部を示す図。

【図 4】 サイズの異なるサブセクションに対するアドレス内のビット空間の配分を示す図。

【図 5】 サイズの異なるサブセクションを含むメインセクションを有する図 3 のシステムの動作を示す図。

【図 6】 サイズの異なるサブセクションを含むメインセクションを有する図 3 のシステムの動作を示す図。

【図 7】 サイズの異なるサブセクションを含むメインセクションを有する図 3 のシステムの動作を示す図。

【図 8】 サイズの異なるサブセクションを含むメインセクションを有する図 3 のシステムの動作を示す図。

【図 9】 メモリマネジメントユニットを含むさまざまな機能ユニットを有する集積回路を示す図。

【図 10】 メインセクション内の最上位サブセクションよりも上のアドレス空間のエリアへの有効なメモリアクセスの試みを検出する機構を示す図。

【符号の説明】

- 10 チャンクデコーダ
- 12 チャンクレジスタ
- 14 グレインデコーダ
- 16 バレルシフタ
- 18 レジスタセレクタ
- 20 グレインレジスタ
- 24 モードデコーダ
- 26 中央処理装置コア
- 28 メモリマネジメントユニット
- 30 内部データキャッシュ
- 32 ライトバッファ
- 34 コプロセッサ
- 36 OR ゲート
- 38 ブランキング回路

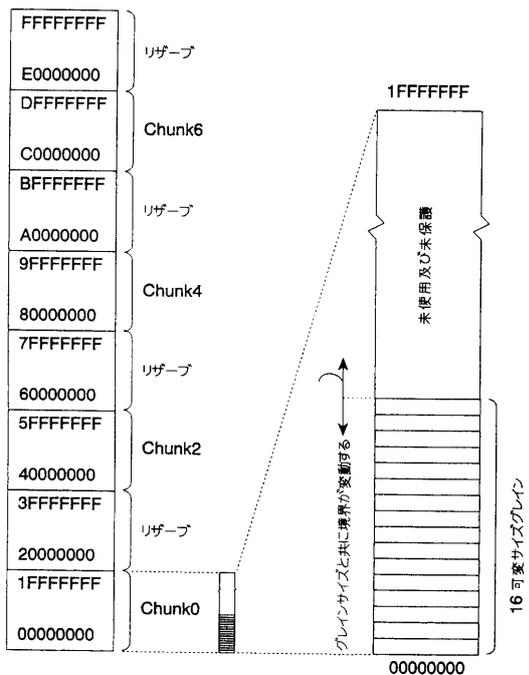
10

20

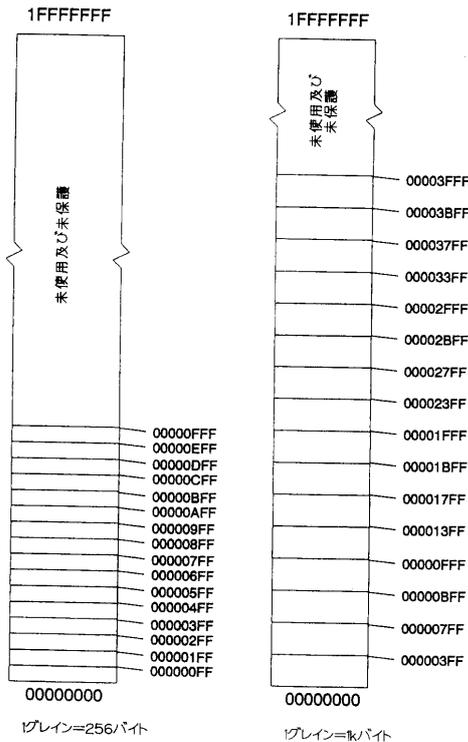
30

40

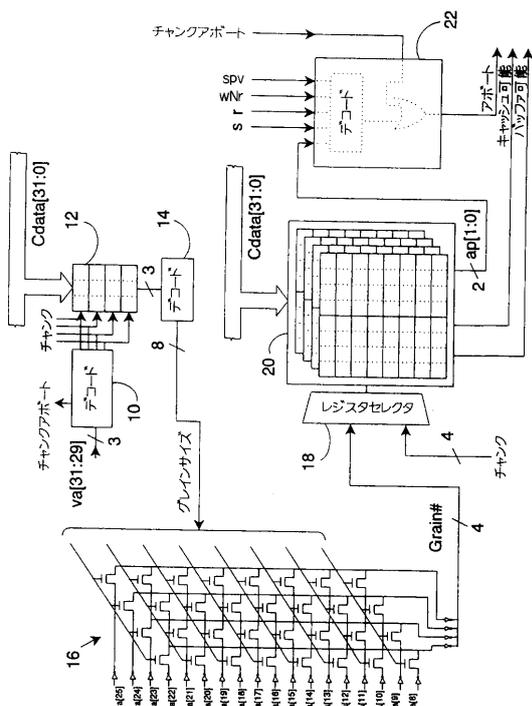
【 図 1 】



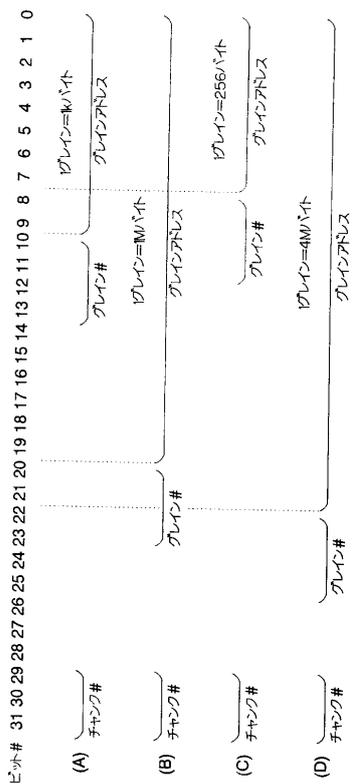
【 図 2 】



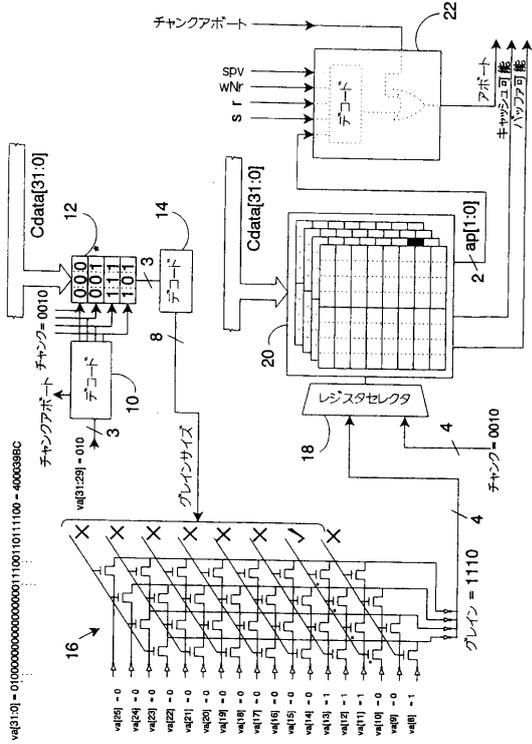
【 図 3 】



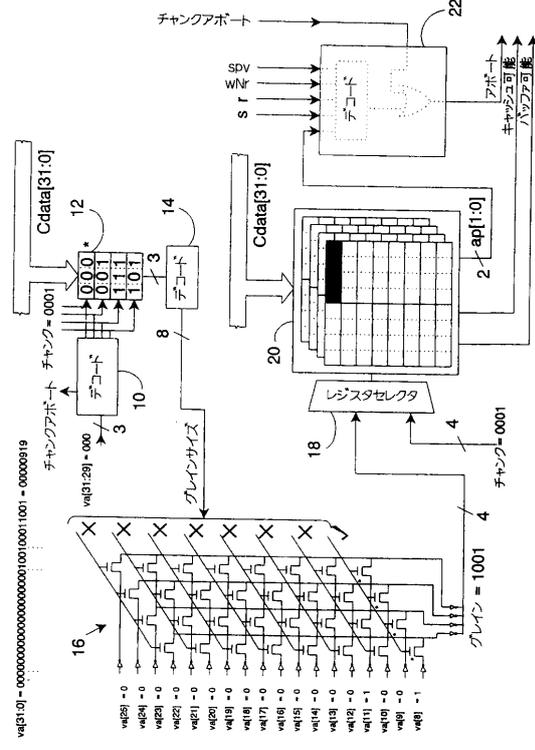
【 図 4 】



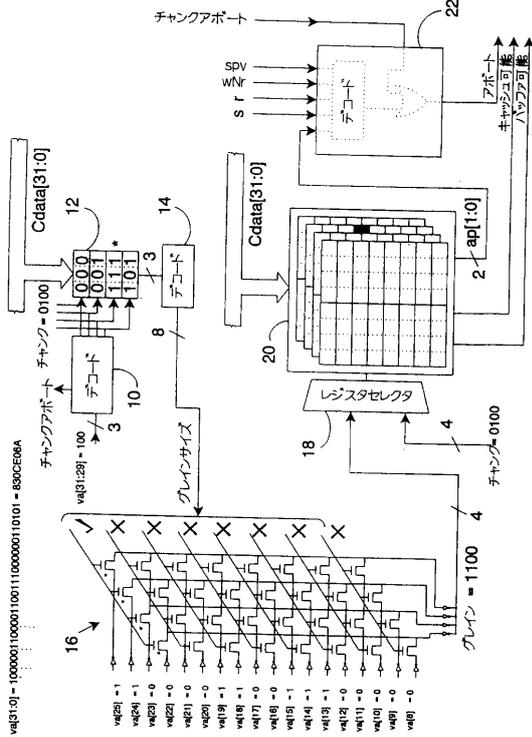
【 図 5 】



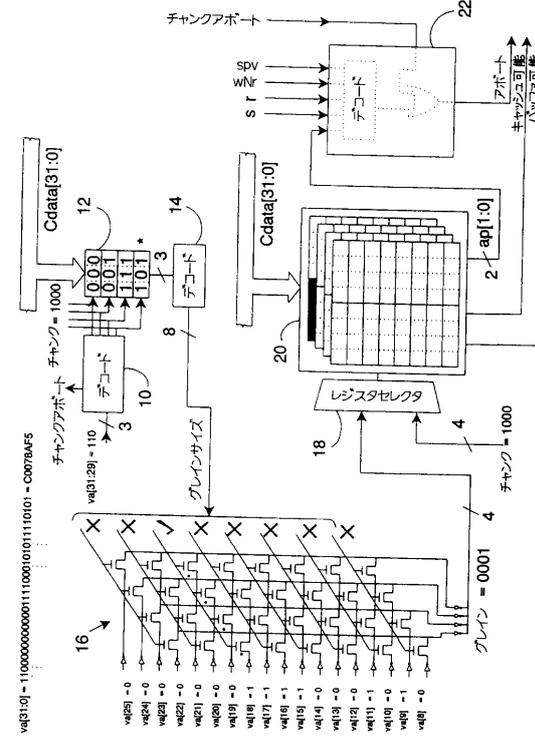
【 図 6 】



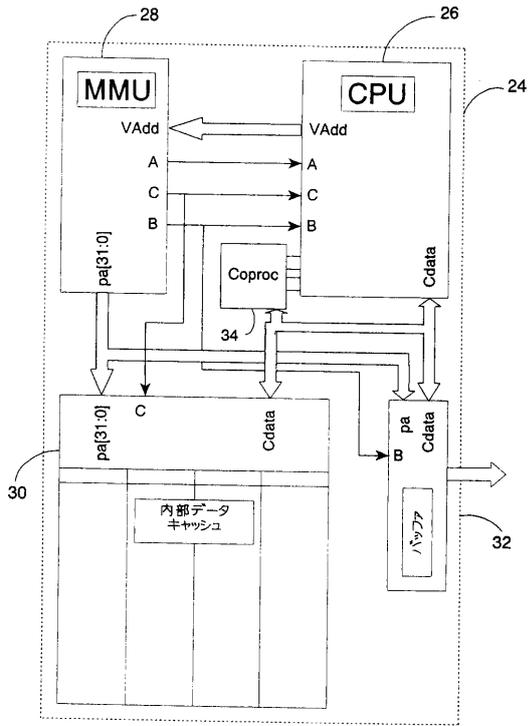
【 図 7 】



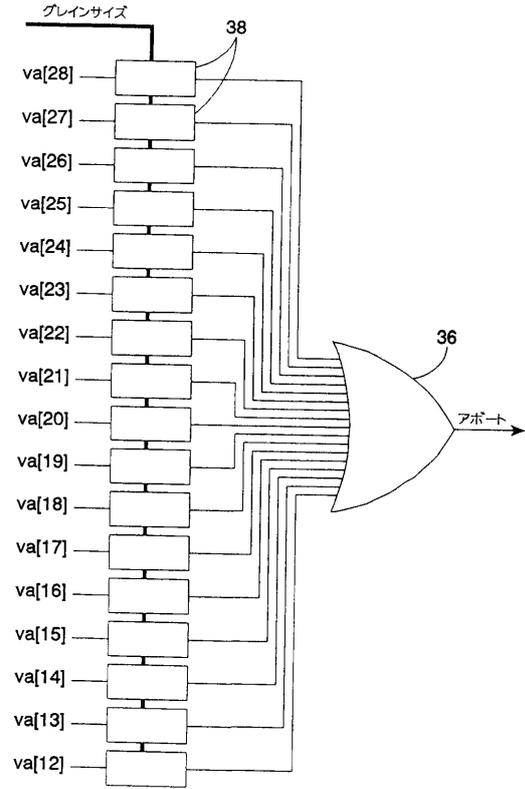
【 図 8 】



【 図 9 】



【 図 10 】



---

フロントページの続き

(72)発明者 サイモン チャールズ ワット  
イギリス国ケンブリッジ, サクソン ロード 14

審査官 堀江 義隆

(56)参考文献 特開平04 - 357544 (JP, A)  
特開昭63 - 206844 (JP, A)  
特開昭63 - 037445 (JP, A)  
特開平04 - 344549 (JP, A)  
特開昭63 - 289659 (JP, A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
G06F12/14  
G06F12/08-12/12