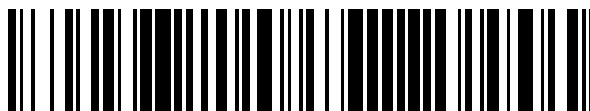


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 587 367**

51 Int. Cl.:

A61N 1/08 (2006.01)

A61N 1/36 (2006.01)

A61N 1/378 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **19.10.2006 PCT/US2006/060085**

87 Fecha y número de publicación internacional: **21.06.2007 WO07070727**

96 Fecha de presentación y número de la solicitud europea: **19.10.2006 E 06839475 (8)**

97 Fecha y número de publicación de la concesión europea: **25.05.2016 EP 1962950**

54 Título: **Técnicas para detectar y ajustar una tensión acordada en un dispositivo estimulador implantable**

30 Prioridad:

14.12.2005 US 305898

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

24.10.2016

73 Titular/es:

**BOSTON SCIENTIFIC NEUROMODULATION
CORPORATION (100.0%)
25155 RYE CANYON LOOP
VALENCIA, CA 91355, US**

72 Inventor/es:

**SHI, JESS, W.;
HE, YUPING;
DOAN, QUE y
PETERSON, DAVID, K.L.**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 587 367 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Técnicas para detectar y ajustar una tensión acordada en un dispositivo estimulador implantable

Campo de la invención

5 La presente invención se refiere en general a dispositivos estimuladores implantables, por ejemplo, un generador de pulsos usado en un sistema de Estimulación de Médula Espinal (SCS) u otro tipo de sistema de estimulación neuronal. Más particularmente, la presente invención se refiere a detectar y ajustar una tensión acordada usada mediante la fuente de corriente de salida/circuitería de sumidero para asegurar rendimiento de circuito apropiado mientras ahorra potencia.

Antecedentes

10 Los dispositivos de estimulación implantables son dispositivos que generan y entregan estímulos eléctricos a nervios y tejidos corporales para la terapia de diversos trastornos biológicos, tales como marcapasos para tratar arritmia cardíaca, desfibriladores para tratar fibrilación cardíaca, estimuladores cocleares para tratar la sordera, estimuladores retinales para tratar la ceguera, estimuladores musculares para producir el movimiento coordinado de las extremidades, estimuladores de la médula espinal para tratar dolor crónico, estimuladores corticales y del cerebro profundo para tratar trastornos motores y psicológicos, y otros estimuladores neuronales para tratar incontinencia urinaria, apnea del sueño, subluxación del hombro, etc. La presente invención puede hallar aplicabilidad en todas tales aplicaciones, aunque la descripción que sigue se centrará en general en el uso de la invención dentro de un sistema de estimulación de la médula espinal, tal como el desvelado en la Patente de Estados Unidos 6.516.227 ("la patente '227"), expedida el 4 de febrero de 2003 en el nombre de los inventores Paul Meadows y col.

15 La estimulación de la médula espinal es un procedimiento clínico bien aceptado para reducir el dolor en ciertas poblaciones de pacientes. Un sistema de Estimulación de Médula Espinal (SCS) típicamente incluye un Generador de Pulsos Implantable (IPG) o transmisor y receptor de Frecuencia de Radio (RF), electrodos, al menos un terminal de electrodo, y, opcionalmente, al menos una extensión de terminal de electrodo. Los electrodos, que residen en un extremo distal del terminal de electrodo, están implantados típicamente a lo largo de la dura de la médula espinal, y el IPG o el transmisor de RF genera pulsos eléctricos que se entregan a través de los electrodos a las fibras nerviosas en la columna espinal. Los contactos de electrodos individuales (los "electrodos") están dispuestos en un patrón deseado y espaciados para crear un conjunto de electrodos. Los alambres individuales en uno o más terminales de electrodos conectan con cada electrodo en el conjunto. El terminal o terminales de electrodo salen de la columna espinal y generalmente se unen a una o más extensiones de terminal de electrodo. Las extensiones de terminal de electrodo, a su vez, típicamente están tunelizadas alrededor del torso del paciente en un bolsillo subcutáneo donde está implantado el IPG o el receptor de RF. Como alternativa, el terminal de electrodo puede conectar directamente con el IPG o el receptor de RF. Para ejemplos de otros sistemas de SCS y otro sistema de estimulación, véanse las Patentes de Estados Unidos 3.646.940 y 3.822.708 Por supuesto, los generadores de pulsos implantables son dispositivos activos que requieren energía para operación, tal como se proporciona mediante una batería implantada o una fuente de alimentación externa.

20 Un IPG puede incluir una o más fuentes/sumideros de corriente de salida que están configurados para suministrar/recibir corriente estimulante a/desde los electrodos en el IPG, y finalmente a/desde el tejido del paciente. Por ejemplo, la Figura 1 muestra una fuente 500 de corriente de salida básica y un sumidero 501 de corriente de salida correspondiente usados para estimular tejido, ejemplificado genéricamente como una carga 505 (R). Como entenderá un experto en la materia, los transistores M1 y M3 en la fuente 500 de corriente de salida, y los transistores M2 y M4 en el sumidero 501 de corriente de salida, comprenden un espejo de corriente. Los espejos de corriente operan para reflejar una corriente de referencia, I_{ref} , en la etapa de salida de la fuente o sumidero de corriente, es decir, $I_{out} = I_{ref}$. La corriente de referencia I_{ref} puede escalarse también proporcionando números en paralelo (M) de transistores de salida (es decir, M1 y M2), de manera que $I_{out} = M * I_{ref}$. La selección de las diversas fuentes o sumideros de corriente se proporciona típicamente mediante los transistores 513 y 513' de selección. Como ya se ha mencionado, un IPG típicamente tiene varios electrodos, y las diversas fuentes y sumideros de corriente pueden controlarse para suministrar o drenar corriente a algún electrodo particular, E, ya que es eficaz para tratar a un paciente particular. Como se muestra en la Figura 1, la fuente 500 de corriente está conectada al electrodo de IPG E_x mientras que el sumidero de corriente está conectado al electrodo E_y .

25 Las fuentes y sumideros 500, 501 de corriente de salida como se pueden apreciar a partir de la Figura 1, están formados típicamente de transistores de diferentes polaridades. Por lo tanto, las fuentes 500 están formadas a partir de transistores de canal P, mientras que los sumideros 501 están formados a partir de transistores de canal N. Sin un análisis completo de la física de transistores, un experto en la materia reconocerá que el uso de transistores de tales polaridades es sensible, dado que las fuentes 500 están típicamente vinculadas a una tensión positiva ($V+$, denominada en el presente documento como la "tensión acordada"), mientras que las fuentes 501 están típicamente vinculadas a una tensión más negativa, tal como tierra. (Una "tensión de tierra" como se usa en el presente documento debería entenderse como cualquier tensión de referencia con respecto a la tensión acordada). (La conexión de sustrato (no mostrada) para los transistores estaría típicamente vinculada a la fuente de alimentación

apropiada, cualquiera de V+ o tierra, pero podría estar también vinculada a las fuentes de los transistores). Puesto que las fuentes y sumideros 500 y 501 de corriente son controlables digitalmente como se observará (por ejemplo, mediante los transistores 513, 513'), para producir corrientes de salida I_{out} de una amplitud deseada, tales fuentes y sumideros de corriente se denominan típicamente como circuitería de Convertidor de Digital a Analógico, o circuitería de "DAC". Más específicamente, en referencia a la polaridad de los transistores en cada uno, las fuentes 500 de corriente se denominan típicamente como "PDAC," mientras los sumideros 501 de corriente se denominan típicamente como "NDAC".

Pueden usarse diferentes arquitecturas de fuente/sumidero de salida en un IPG, y se muestran en las Figuras 2-4 respectivamente. La arquitectura mostrada en las Figuras 2A-2B se desvela en la Patente de Estados Unidos 6.181.969. Como se muestra en Figura 2A, en la arquitectura de la patente '969, cada electrodo E_x tiene su propia circuitería de PDAC y NDAC especializada, que permite al electrodo operar como una fuente de sumidero de corriente, o ninguna. Como se muestra, la PDAC (fuente de corriente) asociada con el electrodo E_2 está activa, mientras que el NDAC (sumidero de corriente) asociado con el electrodo E_3 está activo, produciendo por lo tanto la trayectoria de corriente mostrada. La Figura 2B muestra la circuitería de PDAC para un electrodo particular usable en la arquitectura de la Figura 2A. (Únicamente se muestra la circuitería de PDAC, pero un experto en la materia reconocerá que la circuitería de NDAC para un electrodo dado estaría formada de manera similar de dispositivos de canal N). Como se muestra, y como un experto en la materia apreciará, los transistores 513 de selección se usan para establecer digitalmente la amplitud de la corriente para suministrarse al electrodo E_x (es decir, el electrodo E_2 de la Figura 2A) desde I_{ref} a $127I_{ref}$ en incrementos de I_{ref} . Como se explica en detalle en la patente anteriormente mencionada '969, no se analiza adicionalmente.

La arquitectura de corriente de las Figuras 3A-3B se desvela en la Patente de Estados Unidos 6.516.227 anteriormente mencionada. Esta arquitectura es similar a la de las Figuras 2A-2B en que se proporciona un número de bloques de circuitería de fuente de corriente de PDAC discretos y bloques de circuitería de sumidero de corriente de NDAC. Sin embargo, las PDAC y los NDAC no están especializados a ningún electrodo particular, y en su lugar, cada PDAC y NDAC puede acoplarse a cualquier electrodo dado mediante una matriz de conmutación de baja impedancia, que en realidad contiene un número de conmutadores para conseguir esta tarea.

Se desvela otra arquitectura de suministro y drenaje de corriente en la Patente de Estados Unidos con N.º de Serie 11/177.503, presentada el 8 de julio de 2005, que se resume con respecto a las Figuras 4A-4C. En esta arquitectura, no hay una pluralidad discreta de bloques de circuito de PDAC y NDAC para dar servicio a los diversos electrodos. En su lugar, la circuitería de fuente y sumidero de corriente está distribuida eficazmente de manera que puede dar servicio a cualquiera de los electrodos. Por lo tanto, una corriente de referencia maestra I_{ref} (que puede escalarse desde otra corriente de referencia I_1 usando un DAC 407 como se muestra) se usa como la entrada a un número de espejos 410 de corriente escalables (Figura 4B). Uno cualquiera de los espejos 410 de corriente puede elegirse para participar en la corriente producida en un electrodo particular E_x mediante un bloque 405 de conmutación. Por lo tanto, existe un bloque 405 de conmutación asociado con cada espejo 410 de corriente, en el que cada bloque de conmutación tiene un conmutador S_x para permitir que la corriente desde el espejo de corriente asociado se pase a un electrodo particular E_x .

Independientemente de la arquitectura de fuente/sumidero de corriente usada, todas en general tienen características de trayectoria de salida de corriente similares. Es decir, y haciendo referencia de nuevo a la Figura 1, las trayectorias de salida de corriente en cada arquitectura comprenden, como mínimo, un transistor (o transistores si están paralelizados para ganancia de corriente) de salida de fuente de corriente (M1), un transistor de selección para controlar el flujo del transistor o transistores (513) de salida de espejo de corriente, la carga (R), un transistor o transistores de espejo de sumidero de corriente (M2), y un transistor de selección para controlar el flujo del transistor o transistores (513') de espejo de sumidero de corriente. Cada uno de estos elementos tiene alguna resistencia, y por lo tanto alguna cantidad de la tensión acordada, V+, se descartará a través de estos elementos cuando la corriente esté fluyendo para estimular la carga, R. Específicamente, la tensión acordada V+ será igual a $V_{DS1} + V_R + V_{DS2}$, donde V_{DS1} comprende la caída de tensión de drenaje a fuente a través del transistor o transistores de salida M1 y el transistor 513 de selección, V_{DS2} comprende la caída de tensión de drenaje a fuente a través del transistor o transistores de salida M2 y el transistor 513' de selección, y V_R equivale a la caída de tensión a través de la carga.

Obsérvese que los espejos de corriente M1/M3 y M2/M4 requieren que los transistores M1 y M2 operen en un modo de saturación, de manera que los canales de los transistores estén en "estricción". Cuando se está en modo de saturación, la corriente de salida I_{out} es proporcional a la tensión de puerta de los transistores M1 o M2, pero no depende de la tensión de drenaje para el primer orden. Sin embargo, para mantener los transistores M1 y M2 en el modo de saturación, tiene que satisfacerse una cierta tensión de drenaje a fuente, V_{DS} , para cada transistor. Específicamente, V_{DS} debe ser mayor que la tensión de puerta a fuente (V_{GS}) menos la tensión umbral (V_T) del transistor (es decir, $V_{DS} > V_{GS} - V_T$). Esta condición de saturación se satisface necesariamente puesto que $V_{DS} = V_{GS}$ mediante la conexión de puerta/drenaje común de los transistores M3 y M4. La tensión de drenaje a fuente mínima V_{DS} que satisface esta relación y permite que los transistores M1 y M2 operen en el modo de saturación está típicamente en el orden de un voltio.

Lo que esto significa en el contexto de la circuitería de corriente de salida de la Figura 1 es que el circuito puede operar apropiadamente a través de un intervalo de tensiones acordadas, V+. Por ejemplo, suponiendo que una

terapia adecuada para un paciente sugiere que debiera pasarse una corriente de $I_{out} = 5 \text{ mA}$ entre los electrodos E_x y E_y en el IPG. Suponiendo adicionalmente que la carga R equivale a 800 ohmios. Cuando la corriente de 5 mA se pasa a través de la carga, se creará una tensión $V_R = 4 \text{ V}$ a través de la carga ($V = I \cdot R$). Suponiendo adicionalmente por simplicidad que la tensión de drenaje a fuente mínima para mantener los transistores de salida M1 y M2 en saturación equivale a 1 V cuando se incluyen los efectos de los transistores 513, 513' de selección. (El valor real puede ser diferente, pero se elige como 1 V por facilidad de ilustración). Para proporcionar esta corriente, sería necesaria una tensión acordada mínima, $V+$ de al menos 6 V; si $V+ < 6 \text{ V}$, la circuitería no podría producir la cantidad de corriente deseada.

Sin embargo, la tensión acordada $V+$ podría ser superior a 6 V mientras produce aún la cantidad apropiada de corriente. Por ejemplo, suponiendo para el mismo ejemplo que la tensión acordada $V+$ es 8 V. En este caso, la circuitería aún puede proporcionar la corriente de 5 mA, y la carga (que no cambia) caerá aún a 4 V a esa corriente. Lo que esto significa es que el resto de la tensión acordada debe descartarse a través de los transistores de salida M1 y M2 así como sus transistores 513 y 513' de selección asociados, por ejemplo, 2 V si se coinciden la fuente y sumidero.

Sin embargo, hacer funcionar el circuito en este ejemplo con una tensión acordada de 8 V no es eficaz. Aunque el rendimiento del circuito es el mismo tanto a 6 V como 8 V, es decir, ambas son capaces de generar una corriente de 5 mA, el primero producirá únicamente 30 mW de potencia ($P = I \cdot V$), mientras que el último producirá 40 mW de potencia. En otras palabras, se descartan innecesariamente 10 mW de potencia a través de los transistores de salida M1, M2 y sus transistores 513 y 513' de selección. Este desperdicio de potencia es desafortunado en el contexto de un dispositivo médico implantable tal como un IPG. Como se ha indicado anteriormente, un IPG típicamente funciona a partir de una batería, y por lo tanto es importante minimizar la operación del circuito que drenaría innecesariamente de otra manera la batería y provocaría que el IPG dejase de funcionar, o requeriría innecesariamente que el paciente recargara más frecuentemente la batería.

Desafortunadamente, es difícil diseñar la tensión acordada a un nivel óptimo. Dependiendo de los electrodos estimulados, la magnitud de la corriente requerida para terapia eficaz para un paciente dado, y la resistencia de la carne del paciente, una tensión acordada óptima desde el punto de vista de conservación de potencia es variable.

Por consiguiente, la técnica del estimulador implantable, o más específicamente la técnica del sistema de IPG o SCS, se beneficiaría por las técnicas para detectar y ajustar la tensión acordada de una manera respetuosa de la potencia disponible para el dispositivo. Se proporcionan tales soluciones en el presente documento.

Sumario

Se desvela en el presente documento procedimientos y circuitería para detección y ajuste de tensión acordada en un dispositivo estimulador implantable. La presente invención se define en la reivindicación 1. Mide la tensión a través de (al menos) tanto la salida de las PDAC como de los NDAC implicados en suministrar y drenar la corriente de estimulación. Específicamente, las tensiones a través de los transistores de salida de las PDAC y NDAC activas implicadas durante la estimulación (y, preferentemente, sus transistores de selección) se miden durante la estimulación real, y posiblemente durante periodos inactivos también y como se analizará adicionalmente a continuación. Estas tensiones medidas se procesan de acuerdo con un algoritmo, donde se comparan a un intervalo de tensiones de banda de guarda permisibles para tanto las salidas de las PDAC como de los NDAC (por ejemplo, de 1,2 a 1,8 V para las salidas de NDAC, y de 1,5 a 2,1 V para las salidas de PDAC). Estos intervalos de tensión de banda de guarda comprenden un intervalo en el que se considera que los transistores de salida están apropiadamente en saturación, pero no excesivamente.

Si las tensiones medidas a través de la salida de la PDAC o el NDAC estuvieran fuera de la tensión de banda de guarda, la tensión acordada se cambia en consecuencia a un algoritmo desvelado para intentar proporcionar tales tensiones medidas en límites aceptables mientras se mantiene aún los NDAC y las PDAC equilibrados. En una realización preferida, la tensión acordada $V+$ empieza en un valor máximo (por ejemplo, 16,8 V), y se miden las tensiones de PDAC y NDAC. $V+$ se ajusta hacia abajo hasta que la tensión mínima a través de una NDAC activa ($\text{Min}(V_{NX})$) esté por debajo de una tensión de banda de guarda máxima para la salida de los NDAC, por ejemplo, 1,8 V. En general, $V+$ únicamente se reduce hasta que se alcance esta condición, aunque la tensión acordada puede aumentarse también ligeramente (si es posible) si $\text{Min}(V_{NX})$ cae por debajo de la tensión de banda de guarda mínima (por ejemplo, 1,2 V).

Suponiendo que $\text{Min}(V_{NX})$ esté en la banda de guarda de NDAC (es decir, entre 1,2 y 1,8 V), la tensión a través de las PDAC se mide de manera similar, y la tensión acordada potencialmente se reduce adicionalmente. Por lo tanto, si la tensión mínima a través de una PDAC activa ($\text{Min}(V_{PY})$) es mayor que una tensión de banda de guarda máxima para los transistores de salida de las PDAC, por ejemplo, 2,1 V, la tensión acordada se reduce hasta que $\text{Min}(V_{PY})$ esté por debajo de 2,1 V. Una vez que $\text{Min}(V_{PY})$ está en la banda de guarda de PDAC (es decir, entre 1,5 y 2,1 V), la tensión acordada $V+$ se considera óptima, ya que tanto la tensión de salida para la PDAC como el NDAC están en la tensión de banda de guarda, y por consiguiente se consideran que están en saturación, pero no excesivamente. Sin embargo, si $\text{Min}(V_{PY})$ está por debajo del valor de banda de guarda de PDAC mínimo, por ejemplo, 1,5 V, $V+$ puede aumentarse (si es posible) y, la tensión acordada $V+$ se considera óptima.

Durante este algoritmo, obsérvese que $V+$ puede reducirse si $\text{Min}(V_{PY})$ está por encima de 2,1 V, incluso cuando $\text{Min}(V_{NX})$ está por debajo de 1,8 V y de otra manera es óptimo. Aunque esto parecería que corre el riesgo de ajustar los NDAC fuera de alineación, obsérvese que $\text{Min}(V_{NX})$ está vinculada a (es decir, equilibrada con) $\text{Min}(V_{PY})$ mediante las características de corriente-tensión de ambos DAC. Puesto que las corrientes deben coincidir para los

- 5 NDAC y las PDAC, es difícil reducir $\text{Min}(V_{NX})$ significativamente por debajo del umbral de banda de guarda de NDAC mínimo (por ejemplo, 1,2 V) sin llevar también $\text{Min}(V_{PY})$ por debajo de la tensión de banda de guarda de PDAC mínima (por ejemplo, 1,5 V) y viceversa. Por lo tanto, debido a este equilibrio, la tensión acordada puede reducirse sin riesgo significativo de impactar el rendimiento del circuito, es decir, de manera que la circuitería no pueda producir una corriente óptima.
- 10 En una realización preferida adicional, las mediciones de tensiones de salida de NDAC y PDAC adicionales se hacen durante periodos en los que la estimulación real no tiene lugar para mejorar adicionalmente la precisión del algoritmo de ajuste de tensión acordada. Específicamente, así como midiendo las tensiones de salida de tanto los NDAC como las PDAC mientras están activas, es decir, durante estimulación real, la salida de cada NDAC y PDAC especificada se mide también mientras no está fluyendo corriente. Por lo tanto, se mide la tensión a través de cada
- 15 NDAC y PDAC durante un periodo de interfase, con todos los otros NDAC y PDAC especificados desconectados del circuito mediante la desactivación de sus transistores de selección. Esta medición de interfase no activa adicional proporciona una tensión de salida adicional específica para cada NDAC y PDAC, que, mientras en general es de 0 V, puede comprender una pequeña tensión (por ejemplo, 0,2 V). Cuando se usa esta medición adicional en el algoritmo, la medición de tensión de salida no activa para un NDAC o PDAC particular se resta de la medición de tensión de salida activa para ese NDAC o PDAC para llegar a una tensión de diferencia. Esta tensión de diferencia, que normalmente no varía significativamente de la medición de tensión de salida activa, se usa mediante el algoritmo, y su evaluación de las tensiones en la banda de guarda, etc., para mejorar adicionalmente la precisión del algoritmo.

Aunque tales mediciones no activas no son necesarias en todas las realizaciones útiles, y mientras únicamente puedan usarse las mediciones activas, las mediciones no activas, así como mejoran la precisión, son beneficiosas en que no se tienen en cuenta durante periodos de estimulación. Es decir, tales mediciones no activas no dan como resultado flujo de corriente significativo a través del paciente. Como resultado, tales mediciones no activas no son perceptibles por el paciente. Esto es beneficioso, puesto que las mediciones de optimización de tensión acordada de las mediciones preferentemente no implican estimulación de corriente de salida que no esté relacionada con

- 25 condiciones consideradas necesarias para la terapia del paciente. Por lo tanto, tales mediciones no activas adicionales pueden mejorar la precisión del ajuste de tensión acordada sin afectar un régimen de terapia prescrito por el IPG.

En resumen, a través del uso del algoritmo ejemplar desvelado, una tensión acordada óptima tiene en cuenta el equilibrio de los NDAC y las PDAC. El resultado es operación suficiente de la circuitería de PDAC y NDAC, con una tensión acordada tan baja como sea posible. Como se ha indicado anteriormente, el uso de la tensión acordada más baja ahora potencia en el IPG.

- 35

Breve descripción de los dibujos

Los anteriores y otros aspectos de la presente invención serán más evidentes a partir de la siguiente descripción más particular de los mismos, presentada en conjunto con los siguientes dibujos en los que:

- 40 La Figura 1 muestra una fuente de corriente de salida ejemplar y un sumidero de corriente de salida correspondiente que tiene cada uno circuitería de corriente de digital a analógico (DAC) en serie con una carga. Las Figuras 2A-2B muestran una arquitectura de la técnica anterior para acoplar fuentes y sumideros de corriente de salida a una pluralidad de electrodos usando circuitería especializada de cableado permanente en cada electrodo.
- 45 Las Figuras 3A-3B muestran una arquitectura de la técnica anterior para acoplar fuentes y sumideros de corriente de salida a una pluralidad de electrodos usando una matriz de conmutación. Las Figuras 4A-4C muestran una arquitectura de la técnica anterior para suministrar una corriente de drenaje a una pluralidad de electrodos usando circuitería de fuente de corriente y sumidero de corriente distribuida.
- 50 La Figura 5 muestra un diagrama de bloques que ilustra componentes implantables, externos y quirúrgicos ejemplares de un sistema de estimulación de médula espinal (SCS) que emplea un dispositivo estimulador implantable de acuerdo con la presente invención. La Figura 6 muestra diversos componentes del sistema de SCS de la Figura 5. Las Figuras 7A y 7B muestran el conjunto 110 de electrodos y la manera en la que está acoplado al dispositivo estimulador implantable en el sistema de SCS de las Figuras 5 y 6.
- 55 La Figura 8 muestra un diagrama de bloques que ilustra los componentes principales de una realización de un dispositivo estimulador implantable en el que puede usarse la invención. La Figura 9 muestra un diagrama de bloques que ilustra otra realización de un dispositivo estimulador implantable en el que puede usarse la invención.
- 60 La Figura 10 muestra una realización de circuitería usable en un dispositivo estimulador implantable para monitorizar las tensiones de salida a través de la fuente de corriente y circuitería de sumidero, y ajustar la tensión acordada en consecuencia, de acuerdo con una realización de la invención.

La Figura 11 muestra un ejemplo de diversos canales de temporización usables en un dispositivo estimulador implantable, y muestra si cada electrodo en un canal opera como una fuente o sumidero de corriente.

La Figura 12 muestra las características I-V de los transistores de salida en cualquiera de la fuente de corriente o circuitería de sumidero, y muestra un intervalo de tensión de banda de guarda óptimo en el que operan preferentemente los transistores de salida.

La Figura 13 muestra detalles adicionales de la circuitería de la Figura 10.

La Figura 14 muestra las fuentes y sumideros de corriente activa para un canal de temporización ejemplar y la red resistiva (es decir, carga) que estimula tal circuitería.

Las Figuras 15A-18B muestran la activación de la circuitería de fuente/sumidero de corriente para medir diversas tensiones de salida en la fuente de corriente y circuitería de sumidero de acuerdo con una realización de la invención.

Las Figuras 19 y 20 muestran respectivamente señales de temporización ejemplares indicativas de la operación de la circuitería de monitorización de tensión acordada de las Figuras 10 y 13 para los sumideros de corriente activa (NDAC) y fuentes de corriente (PDAC).

La Figura 21 muestra un diagrama de flujo que ilustra un algoritmo ejemplar para monitorizar y ajustar la tensión acordada de acuerdo con una realización de la invención.

Caracteres de referencia correspondientes indican componentes correspondientes a lo largo de las varias vistas de los dibujos.

Descripción detallada

La siguiente descripción es del mejor modo actualmente contemplado para llevar a cabo la invención. Esta descripción no se ha de tener en cuenta en un sentido limitante, sino que se hace simplemente para el fin de describir los principios generales de la invención. El alcance de la invención debería determinarse con referencia a las reivindicaciones.

Antes de analizar los aspectos de detección y ajuste de la tensión acordada de la invención, se expone por completitud la circuitería, estructura y función de un dispositivo estimulador implantable en el que puede usarse la técnica. El dispositivo estimulador implantable desvelado puede comprender el generador de pulsos implantable (IPG), o estimulador eléctrico similar y/o sensor eléctrico, que puede usarse como un componente de numerosos tipos diferentes de sistemas de estimulación. Más específicamente, la descripción que sigue se refiere al uso de la invención en un sistema de estimulación de médula espinal (SCS) como una realización ejemplar. Sin embargo, se ha de entender que la invención no está limitada de esta manera. En su lugar, la invención puede usarse con cualquier tipo de circuitería eléctrica implantable que pudiera beneficiarse de la monitorización y ajuste de tensión acordada mejorada. Por ejemplo, la presente invención puede usarse como parte de un marcapasos, una bomba implantable, un desfibrilador, un estimulador coclear, un estimulador retinal, un estimulador configurado para producir el movimiento coordinado de las extremidades, un estimulador cortical o del cerebro profundo, o en cualquier otro estimulador configurado para tratar incontinencia urinaria, apnea del sueño, subluxación del hombro, etc. Además, la técnica puede usarse en dispositivos o sistemas no médicos y/o no implantables también, tal como un dispositivo Estimulador de Nervios Eléctrico Transcutáneo (TENS).

Volviendo en primer lugar a la Figura 5, se muestra un diagrama de bloques que ilustra los diversos componentes de un sistema SCS ejemplar en el que puede usarse la invención. Estos componentes pueden subdividirse en tres amplias categorías: componentes 10 implantables, componentes 20 externos, y componentes 30 quirúrgicos. Como se observa en la Figura 5, los componentes 10 implantables incluyen un generador 100 de pulsos implantable (IPG), un conjunto 110 de electrodos, y (según sea necesario) una extensión 120 de terminal. La extensión 120 puede usarse para conectar eléctricamente el conjunto 110 de electrodos al IPG 100. En una realización ejemplar, el IPG 100, descrito más completamente a continuación, puede comprender un generador de pulsos recargable, multi-canal, controlado por telemetría alojado en una carcasa 116 de aleación de titanio de alta resistividad completa (Figura 7A) para reducir el calentamiento de corriente inducida durante el procedimiento de carga inductiva. El IPG 100 puede proporcionar estimulación eléctrica a través de una multiplicidad de electrodos, por ejemplo, dieciséis electrodos, incluidos en el conjunto 110 de electrodos, como se analiza adicionalmente a continuación con referencia a la Figuras 7A y 7B.

Típicamente, el IPG 100 se coloca en un bolsillo realizado quirúrgicamente en el abdomen, o justo en la parte superior de los glúteos. Puede implantarse también, por supuesto, en otras localizaciones del cuerpo del paciente. Una vez implantado, el IPG 100 está conectado de manera desmontable al sistema de terminal, que comprende la extensión 120 de terminal, si fuera necesaria, y el conjunto 110 de electrodos. La extensión 120 de terminal, por ejemplo, puede tunelizarse hasta la columna espinal. Una vez implantado y que cualquier periodo de estimulación de prueba esté completo, el sistema 110 de terminal y la extensión 120 de terminal pretenden ser permanentes. En contraste, el IPG 100 puede sustituirse cuando su fuente de alimentación falle o por otras razones.

Como se observa mejor en la Figura 6, y como se ilustra también en la Figura 5, el conjunto 110 de electrodos y su sistema de terminal asociado típicamente interconecta con el generador 100 de pulsos implantable (IPG) mediante el sistema 120 de extensión de terminal recién mencionado. El conjunto 110 de electrodos puede conectarse también a un estimulador 140 de prueba externo, a través del uso de una extensión 132 de terminal percutánea y/o un cable

134 externo. El estimulador 140 de prueba externo típicamente incluye la misma o similar circuitería de generación de pulsos como lo hace el IPG 100, y se usa en una base de prueba, por ejemplo, durante 7-10 días, después de que se ha implantado el conjunto de electrodos y antes de la implantación del IPG 100, para ensayar la efectividad de la estimulación que se ha de proporcionar.

5 Las Figuras 7A y 7B muestran el conjunto 110 de electrodos y la manera en la que está acoplado al IPG 100. Como se muestra, el conjunto 110 de electrodos comprende primeros y segundos terminales 102 y 104 implantables. Los terminales 102 y 104 son terminales en línea, que significa que ambos consisten en una pluralidad de electrodos 106 en línea. Los electrodos se llevan en un cuerpo 108 flexible. En la realización ilustrada, existen ocho electrodos en el terminal 102, etiquetados E_1 - E_8 , y ocho electrodos en el terminal 104, etiquetados E_9 - E_{16} . El número real de terminales y electrodos variará, por supuesto, de acuerdo con la aplicación pretendida y no debería entenderse en ningún sentido limitante. Como se ha analizado anteriormente, los terminales 102 y 104 pueden implantarse en una localización deseada, tal como adyacentes a la columna espinal del paciente, a través del uso de una aguja de inserción u otras técnicas convencionales.

15 Cada uno de los electrodos 106 en el terminal 102 está conectado eléctricamente al IPG 100 mediante un primer alambre 112 de señal que se extiende a través de, o está embebido en, el cuerpo 108 flexible asociado. De manera similar, cada uno de los electrodos 106 en el terminal 104 está eléctricamente conectado al IPG 100 mediante segundos alambres 114 de señal. Los alambres 112 y 114 de señal están conectados al IPG 100 por medio de una interfaz 115. La interfaz 115 puede ser cualquier dispositivo adecuado que permite a los terminales 102 y 104 (o una extensión 120 de terminal, no mostrada) conectarse de manera extraíble al IPG 110. La interfaz 115 puede comprender, por ejemplo, una disposición de conector electro-mecánica que incluye los conectores 117a y 117b de terminal (Figura 7A) configurados para coincidir con conectores correspondientes (únicamente se muestra el conector 119a) en los terminales 102 y 104. Como alternativa, los terminales 102 y 104 pueden compartir un único conector que coincide con un conector correspondiente en el IPG 100. Las disposiciones de conector ejemplares se desvelan en las Patentes de Estados Unidos N.º 6.609.029 y 6.741.892.

25 Haciendo referencia de nuevo a las Figuras 5 y 6, y como se ha indicado anteriormente, puede usarse un programador portátil (HHP) 202 para controlar el IPG 100 mediante un enlace 201 de comunicaciones no invasivo adecuado, por ejemplo, un enlace de RF. Tal control permite al IPG 100 conectarse o desconectarse, y generalmente permite que se establezcan parámetros de estimulación, por ejemplo, amplitud de pulso, achura y tasa por un paciente o profesional clínico dentro de límites prescritos. El HHP 202 puede enlazarse con el estimulador 140 de prueba externo a través de otro enlace 205', por ejemplo, un enlace de infrarrojos. La programación detallada del IPG 100 se consigue preferentemente a través del uso de un programador 204 del profesional clínico externo (CP) (Figura 5), que puede ser también portátil y que puede acoplarse al IPG 100 directamente mediante el enlace 201 o indirectamente a través del HHP 202. Un cargador 208 externo, acoplado de manera no invasiva con el IPG 100 a través del enlace 209, por ejemplo, un enlace inductivo, permite a la energía almacenada o puesta a disposición de otra manera al cargador 208 que se acople en la batería recargable alojada en el IPG 100.

Volviendo a continuación a la Figura 8, se muestra un diagrama de bloques que ilustra los componentes principales de una realización de un generador 100 de pulsos implantable (IPG) en el que pueden usarse las realizaciones de la invención. Como se observa en Figura 8, el IPG incluye un microcontrolador (μ C) 160 conectado a la circuitería 162 de memoria. El μ C 160 típicamente comprende un microprocesador y circuitería de lógica asociada, que en combinación con los circuitos 166 de lógica de control, la lógica 168 de temporizador, y un circuito 164 de oscilador y reloj, general las señales de control y estado necesarias para permitir al μ C 160 controlar la operación del IPG de acuerdo con un programa de operación seleccionado y parámetros de estimulación.

45 El programa de operación y los parámetros de estimulación están telemetrados al IPG 100, donde se reciben mediante la antena 250 (que puede incluir una bobina 170 y/u otros componentes de antena), se procesan, por ejemplo, mediante la circuitería 172 de telemetría de RF, y pueden almacenarse, por ejemplo, en la memoria 162. La circuitería 172 de telemetría de RF demodula la señal que recibe desde el HHP 202 o el CP 204 para recuperar el programa de operación y/o los parámetros de estimulación. Más específicamente, las señales recibidas mediante la antena 250 se pasan a través del conmutador 254 de transmisión/recepción a los amplificadores y filtros 258. Desde allí, las señales recibidas se demodulan (262) usando demodulación de Modulación por Desplazamiento de Frecuencia (FSK) por ejemplo, y los datos se envían a continuación al microcontrolador 160 para procesamiento y/o almacenamiento eventual. Cuando se usa la circuitería 172 de telemetría de RF para transmitir información al HHP 202 o al CP 204 para informar de alguna manera sobre su estado, el microcontrolador 160 envía datos relevantes a los controladores 256 de transmisión, donde la portadora se modula mediante los datos y se amplifica para transmisión. El conmutador 254 de transmisión/recepción se establecería a continuación para comunicar con los controladores 256 de transmisión, que a su vez controlan los datos a la antena 250 para que se difundan.

55 El microcontrolador 160 está acoplado adicionalmente a los circuitos 174 de monitorización mediante el bus 173. Los circuitos 174 de monitorización monitorizan el estado de los diversos nodos u otros puntos 175 a través de todo el IPG 100, por ejemplo, tensiones de fuente de alimentación, valores de corriente, temperatura, la impedancia de los electrodos conectados a los diversos electrodos $E_1 \dots E_N$, y similares. Los datos de información detectados a través del circuito 174 de monitorización pueden enviarse a una localización remota externa al IPG (por ejemplo, una localización no implantada) a través de la circuitería 172 de telemetría mediante la bobina 170. Se analizarán más

adelante detalles adicionales con respecto a la circuitería 174 de monitorización.

La potencia de operación para el IPG 100 puede obtenerse desde una fuente 180 de alimentación recargable, que puede comprender una batería de ion-litio o de polímeros de ion-litio, por ejemplo. La batería 180 recargable proporciona una tensión desregulada a los circuitos 182 de potencia. Los circuitos 182 de potencia, a su vez, generan las diversas tensiones 184, algunas de las cuales están reguladas y algunas de las cuales no, según sea necesario mediante los diversos circuitos localizados en el IPG 100. En una realización preferida, la batería 180 está cargada mediante un campo electromagnético creado mediante un cargador 208 portátil externo (Figura 5). Cuando se coloca cerca del IPG 100 (por ejemplo, a centímetros), un campo electromagnético que emana desde el cargador 208 portátil induce una corriente en la bobina 270 de carga (incluso a través de la piel del paciente). Esta corriente a continuación se rectifica y regula para cargar la batería 180. Asociado adicionalmente con la circuitería de carga está la circuitería 272 de telemetría de carga, que se usa por ejemplo mediante el IPG 100 para informar de vuelta al cargador 208 portátil cuando la batería está llena, y por lo tanto cuando el cargador portátil puede apagarse.

En una realización ejemplar, cualquiera de los N electrodos puede asignarse hasta k posibles grupos o "canales". En una realización preferida, k puede ser igual a cuatro. Además, cualquiera de los N electrodos puede operar, o incluirse en, cualquiera de los k canales. El canal identifica qué electrodos se seleccionan para suministrar o drenar de manera sincrónica corriente para crear un campo eléctrico en el tejido a estimular. Las amplitudes y polaridades de los electrodos en un canal pueden variar, por ejemplo, según se controla mediante el HHP 202 y/o el CP 204.

Por ejemplo, como se muestra en Figura 11, se definen cuatro canales, y representan grupos de electrodos que se activarán como cualquiera de fuentes o sumideros en un tiempo particular. Por lo tanto, en una primera temporización el canal A, los electrodos E_1 y E_4 actuarán como fuentes de corriente (indicado mediante el símbolo más), mientras los electrodos E_3 y E_5 actuarán como sumideros (indicado mediante el símbolo menos). Los electrodos sin ningún indicador en la Figura 11 no están activados y no participan en el suministro o drenaje de corriente. Diseñando diferentes canales de esta manera, la estimulación proporcionada al paciente puede variarse libremente con efecto terapéutico deseado. Obsérvese que el caso 116 (Figura 7A) del IPG 100 puede operar también como un electrodo que puede suministrar o drenar corriente. Esto permite al IPG operarse en cualquier número de modos diferentes, por ejemplo, un modo monopolar (un electrodo E_x activo con una carcasa activa), un modo bipolar (dos electrodos E_x activos), o un modo multipolar (más de dos electrodos E_x activos).

Finalmente, la agrupación de los electrodos en diferentes canales se gestiona mediante la lógica 166 de control (Figura 8), manejándose la temporización de la activación de los diversos electrodos en cada canal mediante la lógica 168 del temporizador. La lógica 166 de control, que recibe comandos desde el microcontrolador 160, establece adicionalmente la amplitud del pulso de corriente que se está suministrando o drenando a o desde un contacto de electrodo dado. Tal pulso de corriente puede programarse para uno de varios niveles de corriente discretos, por ejemplo, entre 0 a 10 mA en pasos de 0,1 mA. La anchura de pulso de los pulsos de corriente es preferentemente ajustable en incrementos convenientes, por ejemplo, desde 0 a 1 milisegundos (ms) en incrementos de 10 microsegundos (μ s). De manera similar, la tasa de pulso es preferentemente ajustable dentro de límites aceptables, por ejemplo, desde 0 a 1000 Hz. Otras características programables pueden incluir inicio lento/finalización atenuada, ciclo de estimulación a ráfagas (encendido para el tiempo X, apagado para el tiempo Y), y modos de detección de bucle abierto o cerrado.

Los pulsos de estimulación generados mediante el IPG 100 pueden estar equilibrados en carga. Esto significa que la cantidad de carga positiva asociada con un pulso de estímulo dado está compensada con una carga negativa igual y opuesta. El equilibrio de carga puede conseguirse a través de condensadores de acoplamiento C_x , que proporcionan una descarga de condensador pasiva que consigue la condición de carga equilibrada deseada. Como alternativa, pueden usarse pulsos bifásicos o multi-fásicos activos con fases positivas y negativas que están equilibradas para conseguir la condición equilibrada de carga necesaria.

Como se muestra en Figura 8, la mayoría de la circuitería incluida en el IPG 100 puede realizarse en un único circuito 190 integrado específico de la aplicación (ASIC). Esto permite que el tamaño global del IPG 100 sea bastante pequeño, y que se aloje fácilmente en una carcasa 116 herméticamente sellada adecuada (Figura 7A). El IPG 100 puede incluir taladros de interconexión para permitir que se haga individualmente el contacto eléctrico desde el interior de la carcasa herméticamente sellada con los N electrodos que forman parte del sistema de terminal fuera de la carcasa, como se ha analizado anteriormente con referencia a la Figura 7B.

Las características de telemetría del IPG 100 permiten que se compruebe el estado del IPG como se ha indicado anteriormente. Por ejemplo, cuando el HHP 202 y/o el CP 204 inician una sesión de programación con el IPG 100 (Figura 5), la capacidad de la batería se telemetra de modo que el programador externo puede calcular el tiempo estimado para recargar. Cualquier cambio realizado a los parámetros de estímulo de corriente se confirma a través de telemetría de vuelta, asegurando de esta manera que tales cambios se han recibido e implementado correctamente en el sistema de implantación. Además, tras la interrogación mediante el programador externo, todos los ajustes programables en el sistema 10 de implantación pueden cargarse a uno o más programadores externos.

Volviendo a continuación a la Figura 9, se ilustra un diagrama de bloques híbrido de una realización alternativa de un IPG 100' que puede usarse con la invención. El IPG 100' incluye tanto pastillas analógicas como digitales, o circuitos

integrados (CI), que pueden alojarse en una única carcasa herméticamente sellada completa que tiene, por ejemplo, un diámetro de aproximadamente 45 mm y un espesor máximo de aproximadamente 10 mm. Muchos de los circuitos contenidos en el IPG 100' son idénticos o similares a los circuitos contenidos en el IPG 100, mostrado en Figura 8. El IPG 100' incluye una pastilla de procesador, o chip, 160', un circuito 172' de telemetría de RF (típicamente realizado con componentes discretos), una bobina 270' de cargador, una batería 180' recargable, cargador de batería y circuitos 272', 182' de protección, circuitos 162' memoria (SEEPROM) y 163' (SRAM), un CI 191' digital, un CI 190' analógico y un conjunto de condensadores y conector 192' de cabezal.

El conjunto de condensadores y conector 192' de cabezal incluye dieciséis condensadores de desacoplamiento de salida, así como respectivos conectores de taladros de interconexión para conectar un lado de cada condensador de desacoplamiento a través de la carcasa herméticamente sellada a un conector al que el conjunto 110 de electrodos, o la extensión 120 de terminal, pueden conectarse de manera desconectable.

El procesador 160' puede realizarse con un circuito integrado específico de la aplicación (ASIC), campo de matriz de puertas programables (FPGA), o similares que comprende un dispositivo principal para comunicación y programación bi-direccional. El procesador 160' puede utilizar el núcleo 8086 (el 8086 es un microprocesador disponible comercialmente disponible de, por ejemplo, Intel), o un equivalente de baja potencia del mismo, SRAM u otra memoria, dos circuitos de interfaz de serie síncronos, una interfaz de EEPROM en serie, y un cargador 735 de arranque de ROM. La pastilla de procesador 160' puede incluir adicionalmente un circuito 164' oscilador de reloj eficaz, y (como se ha indicado anteriormente) circuitería de mezclador y modulador/demodulador que implementa el procedimiento de telemetría de RF QFAST. Un circuito 734 de convertidor de analógico a digital (A/D) también está residente en el procesador 160' para permitir la monitorización de diversas señales analógicas a nivel de sistema, impedancias, estado de regulador y tensión de batería. El procesador 160' incluye adicionalmente los enlaces de comunicación necesarios a otros ASIC individuales utilizados en el IPG 100'. El procesador 160', como todos los procesadores similares, opera de acuerdo con un programa que se almacena en sus circuitos de memoria.

El CI analógico (AIC) 190' puede comprender un ASIC que funciona como el circuito integrado principal que realiza varias tareas necesarias para la funcionalidad del IPG 100', que incluye proporcionar regulación de potencia, salida de estímulo, y medición y monitorización de impedancia. La circuitería 194' electrónica realiza la función de medición y monitorización de impedancia.

El CI 190' analógico puede incluir también la circuitería 186' de DAC de corriente de salida configurada para suministrar corriente a una carga, tal como un tejido, por ejemplo. La circuitería 186' de DAC de corriente de salida puede configurarse para entregar hasta 20 mA agregada y hasta 12,7 mA en un único canal en pasos de 0,1 mA. Sin embargo, se observará que la circuitería 186' de DAC de corriente de salida puede configurarse para entregar cualquier cantidad de corriente agregada y cualquier cantidad de corriente en un único canal, de acuerdo con una realización ejemplar.

Los reguladores para el IPG 100' suministran al procesador y al secuenciador digital con una tensión. Los circuitos de interfaz digital que residen en el CI 190' analógico se suministran de manera similar con una tensión. Un regulador programable suministra la tensión de operación para la circuitería 186' de DAC de corriente de salida. Los condensadores de acoplamiento C_x y electrodos E_x , así como la circuitería restante en el CI 186' analógico, pueden todos alojarse en la carcasa herméticamente sellada del IPG 100. Un perno de taladro de interconexión, que se incluye como parte del conector 192' de cabezal, permite que se realice la conexión eléctrica entre cada uno de los condensadores de acoplamiento C_N y los respectivos electrodos $E_1, E_2, E_3, \dots, E_{16}$.

El CI 191' digital (DigIC) funciona como la interfaz primaria entre el procesador 160' y la circuitería 186' de DAC de corriente de salida, y su función principal es proporcionar información de estímulo a la circuitería 186' de DAC de corriente de salida. El DigIC 191' por lo tanto controla y cambia los niveles de estímulo y secuencias cuando se solicita mediante el procesador 160'. En una realización ejemplar, el DigIC 191' comprende un circuito integrado específico de la aplicación digital (ASIC digital).

Con la estructura básica de un estimulador implantable entendida, el enfoque se desplaza ahora a una descripción detallada de las técnicas de detección y ajuste de tensión acordada que son el objetivo de esta divulgación.

Como se ha indicado anteriormente, la tensión acordada, V_+ , puede establecerse a diversos valores mientras muestra aún rendimiento de suministro/drenaje de corriente satisfactorio. Por lo tanto, los NDAC (sumideros de corriente) y las PDAC (fuentes de corriente) implicados en la estimulación de tejido pueden alimentarse mediante una tensión acordada que varía desde un valor mínimo (por debajo del cual la corriente será demasiado baja) a cualquier valor máximo que el IPG 100 pueda proporcionar. Dentro de este intervalo, puede proporcionarse la corriente de estimulación deseada por un régimen terapéutico particular. Sin embargo, aunque la tensión acordada V_+ puede variar a través de un intervalo de valores mientras muestra rendimiento satisfactorio, la potencia se perdería innecesariamente si la tensión acordada se estableciera a un valor que es demasiado alto. Específicamente, si la tensión acordada se establece demasiado alta, la tensión de drenaje a fuente (V_{DS}) a través de los transistores 502, 503 de salida (Figura 1) se aumenta innecesariamente por encima de los valores de saturación que se requieren para la operación de circuito apropiada. El resultado, como se ha indicado anteriormente, es potencia desperdiciada innecesariamente en el IPG 100, que reduce la vida de la batería.

Por consiguiente, la presente invención mide la tensión a través de (al menos) la salida de las PDAC y los NDAC implicados en suministrar y drenar la corriente de estimulación. En una realización preferida, la tensión a través de los transistores de selección de PDAC y NDAC así como los transistores de salida de PDAC y NDAC se incluye también en esta medición, aunque tal tensión adicional debido a los transistores de selección, aunque insignificante, puede ser relativamente pequeña. Estas tensiones se miden (al menos) durante la estimulación real, y se comparan a un intervalo de tensiones de banda de guarda permisibles para tanto las salidas de PDAC como de NDAC (por ejemplo, de 1,2 a 1,8 V para las salidas de NDAC, y de 1,5 a 2,1 V para las salidas de PDAC). Estos intervalos de tensión de banda de guarda comprenden un intervalo en el que se considera que los transistores de salida están apropiadamente en saturación, pero no excesivamente.

Si las tensiones medidas a través de la salida de las PDAC o NDAC estuvieran fuera de las tensiones de banda de guarda, la tensión acordada, $V+$, se cambia para intentar proporcionar tales tensiones medidas dentro de límites aceptables de acuerdo con un algoritmo explicado en mayor detalle a continuación. Sin embargo, antes de analizar este algoritmo, se analizan los detalles específicos de la circuitería usada para medir las tensiones de salida, empezando con la Figura 10. Para la mayor parte, la Figura 10 ilustra detalles adicionales de la circuitería 174 de monitorización de la Figura 8, que comprende (además de otros componentes) un circuito 605 de control de detección de tensión acordada, una matriz 143 de conmutación, al menos un sensor 600 de tensión, y un regulador 610 de tensión acordada. Alimentando a esta circuitería, y específicamente a la matriz 143 de conmutación, están las líneas L 175 asociadas con cada electrodo. En una arquitectura dada, más de un circuito de fuente de corriente o circuito de sumidero de corriente (por ejemplo, espejo de corriente) puede contribuir a la corriente en un electrodo particular. Sin embargo, por facilidad de ilustración, únicamente se muestra un circuito 500 de fuente y circuito 501 de sumidero en la Figura 10 por simplicidad.

Dado el punto de derivación de las líneas L 175, la tensión presente en las líneas es indicativa de la tensión de salida de la circuitería de fuente y de sumidero. Como se muestra, esta tensión de salida comprende la caída de tensión a través de tanto los transistores de salida de la circuitería 502, 503 de fuente como de sumidero (que como se ha indicado anteriormente, puede comprender una pluralidad de transistores en paralelo para escalar ganancia de corriente), y a través de los transistores 513, 513' de selección usados para seleccionar aquellos transistores de salida como que contribuyen a la corriente. En otras realizaciones, las líneas podrían colocarse entre los transistores 502 y 503 de salida y los transistores 513, 513' de selección, aunque esto no se considera beneficioso puesto que excluiría de monitorizar caídas de tensión realistas que tienen lugar a través de los transistores 513, 513' de selección. Las líneas 175 se usan en la detección de la tensión de salida. La tensión de salida a través del sumidero 501 de corriente (NDAC) en el electrodo E_Y comprende la tensión absoluta en la línea L_{NY} , que requiere un cálculo de diferencia ya que el NDAC está referenciado a tierra. En contraste, la tensión de salida a través de la fuente 500 de corriente (PDAC) en el electrodo E_X comprende la diferencia entre la tensión acordada, $V+$, y la tensión medida en la línea L_{PX} .

Las tensiones para las líneas 175 se proporcionan a una matriz 143 de conmutación. Como se ha indicado anteriormente, aunque únicamente se muestran dos líneas 175 por facilidad de ilustración en la Figura 10, pueden estar presentes muchas más líneas, dependiendo del número de electrodos presentes. En una realización, la matriz 143 de conmutación se usa para seleccionar la tensión en una línea, y para presentar esa tensión (L) al sensor 600 de tensión. Como puede observarse, los transistores 513, 513' de selección, la matriz 143 de conmutación, y el sensor 600 de tensión se controlan todos mediante una circuitería 605 de control de detección de tensión acordada mediante los buses 606, 607 y 608. Finalmente, el circuito 605 de detección de tensión acordada recibe señales desde el microcontrolador 160 (Figura 8), que informa a la circuitería 174 de control de cuándo y cómo las diversas mediciones se han de hacer coherentes con el algoritmo desvelado, como se explica en mayor detalle a continuación.

El sensor 600 de tensión, en una realización, emite una tensión analógica, "salida" al microcontrolador 160, que como se muestra contiene una interfaz 635 de analógico a digital (A/D). Esto permite al microcontrolador 160 entender y procesar digitalmente la tensión de salida, y de acuerdo con el algoritmo desvelado enviar señales de control a los reguladores 610 de tensión acordada, es decir, la circuitería que ajusta finalmente la tensión acordada, $V+$.

Como se ha indicado anteriormente, se prefiere en un circuito de fuente o de sumidero basado en espejo de corriente que los transistores 502, 503 de salida operan en saturación, pero no excesivamente, menos potencia se pierde innecesariamente. Por consiguiente, las realizaciones de la invención buscan ajustar la tensión acordada para mantener los transistores de salida en fuentes de corriente activas y sumideros en saturación. Esto no siempre es posible, reconociendo que la fuente de corriente y la circuitería de sumidero de corriente están conectadas en serie a través de la carga y por lo tanto actúan para "equilibrar" una a la otra, coherente con sus características de corriente-tensión. Si no puede conseguirse rendimiento de saturación perfecto tanto en la fuente como el sumidero, la tensión acordada se establecerá como un valor tan lógico como sea posible para asegurar el rendimiento de circuito apropiado con pérdida de potencia mínima.

La Figura 12 muestra las características de corriente-tensión para los transistores 502, 503 de salida observados en aislamiento. (Más precisamente, se muestra la curva I-V para los transistores 503 de salida de canal N en los sumideros 501; un experto entenderá que los transistores 502 de salida de canal P en las fuentes tendrían polaridad

opuesta como es típico en diseño de circuito CMOS). La curva I-V muestra una tensión de saturación, V_{sat} , por encima de la cual la tensión de drenaje a fuente, V_{ds} , es suficiente para provocar que el transistor opere en saturación. En una realización preferida, se desea que los transistores 502, 503 de salida operen en un intervalo de banda de guarda de tensión como se muestra. Aunque el límite inferior de la banda de guarda podría comprender V_{sat} , se prefiere elegir un valor de intervalo inferior ligeramente elevado para permitir margen y para tener en cuenta la caída de tensión normalmente pequeña a través de los transistores 513, 513' de selección que puede incluirse también en las tensiones de salida monitorizadas. El límite superior de la tensión de banda de guarda se elige para que no sea excesivo, y demarca un límite dentro del que los transistores de salida están en saturación, pero no excesivamente. En realizaciones preferidas, la tensión de banda de guarda para las fuentes de corriente (PDAC) varía desde 1,5 V a 2,1 V, mientras que la tensión de banda de guarda para los sumideros de corriente (NDAC) varía desde 1,2 V a 1,8 V. (Los valores inferiores para el NDAC reflejan que los transistores 502 de salida de canal N tendrían normalmente tensiones de saturación ligeramente inferiores que serían comparables a los transistores 502 de salida de canal P en la PDAC).

Como se ha analizado anteriormente, la Figura 11 muestra diversos canales de temporización usables mediante un IPG 100, y especifica qué electrodos de dispositivo han de actuar como fuentes y sumideros de corriente en un tiempo particular. El canal de temporización A se usa para ilustrar una realización de la invención para ajuste de tensión acordada. Como puede observarse, en el canal A, dos electrodos actúan como fuentes (E_1 y E_4), mientras que dos electrodos actúan como sumideros (E_3 y E_5). Como se ha analizado anteriormente, más o menos electrodos pueden actuar como fuentes o sumideros de corriente, aunque únicamente se ilustran dos de cada uno en el canal de temporización ejemplar A. Así configurados, el circuito representativo, que incluye la red 505 resistiva y que constituye el tejido del paciente, se muestra en la Figura 14 para el canal A. Como se apreciará, las diversas fuentes 500 y sumideros 501 pueden estar comprendidos de circuitería de PDAC o NDAC especializada a un electrodo particular en el IPG 100 (por ejemplo, las Figuras 2A y 2B), o podrían comprender otras arquitecturas como se ha analizado anteriormente (por ejemplo, las Figuras 3A a 4C).

Se muestran detalles adicionales de esta configuración de canal de temporización ejemplar, y las mediciones realizadas para monitorizar y ajustar finalmente la tensión acordada $V+$, y con respecto a Figuras 15A-18B. Obsérvese que en cualquiera de estas Figuras se muestran los transistores 502, 503 de salida, los transistores 513, 513' de selección, la red 505 resistiva, y las líneas L asociadas con cada electrodo. Las Figuras 15A, 16A, 17A, y 18A representan la configuración de la circuitería de fuente (PDAC) y de sumidero (NDAC) durante la entrega de pulsos de estimulación reales al paciente como se prescriben mediante el canal de temporización A y otros detalles específicos de estimulación (por ejemplo, anchura de pulso, amplitud, frecuencia, etc.). Por lo tanto, obsérvese en estas Figuras que todos las PDAC y NDAC están conectados al circuito, es decir, los transistores 513, 513' de selección están todos encendidos, como se indica mediante la flecha con cada transistor. Obsérvese también que en cada una de las Figuras 15A, 16A, 17A y 18A la tensión de salida de la circuitería de NDAC o PDAC en cada electrodo (V_{N3A} , V_{N5A} , V_{P1A} , V_{P4A}) se monitoriza mediante su línea correspondiente (L_3 , L_5 , L_1 , L_4), empezando en primer lugar con los NDAC (líneas L_3 , L_5) seguido por las PDAC (líneas L_1 , L_4).

Como se muestra, cada una de estas tensiones de salida (V_{N3A} , V_{N5A} , V_{P1A} , V_{P4A}) está monitorizada en serie, midiéndose la tensión de salida de L_3 durante una primera fase de estimulación, midiéndose la salida de L_5 durante una segunda fase de estimulación, etc. Sin embargo, aunque la monitorización en serie es una necesidad en las realizaciones que tienen únicamente un sensor 600 de tensión (Figura 10), debería observarse que estas tensiones de salida pueden monitorizarse también en paralelo. Por lo tanto, si se supone que cuatro PDAC pueden actuar como fuentes de corriente y cuatro NDAC pueden actuar como sumideros de corriente durante un canal de temporización, entonces podría permitirse que ocho sensores 600 de tensión (no mostrados) detectarían simultáneamente todas las tensiones. En un caso de este tipo, el bus 607 podría activar la matriz 143 de conmutación para pasar simultáneamente estas ocho tensiones a los ocho sensores 600 de tensión diferentes.

En cualquier caso, y como se ha indicado anteriormente, estas tensiones de salida de NDAC y PDAC como se derivan mediante las líneas 175 se pasan mediante la matriz 143 de conmutación al sensor 600 de tensión, para lo que se muestran detalles adicionales en la Figura 13. En una realización preferida, la tensión en cualquier línea elegida particular L se deduce enviando esa tensión a un amplificador 625 de diferencia. Como es común con tales amplificadores de diferencia, se emite también una tensión de referencia V_{ref} . La tensión de referencia V_{ref} se mantiene mediante el generador 615 de tensión de referencia, que puede comprender un circuito de referencia de hueco de banda de 1,2 V por ejemplo. El generador 615 de tensión de referencia está controlado por el bus 614 pasado desde el control 605 disponible para permitir que se genere una tensión de referencia apropiada con un valor apropiado y en un tiempo apropiado.

Finalmente, la tensión diferencial (Salida; Figuras 10, 13) se envía a la interfaz 635 de A/D del microcontrolador 160. En este sentido, la señal "Salida" puede ser un valor relativo representativo de las tensiones de salida a través de los NDAC y PDAC, pero puede no comprender el valor real de estas tensiones de salida. En su lugar, el valor real de las caídas de tensión de salida puede calcularse en el microcontrolador 160, que por ejemplo puede desproveer las tensiones de salida reales restando los efectos de la tensión de referencia, V_{ref} ; comparando tales tensiones a la tensión acordada actualmente establecida, $V+$, etc. En otras palabras, la señal "Salida" necesita simplemente informar al microcontrolador 160 de un valor desde el cual el microcontrolador puede deducir la tensión de salida a través de la circuitería de fuente y sumidero de corriente. Por supuesto, la detección de tensión de salida puede

tener lugar de muchas maneras diferentes, y como apreciará un experto en la materia. Por ejemplo, aunque en una realización preferida la detección tiene lugar con relación a una tensión de referencia, V_{ref} , la detección podría tener lugar también con relación a la tensión acordada, $V+$, tierra, o cualquier otra tensión. En resumen, lo que es importante es que se detecten las tensiones de salida en las líneas L 175; la manera en la que esto tenga lugar específicamente no es importante.

Las Figuras 19 y 20 muestran respectivamente una realización de cómo pueden deducirse estas tensiones de salida para tanto los NDAC (Figura 19) como las PDAC (Figura 20). En ambas Figuras, los tres trazados superiores representan señales indicativas de la operación del IPG y de la circuitería de detección de tensión acordada. La primera señal indica cuándo está teniendo lugar la estimulación activa en el IPG 100. Como se muestra en este ejemplo, ese periodo es de 260 microsegundos, pero esta duración puede variar dependiendo de la frecuencia y duración de los pulsos de estimulación especificados para una terapia del paciente dada, como se explica adicionalmente a continuación. Después de la fase de estimulación activa, es decir, empezando en 260 microsegundos, el IPG entra en un periodo de "interfase" durante el cual no tiene lugar estimulación. (El periodo de interfase, y cómo puede usarse en monitorización de tensión y ajuste de tensión acordada, se explicará en mayor detalle a continuación).

El segundo trazado mostrado en las Figuras 19 y 20 comprende una señal de control que dicta cuándo se monitorizan las tensiones de salida durante la fase de estimulación activa. Esta segunda señal de trazado, denominada "muestra durante activado", comprendería que se enviaran una o más señales de control mediante la circuitería 605 de control de detección de tensión acordada (véanse las Figuras 10 y 13). Como se muestra, la señal de muestra durante activado comprende una señal de configuración/muestra. Específicamente, en el límite ascendente, la tensión de salida se permite que pase al sensor 600 de tensión, por ejemplo, permitiendo que las tensiones en las líneas 175 pasen a través de la matriz 143 de conmutación (véanse las Figuras 10 y 13). El límite descendente de la señal de muestra durante activado, en contraste, muestreó realmente la tensión de salida en el sensor 600 de tensión. En la realización particular ilustrada, este tipo de esquema de configuración/muestra es beneficioso para permitir que las tensiones de salida se establezcan e incrementen a niveles apropiados. Esto es necesario cuando se considera el tiempo de establecimiento y la capacitancia del circuito de detección de tensión, como se analizará en mayor detalle a continuación. Tal establecimiento de tensión puede observarse en el cuarto y quinto trazados, que muestran respectivamente la tensión de salida a través del NDAC (Figura 19) y la PDAC (Figura 20), y estas tensiones como entrada al sensor 600 de tensión. Como puede observarse, permitiendo que se estabilicen las tensiones pasadas, pueden muestrearse a valores estables, fiables.

En la realización mostrada en las Figuras 19 y 20, la configuración y muestreo tiene lugar hacia el final del periodo de estimulación activo, es decir, en 240 y 259 microsegundos respectivamente. La configuración y muestreo es beneficiosa hacia el final del pulso de estimulación, de nuevo, para permitir el establecimiento y estabilización de la circuitería durante la estimulación. Por ejemplo, los condensadores de acoplamiento, C_x , se cargan durante el periodo de estimulación activo, de manera que la tensión a través de ellos es la mayor en el final del pulso de estimulación activo. Por lo tanto, es preferible que el muestreo tenga lugar hacia el final del periodo de estimulación activo, ya que esto permite que la detección de tensión acordada se tenga en cuenta para cualquier tensión de condensador de acoplamiento de este tipo. Además, puesto que la tensión acordada $V+$ puede caer durante la estimulación activa, el muestreo cerca del final de la estimulación activa es beneficioso además ya que este considerará una caída de este tipo cuando esté en su máximo. Adicionalmente, la detección cerca del final de la estimulación permite también que se cree la tensión de polarización en la interfaz de electrodo-tejido para tenerse en cuenta.

Por supuesto, la configuración y muestreo de las tensiones de salida a través de los NDAC y las PDAC puede tener lugar de muchas maneras diferentes, y serán específicos de la implementación. Por lo tanto, al igual que el sensor 600 de tensión puede implementarse en varias maneras diferentes, el muestreo de la tensión también dependerá de la implementación usada. En resumen, las señales de muestreo y de control como se muestran en la Figura 19 y 20 deberían entenderse como meramente ejemplares de una realización. De nuevo, el asunto importante es que la tensión de salida a través de los NDAC y PDAC puede monitorizarse a tiempos lógicos por lo que estos valores pueden pasarse y procesarse mediante el algoritmo de ajuste de la tensión acordada para analizarse brevemente.

Antes de analizar este algoritmo, se analiza una realización alternativa para medir la tensión de salida a través de los NDAC y PDAC. En esta variación, no se mide únicamente la tensión de salida durante la estimulación, sino que se mide la tensión de salida durante periodos de no estimulación también. Específicamente, en una realización preferida, la tensión de salida se mide durante el periodo interfase, es decir, durante un periodo entre pulsos de estimulación activos. Tales mediciones se muestran en las Figuras 15B, 16B, 17B, y 18B. Como se observa en estas Figuras, la tensión en la línea de interés para cada NDAC y PDAC activo en un canal de temporización dado se monitoriza mientras que todos los otros DAC están desconectados. Por ejemplo, en la Figura 15B, se mide la tensión a través del primer NDAC, que corresponde al electrodo E_3 , (V_{N3B}), y por lo tanto su transistor de selección, $513_3'$, está encendido. En contraste, todos los otros DAC están apagados, es decir, los transistores 513_1 , 513_4 , y $513_5'$ de selección están apagados. Como resultado, fluirá corriente mínima o ninguna a través de la red 505 resistiva que comprende la carne del paciente, ya que la trayectoria entre la tensión acordada, $V+$, y tierra se interrumpe. Sin embargo, incluso aunque el NDAC en el electrodo E_3 esté desconectado de la tensión acordada, $V+$, alguna tensión de salida residual puede estar presente en la línea L_3 mediante ese NDAC que está encendido de

otra manera.

Esta medición de tensión de salida de interfase puede usarse para mejorar la precisión de la tensión de salida según se procesa mediante el microcontrolador 160, y finalmente según se considera mediante el algoritmo de ajuste de tensión acordada. Preferentemente, la medición de tensión de salida de interfase (de nuevo, generalmente despreciable pero potencialmente significativa en valor) se resta de la medición de estimulación activa en cualquier DAC particular. Por lo tanto, obsérvese que en las Figuras 15A y 15B esas mediciones activas (A) y de interfase (B) se realizan en el electrodo E_3 , que están designadas como V_{N3A} y V_{N3B} , y de manera análoga para los otros DAC en las Figuras 16, 17 y 18. El resultado en este ejemplo son ocho mediciones de tensión de salida: V_{N3A} , V_{N5A} , V_{P1A} , V_{P4A} para las mediciones activas, y V_{N3B} , V_{N5B} , V_{P1B} , V_{P4B} para las mediciones de interfase.

Para mejorar la precisión de las tensiones de salida para los DAC a procesarse mediante el algoritmo de ajuste de tensión acordada, estas mediciones activas y de interfase de salida se restan preferentemente para cada DAC. Por lo tanto, en una realización preferida, la tensión de salida a través del DAC en el electrodo E_3 a enviarse al algoritmo de tensión de ajuste acordada comprendería $V_{N3A}-V_{N3B}$. Haciendo esto, puede mejorarse la evaluación de la región de operación (saturación) de los transistores de salida en el DAC, ya que las tensiones residuales debido al propio DAC activo, así como las caídas de tensión resultantes de los transistores 513, 513' de selección pueden corregirse fuera de la medición de tensión de salida.

Tomando la medición de tensión de salida de interfase se muestra de nuevo con referencia una vez más a las Figuras 19 y 20. Específicamente, el tercer trazado, denominado "muestra durante interfase", comprende una señal de control que dicta cuándo se monitorizan las tensiones de salida durante el periodo de interfase. Esta tercera señal de control es similar a la segunda señal de control (muestra durante activado) analizada anteriormente, y comprende una señal de configuración/muestra. Específicamente, después de configurar, el límite descendente realmente muestra la entrada al sensor de tensión, que de nuevo requiere algún tiempo para estabilizarse desde su valor activo. En el ejemplo mostrado en las Figuras 19 y 20, tal muestreo tiene lugar a 279 microsegundos, es decir, 19 microsegundos en el periodo de interfase, pero de nuevo estos esquemas de tiempos y detección pueden variar y son dependientes de la implementación. El asunto importante, debiera usarse una medición de interfase para complementar la medición activa, es tomar la medición en un tiempo sensible coherente con la implementación elegida, y esto puede tener lugar en diferentes maneras y con diferentes temporizaciones.

Debería observarse que aunque la monitorización de las tensiones de salida de interfase puede ser beneficiosa por las razones recién explicadas, el uso de tales mediciones de interfase no se requiere en todas las realizaciones útiles. En su lugar, únicamente pueden usarse las mediciones de fase activa (es decir, aquellas ilustradas en las Figuras 15A, 16A, 17A, y 18A). Como se ha observado anteriormente, aquellas mediciones de tensión de salida activas pueden realizarse simultáneamente. En contraste, si se realizaran las mediciones de interfase que miden la tensión de salida inactiva a través de cada DAC, tales mediciones necesitarían realizarse en serie, es decir, durante periodos de interfase secuenciales.

En una realización preferida, las mediciones de tensión de salida para cada electrodo activo especificado en un canal de temporización particular se toman secuencialmente, y en el orden especificado en las Figuras 15A-18B. Por lo tanto, los electrodos de drenaje se miden en primer lugar: por lo tanto la circuitería de NDAC asociada con el electrodo E_3 se mide en primer lugar durante la estimulación durante activado (Figura 15A), seguido por la medición de interfase (inactiva) para E_3 (Figura 15B), seguido más tarde por las mismas mediciones para E_5 (Figura 16A y B), etc. La tensión acordada puede ajustarse entonces como se especifica con respecto a la Figura 21 a continuación. Entonces, los electrodos de suministro se miden de manera similar en serie (Figuras 17A-18B).

Puesto que las mediciones se realizan en el contexto de terapia prescrita real, la temporización de las señales de monitorización es preferentemente ajustable. En este sentido, es particularmente importante considerar la frecuencia y duración de los pulsos de estimulación prescritos de modo que las mediciones de configuración/de muestra se "adaptan" apropiadamente a los pulsos de estimulación y a los periodos de interfase entre ellos. Por ejemplo, aunque la temporización de las señales para el ejemplo mostrado en las Figuras 19 y 20 sería apropiada para una frecuencia, una frecuencia superior requeriría temporización más estrecha.

Además, entre cada pulso de estimulación, y como es común en estimuladores implantables, puede seguir una fase de recuperación de carga. Como es conocido, un periodo de recuperación de este tipo podría comprender realizar pulsos para recuperar la carga pasada en la carga, es decir, el tejido 505. Normalmente, tal recuperación es bifásica, y se implementa mediante pulsos de recuperación de igual magnitud y duración para los pulsos activos pero de polaridad opuesta. La recuperación de carga puede conseguirse también de manera pasiva, como es conocido. Tal recuperación de carga no se muestra en las Figuras por simplicidad, pero sería una consideración en una realización de la invención. Además, debería observarse que las tensiones de salida de DAC pueden medirse durante recuperación de carga, pero de nuevo esto no se analiza adicionalmente por simplicidad.

Ahora que se han descrito los diversos medios para monitorizar la tensión de salida de los DAC, la atención vuelve a cómo se usan, algorítmicamente, estos valores para ajustar la tensión acordada a un valor eficaz. Como se muestra en la Figura 21, el algoritmo empieza obteniendo en primer lugar todas las tensiones de salida relevantes para los NDAC (V_{N1} , V_{N2} , ... V_{NX}) para un canal de temporización dado tal como se ha descrito. Debería entenderse que estas

tensiones de salida pueden comprender únicamente las mediciones tomadas durante estimulación activa (por ejemplo, V_{N3A} a partir de la Figura 15A), o la tensión calculada como la diferencia entre las mediciones activa y de interfase (por ejemplo, $V_{N3A} - V_{N3B}$ a partir de las Figuras 15A y 15B). Normalmente, el algoritmo empezaría con la tensión acordada, $V+$ a su máximo valor (por ejemplo, 16,8 V), pero podría empezar a un valor menor.

5 A continuación, se determina la tensión de salida mínima para los NDAC ($\text{Min}(V_{NX})$). Esta tensión de salida mínima sugeriría el NDAC más en riesgo para estar en sub-saturación, y por lo tanto en esta realización del algoritmo se considera el más eficaz de rastrear. Por consiguiente, el algoritmo a continuación pregunta cómo se compara ese valor mínimo con relación a las tensiones de intervalo de guarda para los NDAC. Esencialmente, si $\text{Min}(V_{NX})$ es superior a la tensión de banda de guarda máxima para los NDAC (por ejemplo, 1,8 V), la tensión acordada $V+$ se reduce, puesto que puede inferirse que todos los NDAC están en este punto operando con tensiones de salida que son demasiado altas para ser óptimas desde un punto de vista de consumo de potencia. Como se muestra, para facilitar la naturaleza iterativa del algoritmo, el alcance al cual se reduce la tensión acordada $V+$ se escala con el alcance al cual $\text{Min}(V_{NX})$ supera la tensión de banda de guarda superior para los NDAC. Por lo tanto, si $\text{Min}(V_{NX})$ está muy por encima de la banda de guarda (por ejemplo, $\text{Min}(V_{NX}) > 4,8$ V) la tensión acordada se reduce en una cantidad grande (por ejemplo, 3,0 V), pero si está escasamente por encima de la banda de guarda ($1,8 \text{ V} < \text{Min}(V_{NX}) < 2,4$ V) la tensión acordada se reduce en una cantidad pequeña (por ejemplo, 0,6 V).

Eventualmente, a medida que se reduce la tensión acordada $V+$, la caída de tensión mínima a través de los NDAC, $\text{Min}(V_{NX})$, estarán dentro del alcance de banda de guarda (por ejemplo, entre 1,2 V y 1,8 V), y las PDAC pueden a continuación evaluarse. Sin embargo, si $\text{Min}(V_{NX})$ cayera por debajo de la tensión de banda de guarda mínima (por ejemplo, 1,2 V), la tensión acordada puede aumentarse en un incremento (por ejemplo, 0,6 V antes de la evaluación de las PDAC. Por supuesto, si la tensión acordada es un máximo en este punto, aumentar adicionalmente la tensión acordada no será posible, y comenzará la evaluación de las PDAC.

Con la tensión acordada $V+$ ajustada en este punto con respecto a los NDAC, el algoritmo a continuación obtiene todas las tensiones de salida relevantes para las PDAC ($V_{P1}, V_{P2}, \dots V_{PY}$). De nuevo, se determina la caída de tensión mínima a través de las PDAC, $\text{Min}(V_{PY})$, y el algoritmo a continuación continúa con los NDAC. Específicamente, si $\text{Min}(V_{PY})$ está por encima de las tensiones de banda de guarda máximas para las PDAC (por ejemplo, 2,1 V), la tensión acordada se reduce, de nuevo en una cantidad proporcional con la desviación desde la tensión de banda de guarda máxima.

Obsérvese que es permisible reducir adicionalmente la tensión acordada en este punto en el algoritmo, incluso si alguna de las caídas de tensión a través del NDAC estuviera cerca de la tensión de banda de guarda mínima. Por lo tanto, $V+$ puede reducirse si $\text{Min}(V_{PY})$ está por encima de 2,1 V por ejemplo, incluso cuando $\text{Min}(V_{NX})$ está por debajo de 1,8 V y de otra manera es óptima. Aunque esto parecería correr el riesgo de ajustar los NDAC fuera de alineación, obsérvese que $\text{Min}(V_{NX})$ está vinculada a (es decir, equilibrada con) $\text{Min}(V_{PY})$ mediante las características de tensión-corriente de ambos DAC. Puesto que las corrientes deben coincidir para los NDAC y las PDAC, es difícil reducir $\text{Min}(V_{NX})$ significativamente por debajo del umbral de banda de guarda de NDAC mínimo (por ejemplo, 1,2 V) sin llevar también $\text{Min}(V_{PY})$ por debajo de la tensión de banda de guarda de PDAC mínima (por ejemplo, 1,5 V) y viceversa. Por lo tanto, debido a este equilibrio entre los NDAC y las PDAC, la tensión acordada puede reducirse sin riesgo significativo de impactar el rendimiento de circuito, es decir, de manera que la circuitería no pueda producir una corriente óptima.

40 Eventualmente, como la tensión acordada se reduce, si la tensión de salida mínima a través de una PDAC estuviera dentro de la banda de guarda para las PDAC ($1,5 < \text{Min}(V_{PY}) < 2,1$, la tensión acordada se considera óptima. De otra manera, si estuviera una PDAC por debajo de la banda de guarda en este punto, la tensión acordada puede aumentarse en un incremento (0,6 V).

45 Por lo tanto, a través del uso de este algoritmo ejemplar, la tensión acordada puede ajustarse a un valor óptimo que es suficientemente alto para permitir el rendimiento de circuito apropiado (es decir, suficiente salida de corriente), pero suficientemente bajo que la potencia no se desperdicie innecesariamente mediante caídas de tensión excesivas a través de la circuitería de salida de corriente. Aunque lo anterior especifica una única realización de un algoritmo para tal optimización de fuente y sumidero de corriente dual, son posibles otros algoritmos, y se someten a una preferencia particular del programador, teniendo en cuenta la consideración y riesgo de drenaje de potencia. En resumen, el algoritmo de tensión acordada desvelado es simplemente representativo de una manera para optimizar simultáneamente los NDAC y las PDAC durante estimulación real.

55 Debería observarse que aunque las tensiones de salida medidas a través del circuito de fuente y el circuito de sumidero se usan para ajustar la tensión acordada en un intento de proporcionar ambas de las tensiones de salida a un nivel o niveles adecuados, la técnica puede usarse también para simplemente intentar proporcionar una de las tensiones de salida a un nivel adecuado (por ejemplo, dentro de un intervalo, a un punto particular, por encima o por debajo de un punto, etc.). Por lo tanto, pueden medirse ambas tensiones de salida, y en otra realización, se tienen beneficios mediante el ajuste de las tensiones de salida de NDAC o PDAC en solitario, aunque por supuesto se prefiere ajustar ambas tensiones.

- 5 Debería entenderse que la dirección en la que la corriente fluye es un concepto relativo, y pueden usarse diferentes convenciones para definir si las corrientes fluyen a o desde diversas fuentes. En este sentido, las flechas que muestran las direcciones de flujos de corriente en las Figuras, referencias a corriente que fluye a o desde diversos nodos de circuito, referencias a corrientes que se drenan o suministran, etc., deberían entenderse todas como relativamente y no en ningún sentido limitante.
- Debería entenderse también que la referencia a un “electrodo” implantable adyacente a un tejido a estimular incluye electrodos en el dispositivo estimulador implantable, o terminales de electrodo asociados, o cualquier otra estructura para estimular directa o indirectamente tejido. “Electrodo” puede comprender también un electrodo de carcasa tal como se desvela en el presente documento.
- 10 Aunque la invención desvelada en el presente documento se ha descrito por medio de realizaciones específicas y aplicaciones de la misma, podrían realizarse numerosas modificaciones y variaciones por los expertos en la materia a la misma sin alejarse del alcance de la invención expuesta en las reivindicaciones.

REIVINDICACIONES

1. Un dispositivo estimulador, que comprende:

5 al menos dos electrodos para estimular tejido, en el que los al menos dos electrodos son programables para estar activos en un tiempo dado, en el que al menos uno de los electrodos activos comprende un electrodo de fuente y en el que al menos uno de los electrodos activos comprende un electrodo de sumidero;
 10 al menos un circuito (500) de fuente acoplado a una tensión acordada (V_+) y al menos un circuito (501) de sumidero acoplado a una tensión de referencia (GND), en el que cada circuito de fuente está acoplado a un electrodo de fuente asociado (E_x) mediante un primer conmutador (513) asociado, y en el que cada circuito de sumidero está acoplado a un electrodo de sumidero asociado (E_y) mediante un segundo conmutador (513') asociado;
 15 circuitería de sensor de tensión para recibir a lo largo de las líneas (175) tensiones indicativas de una tensión de salida a través de cada circuito de fuente (V_{Px}) o sumidero (V_{Ny}) acoplado a cada electrodo de fuente o sumidero activo, y para medir las tensiones de salida mientras tanto el al menos un circuito de fuente como el al menos un circuito de sumidero están simultáneamente activos;
 20 circuitería de lógica, para recibir una salida de la circuitería de sensor de tensión, para determinar si las tensiones de salida están a niveles adecuados; y
 circuitería de regulador, para recibir una salida de la circuitería lógica, para ajustar la tensión acordada si las tensiones de salida determinadas no están en los niveles adecuados.

2. El dispositivo estimulador de la reivindicación 1, en el que las líneas están situadas de manera que las tensiones de salida incluyen tensiones a través de cualquiera del primer o segundo conmutadores.

3. El dispositivo estimulador de la reivindicación 1, en el que el al menos un circuito de fuente comprende un primer transistor de salida y el al menos un circuito de sumidero comprende un segundo transistor de salida, y en el que las líneas están situadas de manera que las tensiones de salida comprenden cualquiera de la suma de las tensiones a través de uno de los primeros transistores de salida y uno de los primeros conmutadores o la suma de las tensiones a través de uno de los segundos transistores de salida y uno de los segundos conmutadores.

4. El dispositivo estimulador de la reivindicación 3, en el que los niveles adecuados se seleccionan de modo que la suma de las tensiones es consistente con una condición de saturación para los primeros y segundos transistores de salida.

5. El dispositivo estimulador de la reivindicación 1, que comprende adicionalmente una batería, en el que el circuito regulador obtiene la tensión acordada desde la batería.

6. El dispositivo estimulador de la reivindicación 1, en el que el al menos un circuito de fuente y el al menos un circuito de sumidero comprenden espejos de corriente.

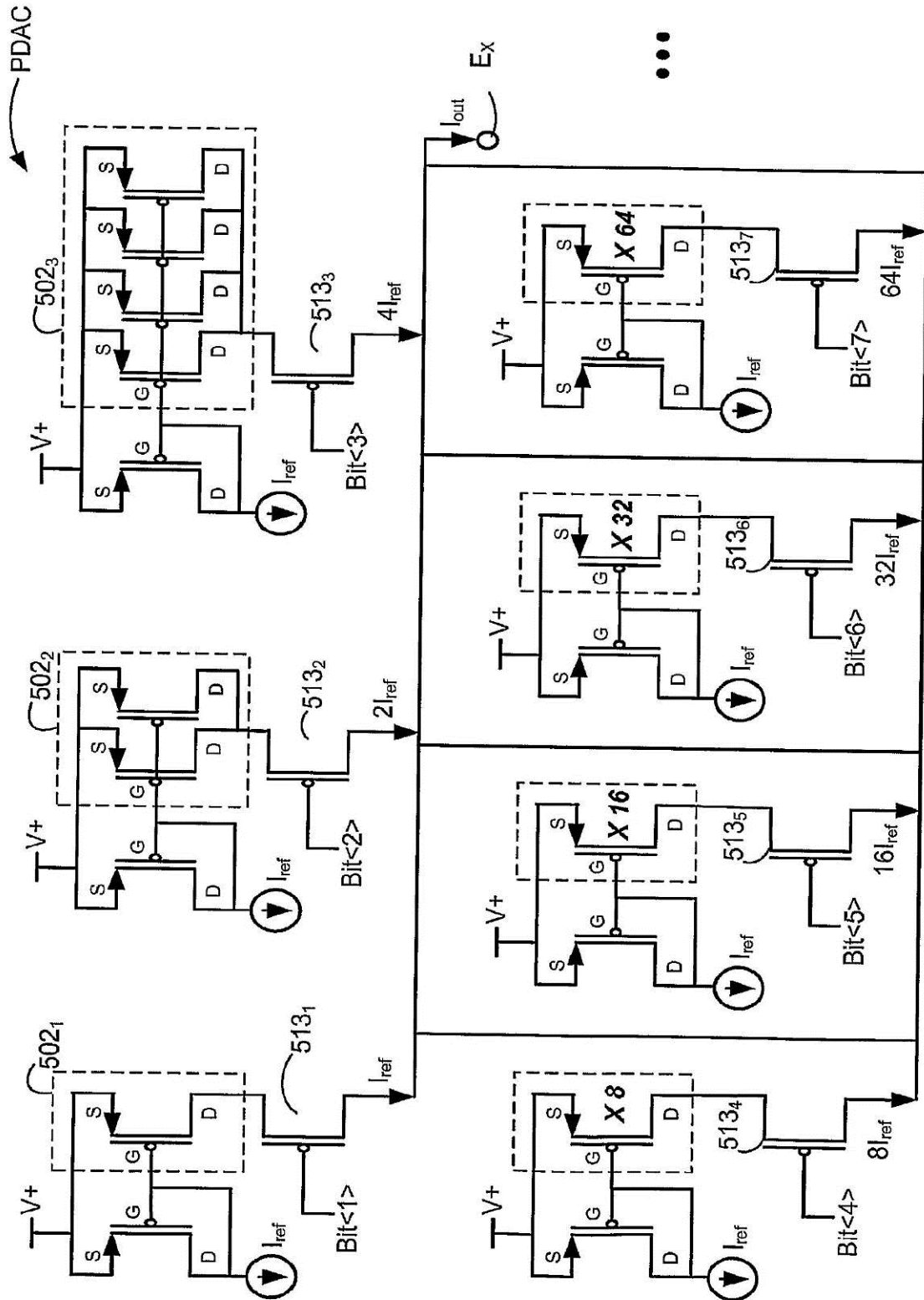


Figura 2B (técnica anterior)

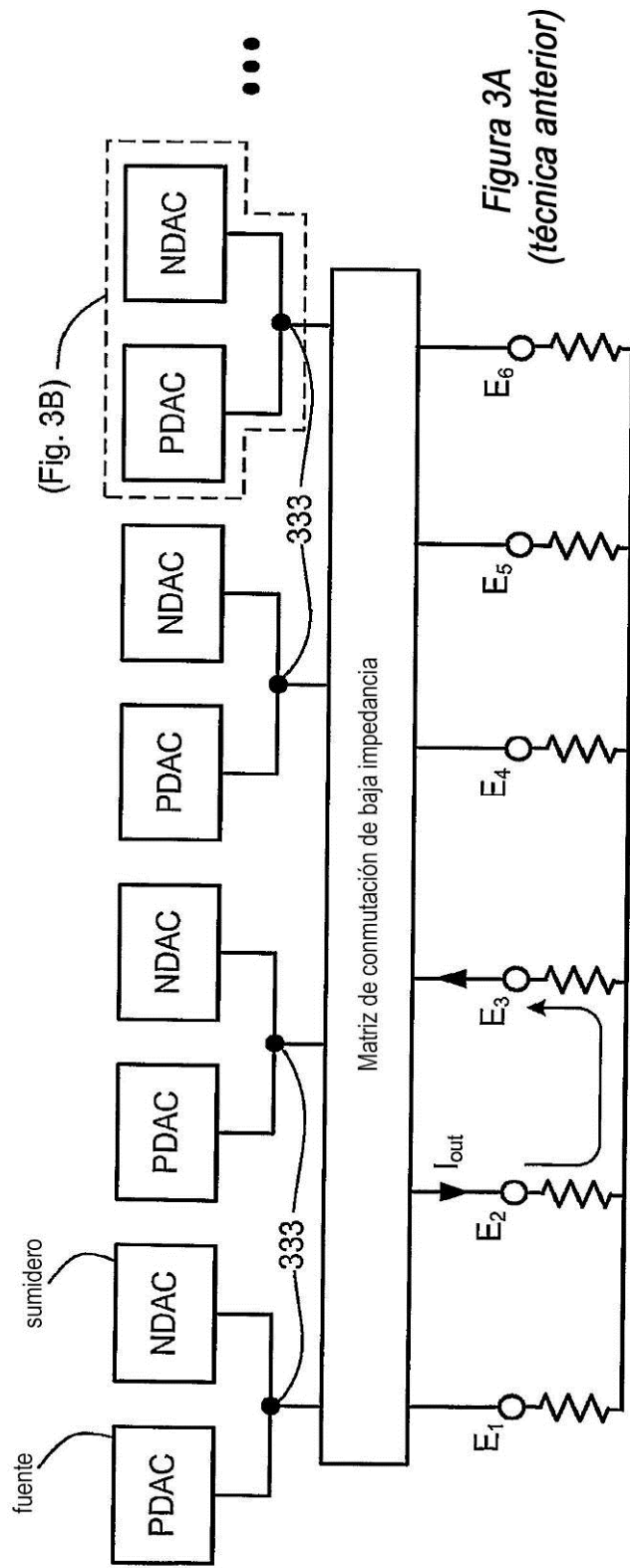
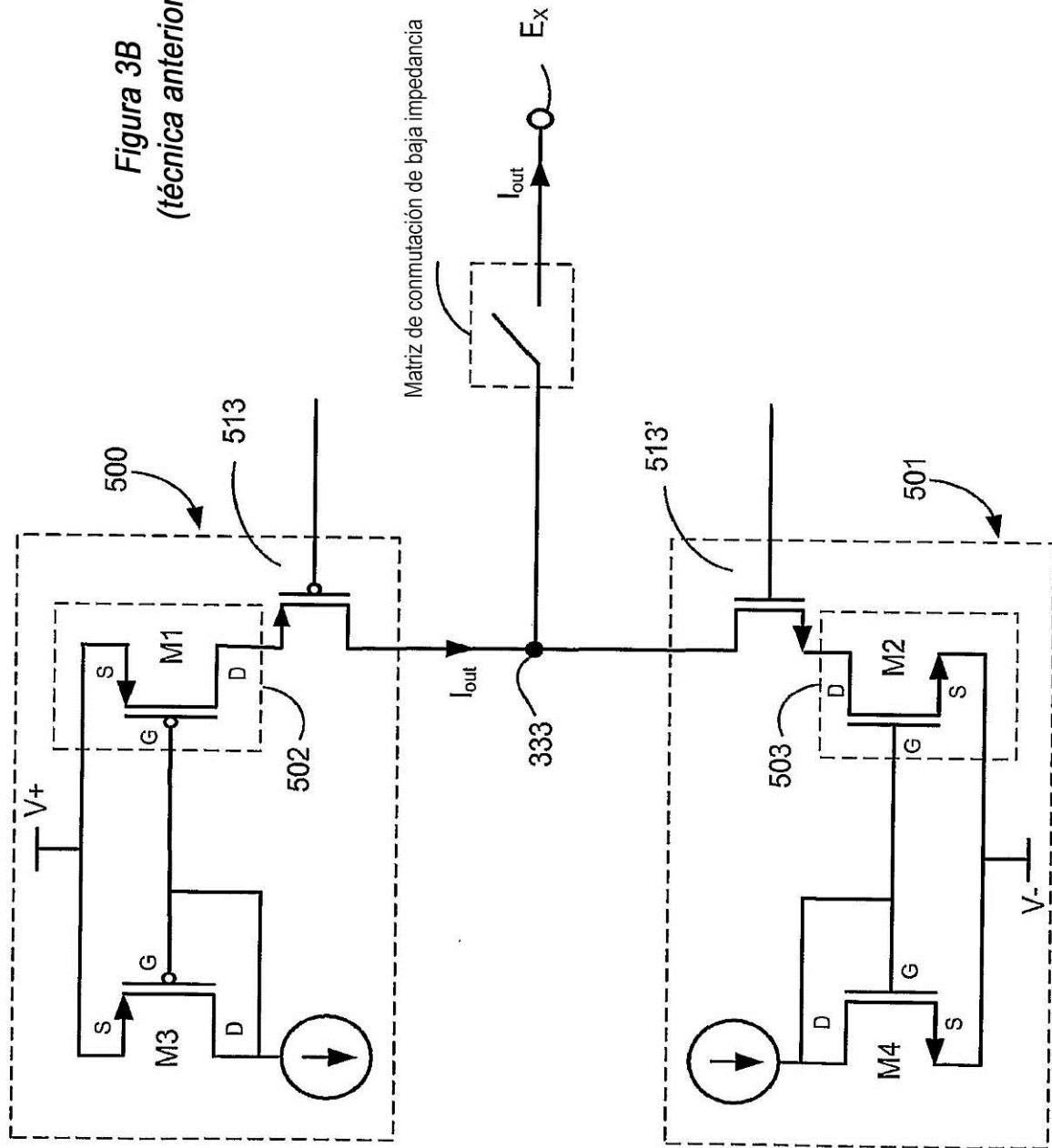


Figura 3A
(técnica anterior)

Figura 3B
(técnica anterior)



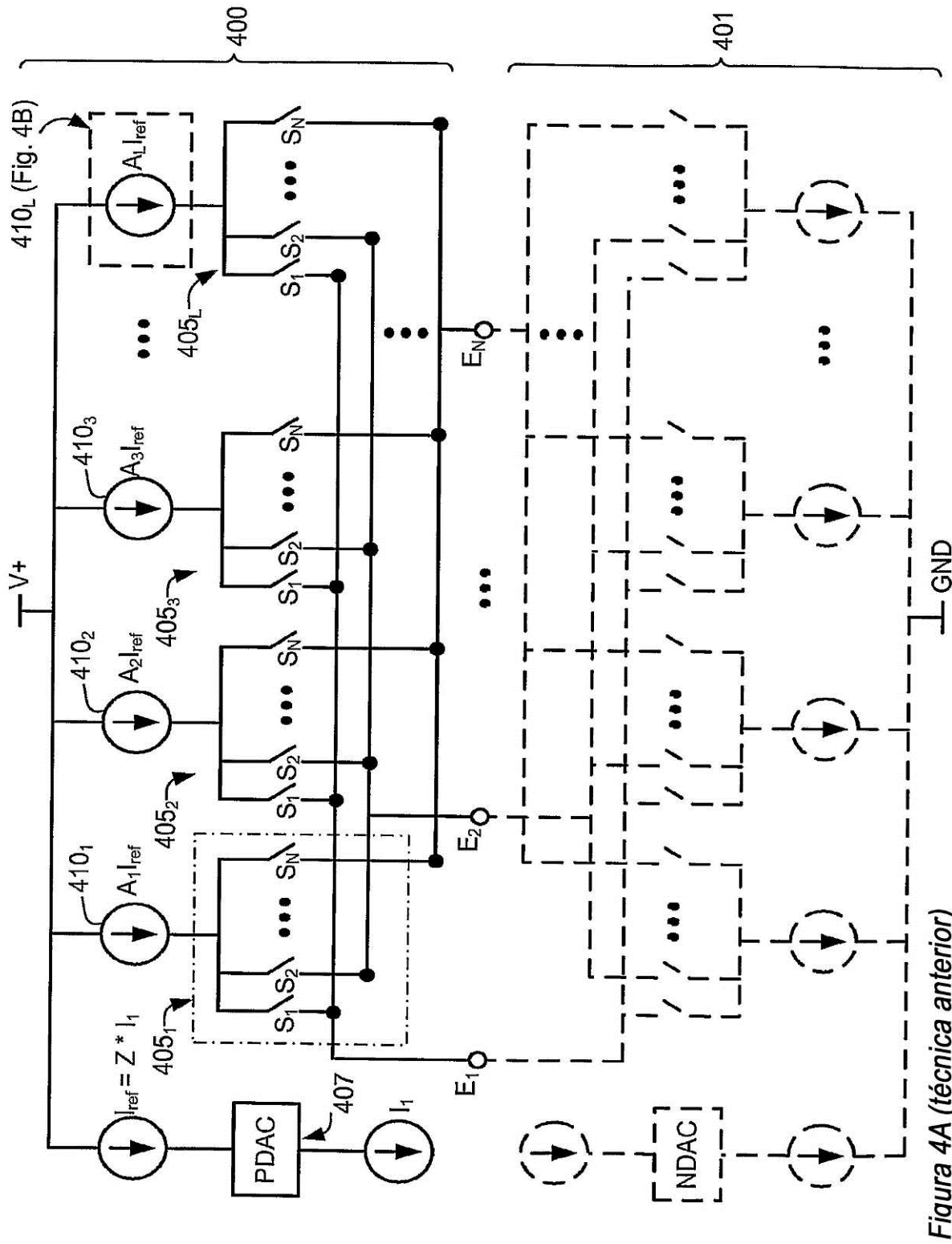


Figura 4A (técnica anterior)

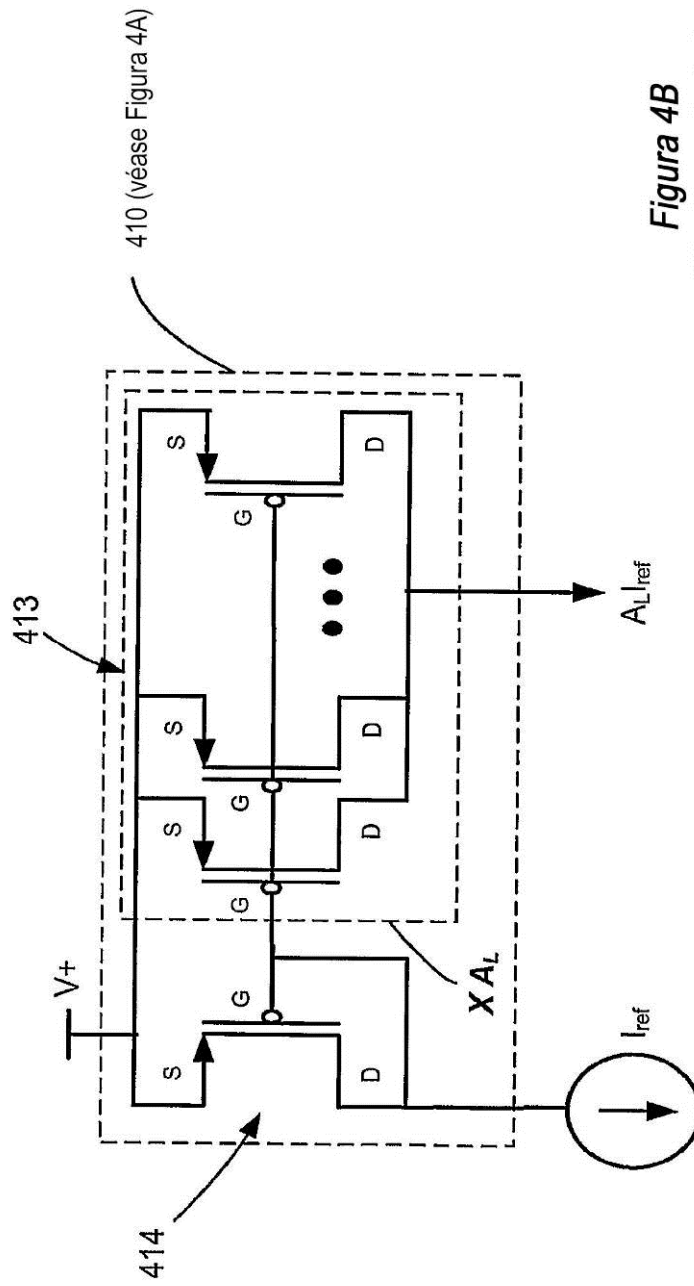


Figura 4B
(técnica anterior)

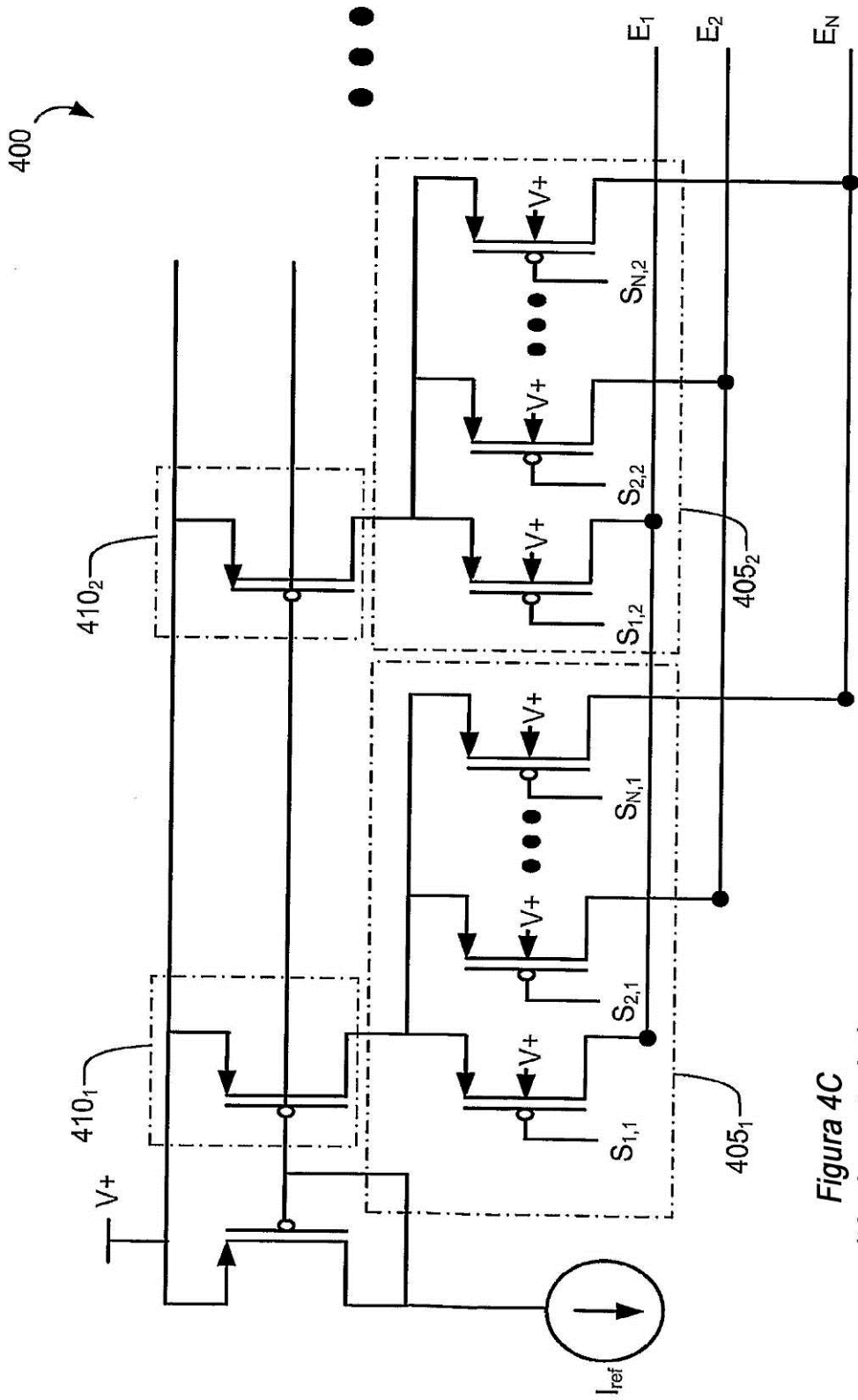


Figura 4C
(técnica anterior)

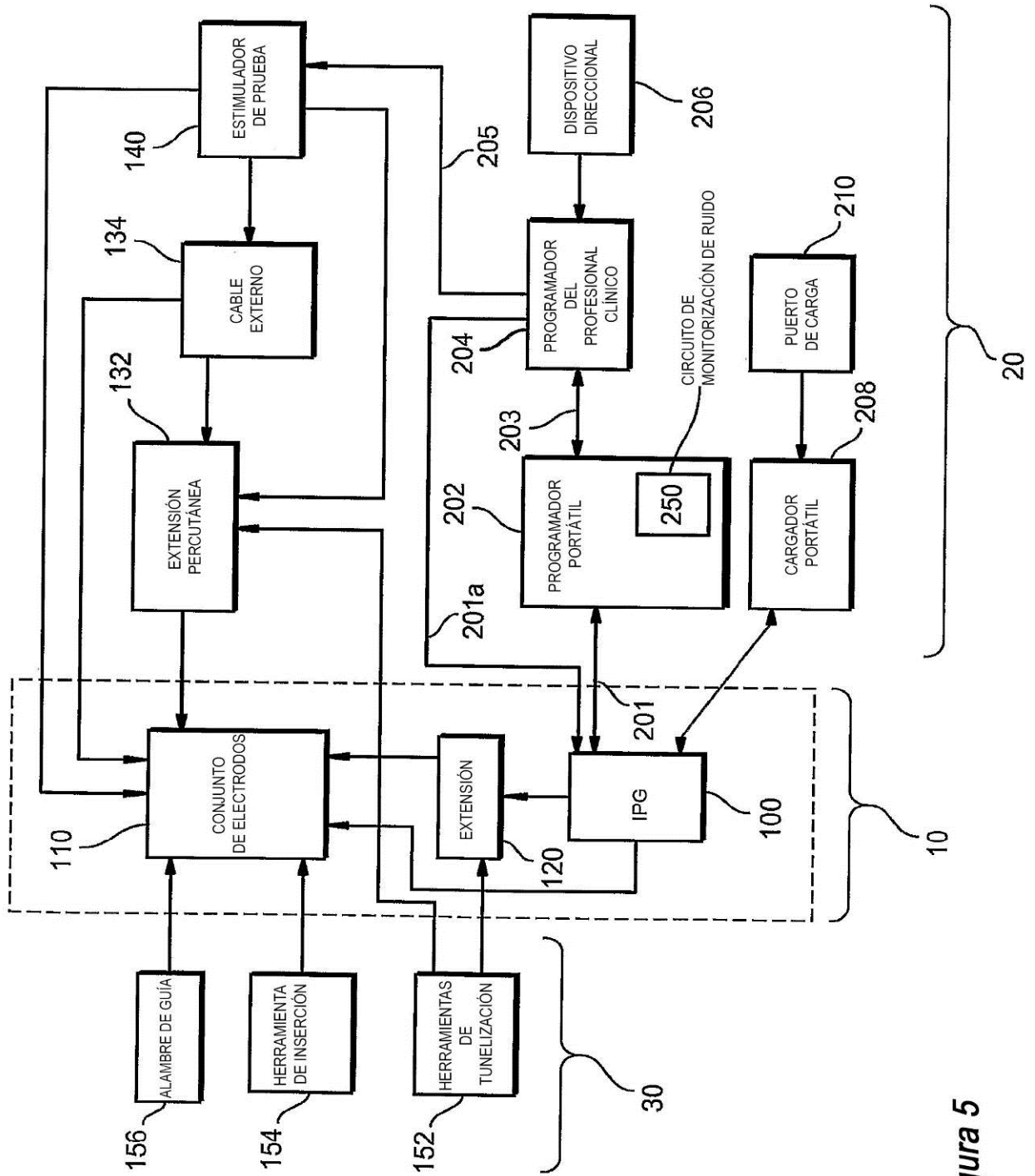


Figura 5

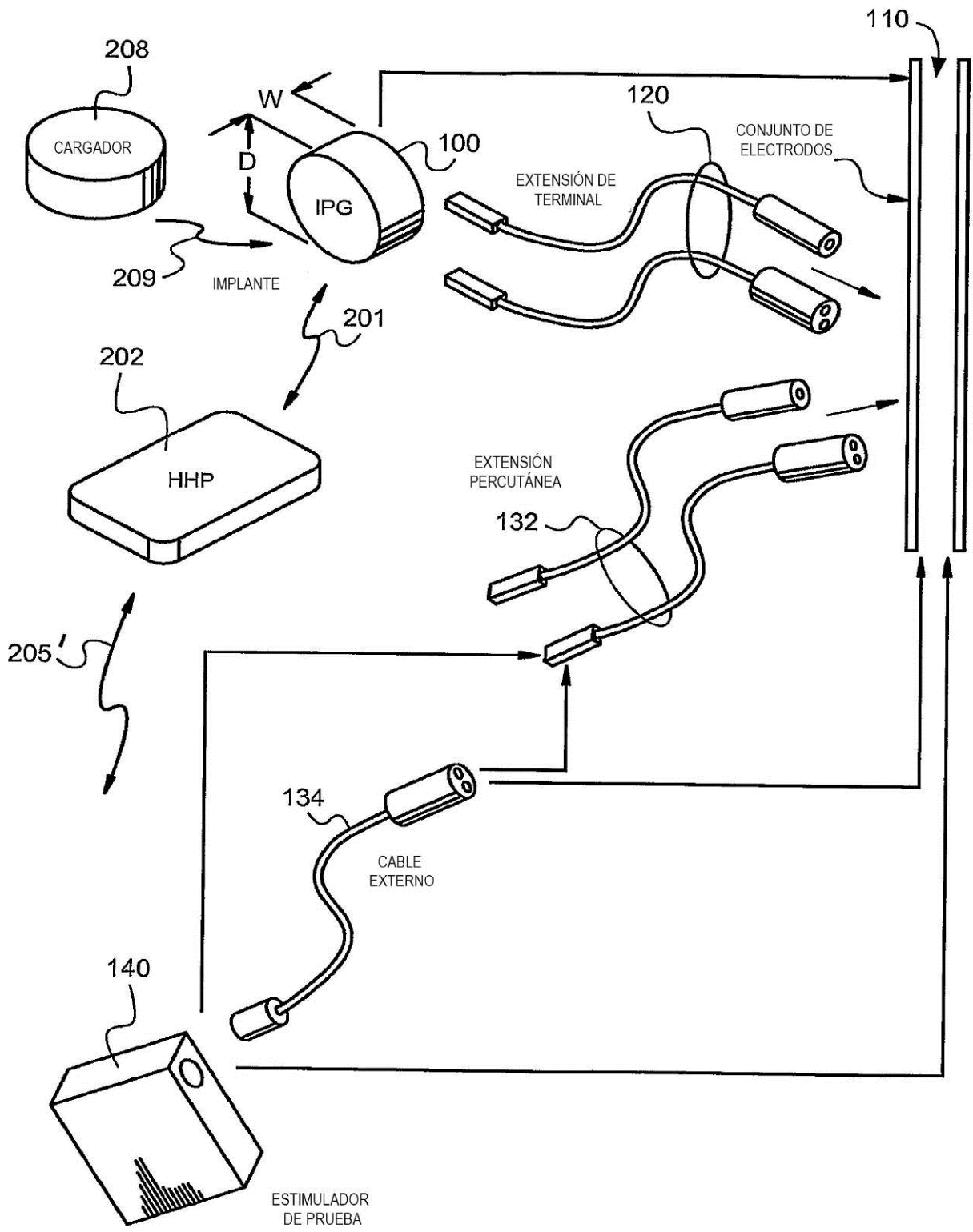


Figura 6

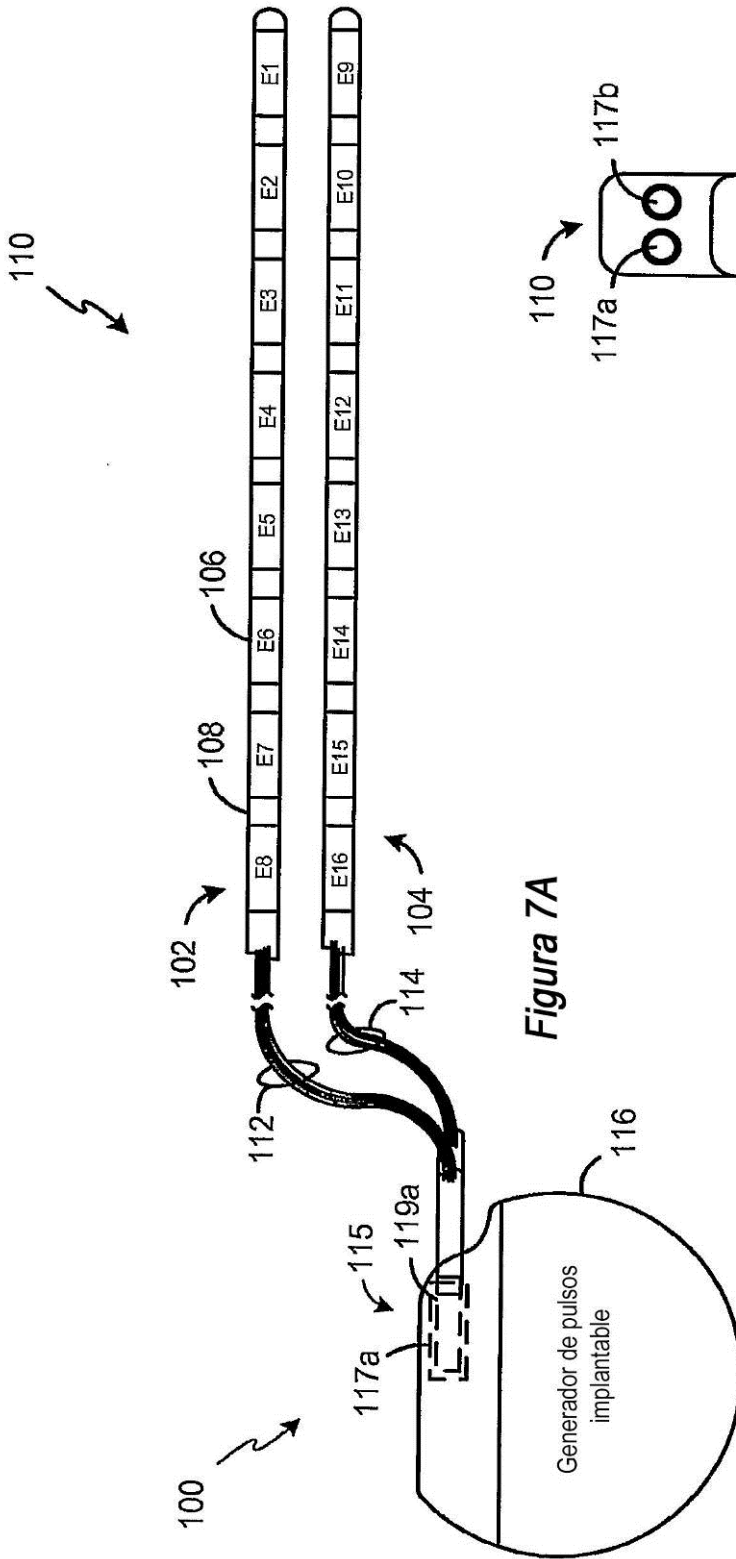


Figura 7A

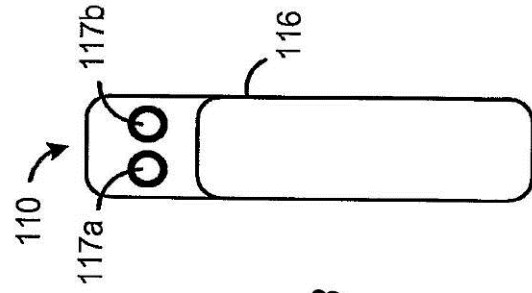


Figura 7B

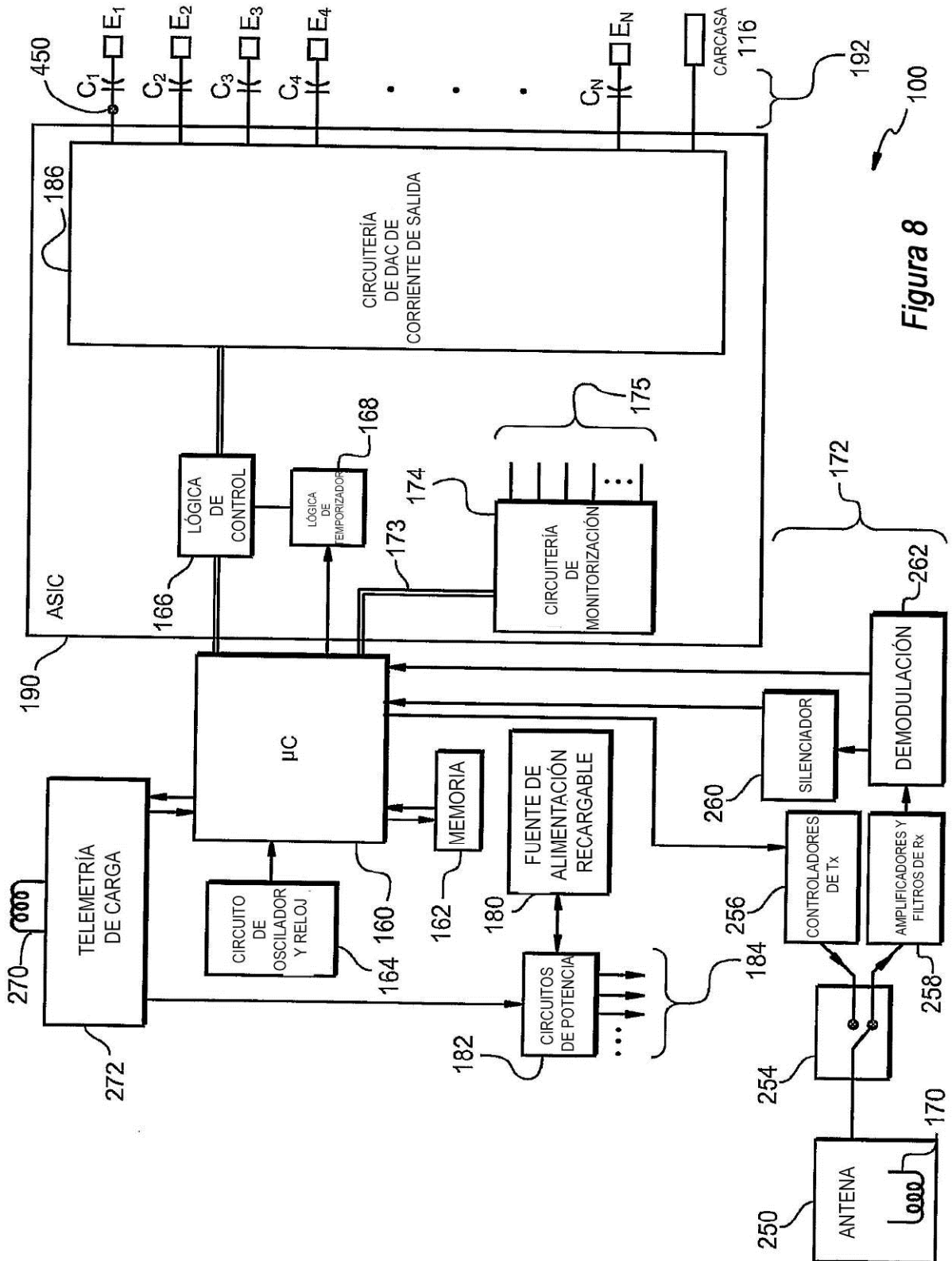


Figura 8

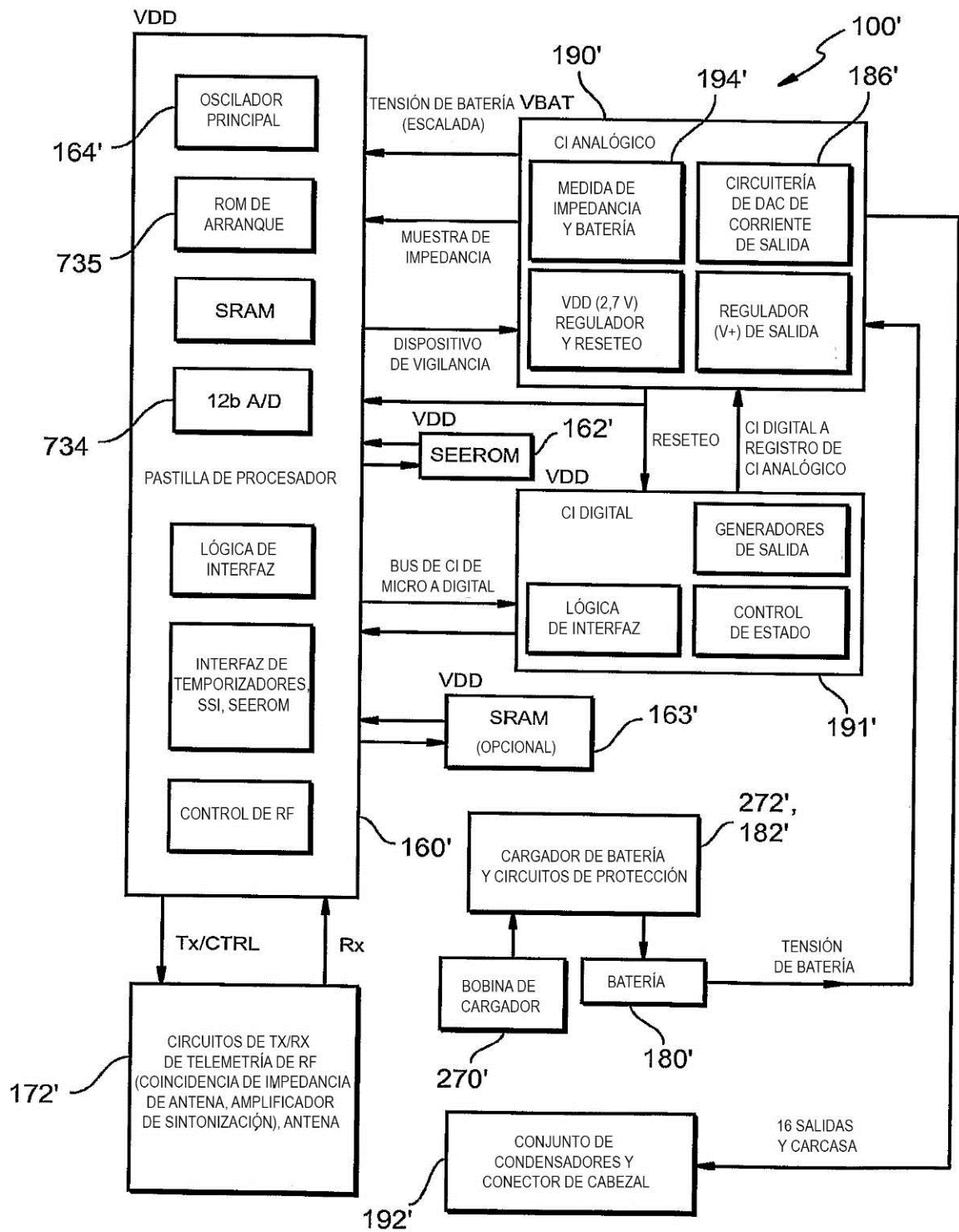


Figura 9

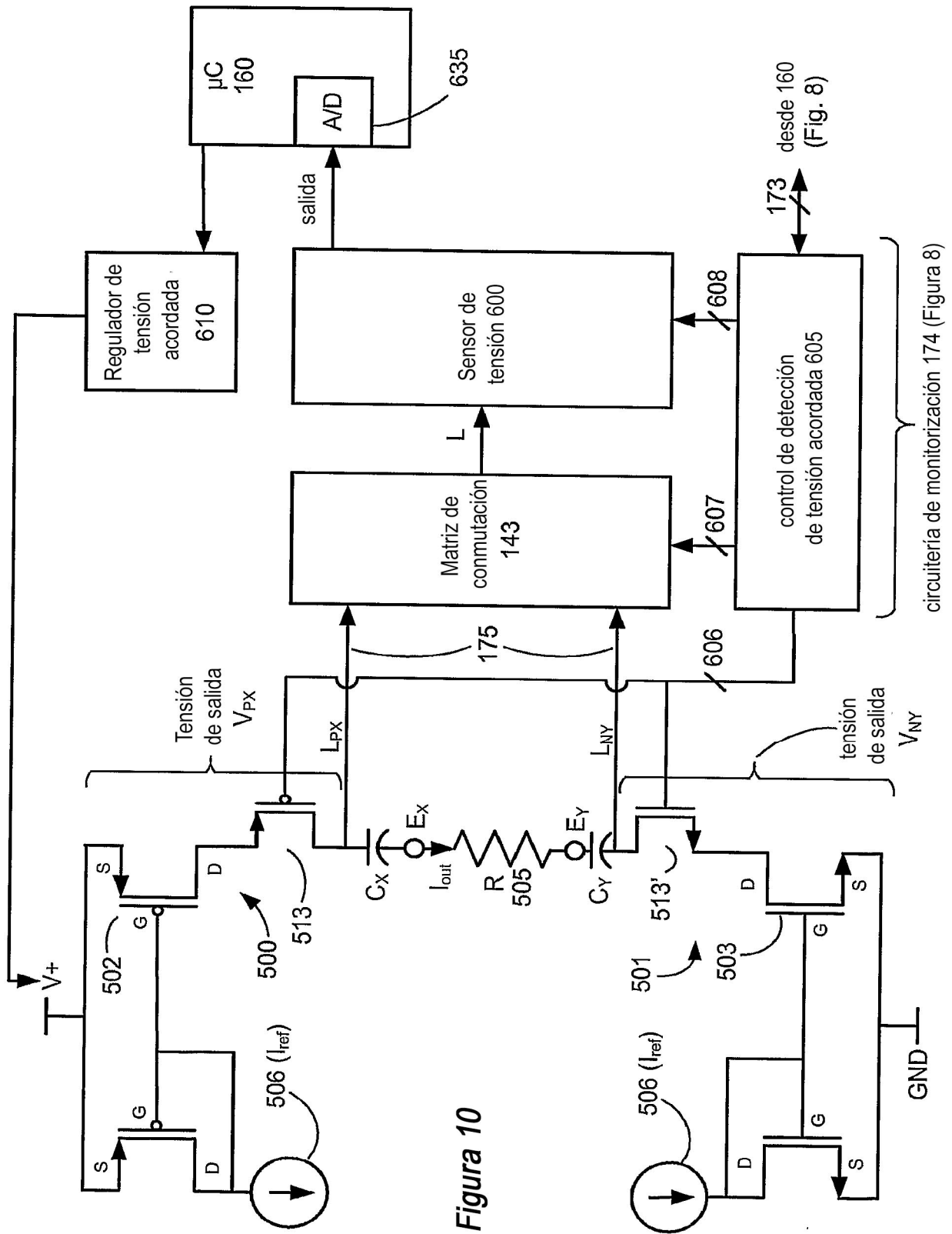


Figura 10

168

Canal	E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11	E12	E13	E14	E15	E16	carcasa
A	+		-	+	-												
B				-	+			-									
C											+	-		+			
D	-	+							-							+	

Figura 11

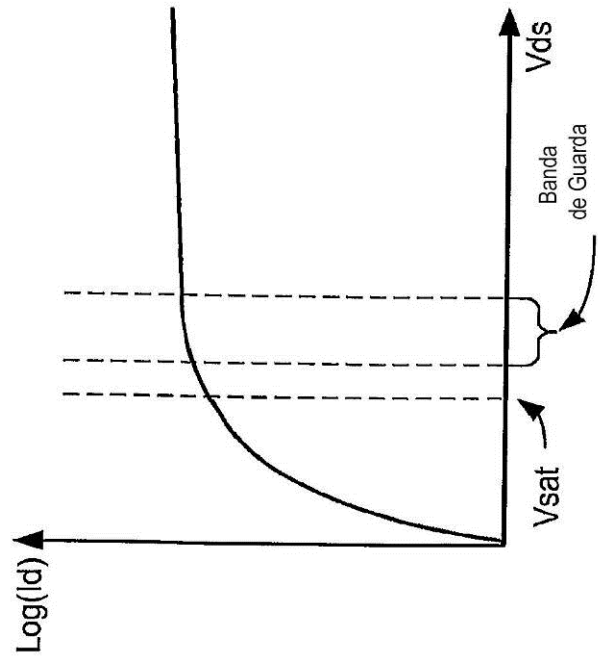
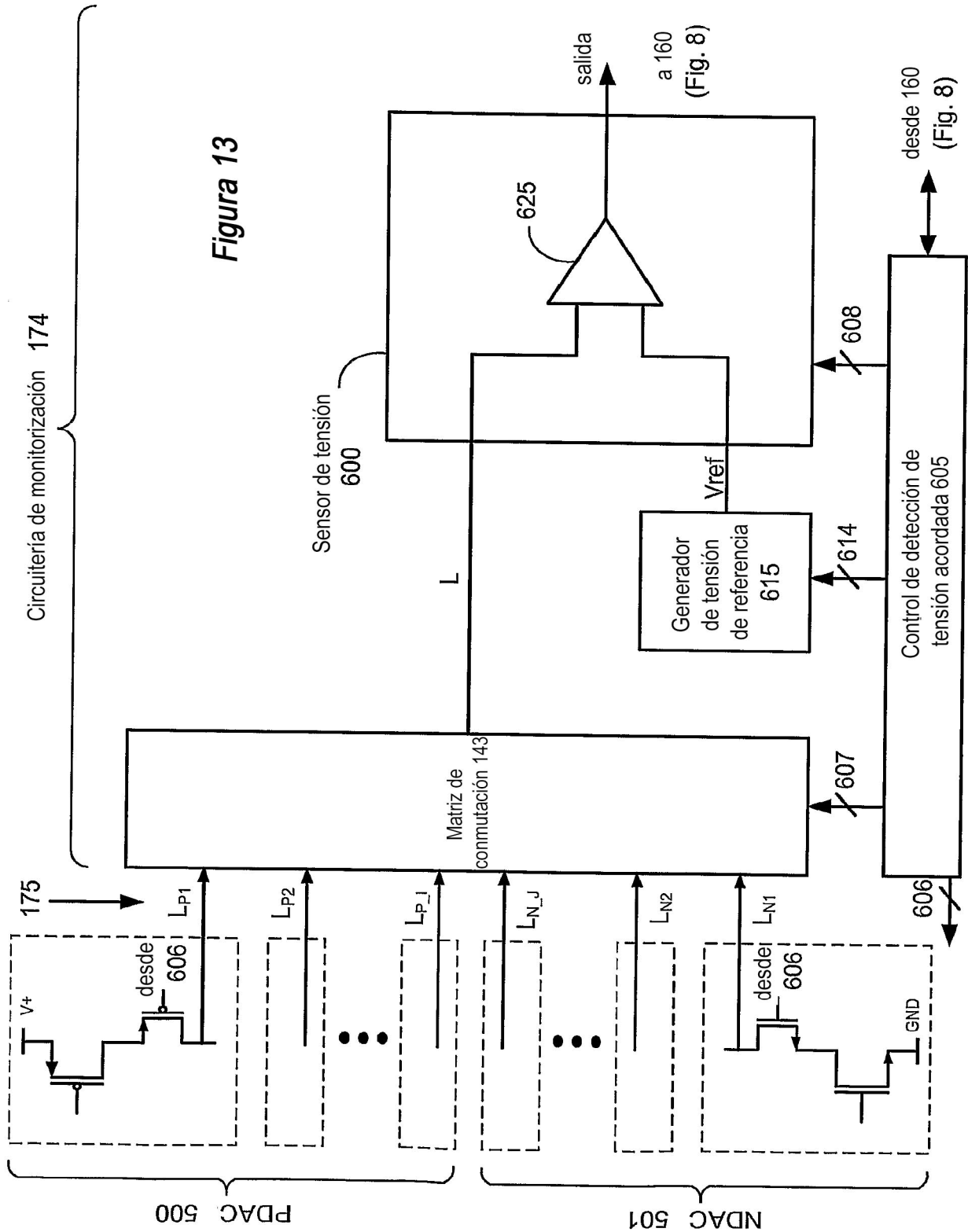


Figura 12



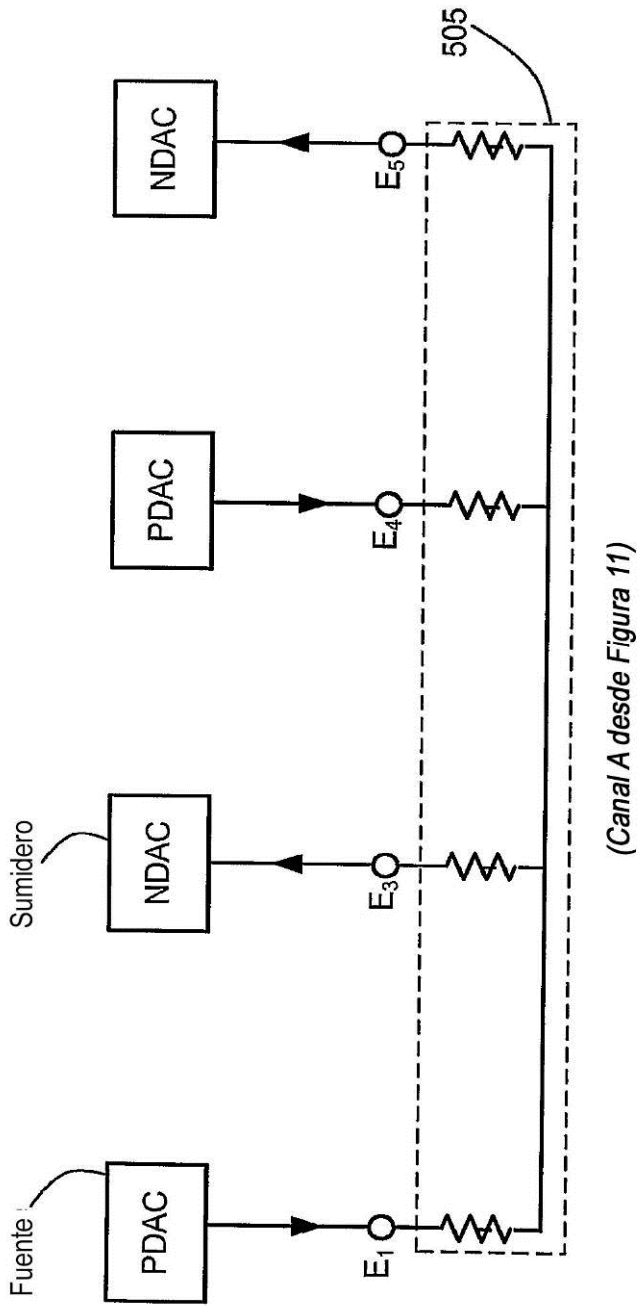


Figura 14

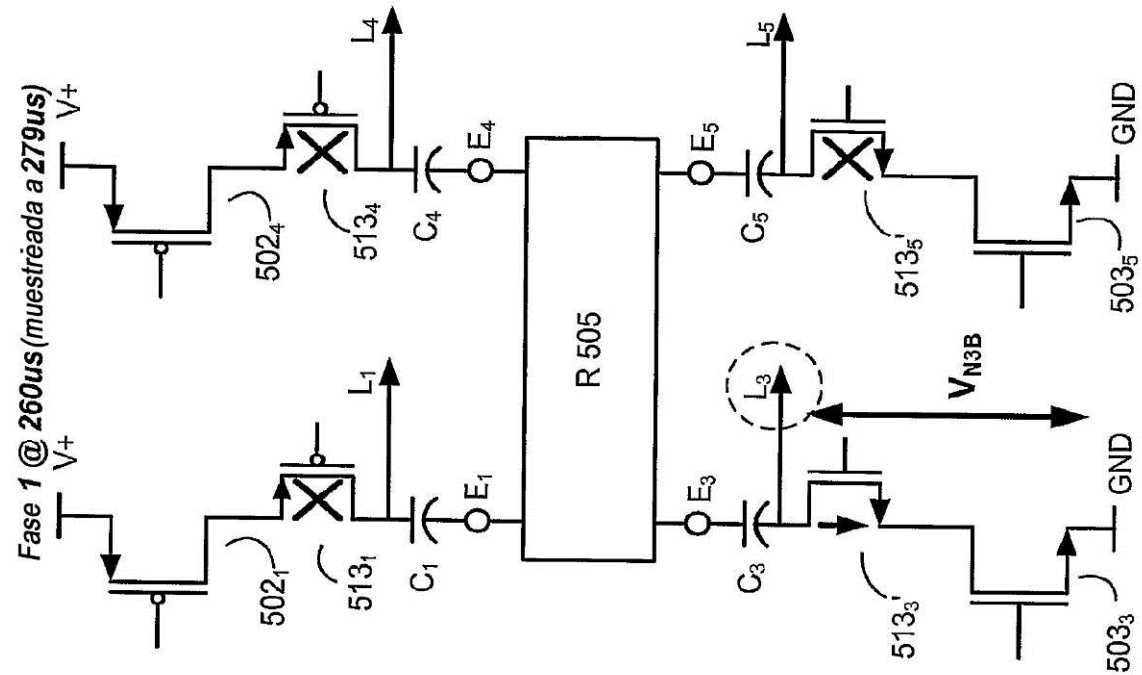


Figura 15B

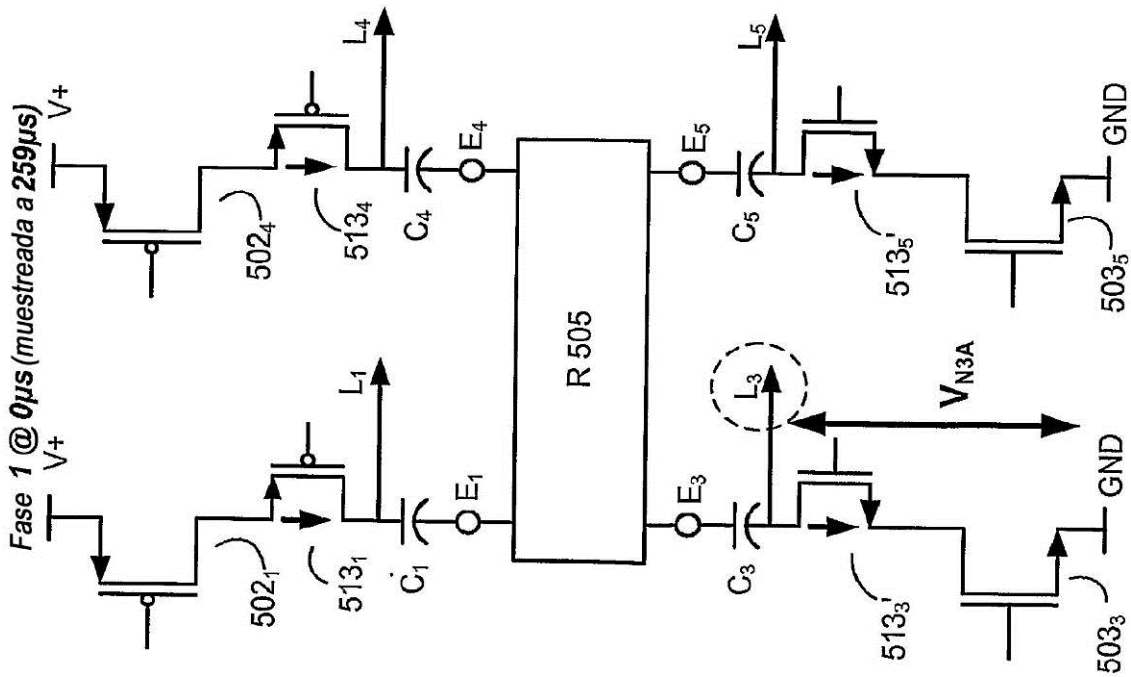


Figura 15A

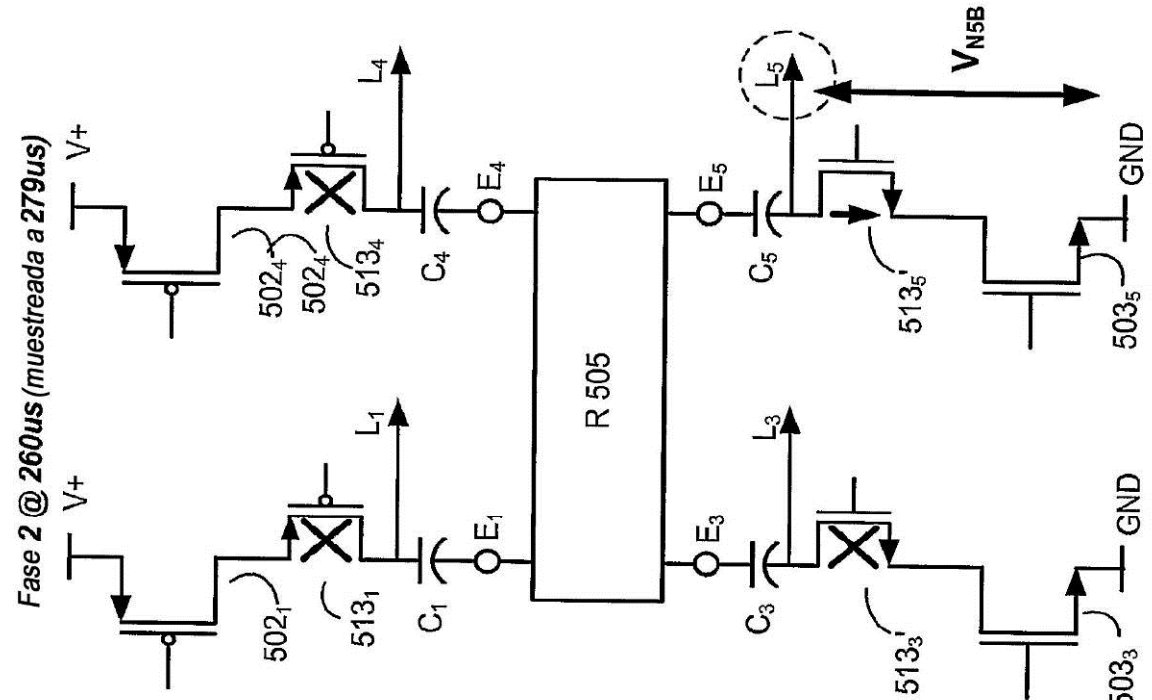


Figura 16B

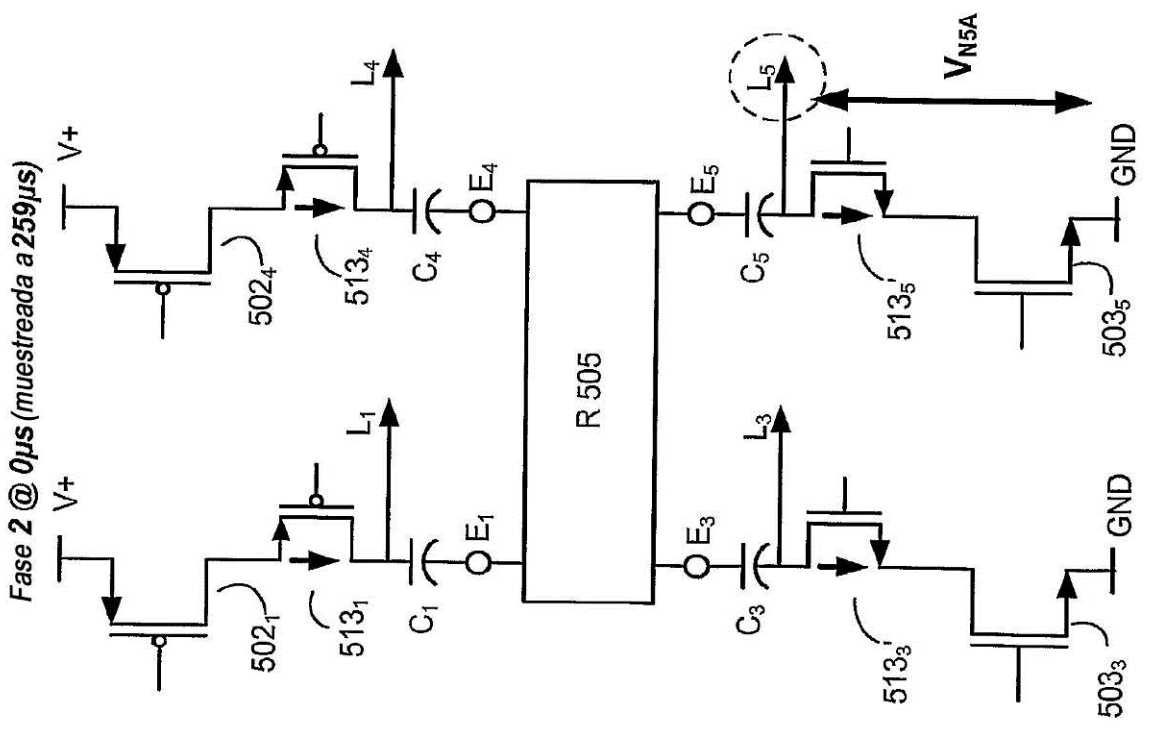


Figura 16A

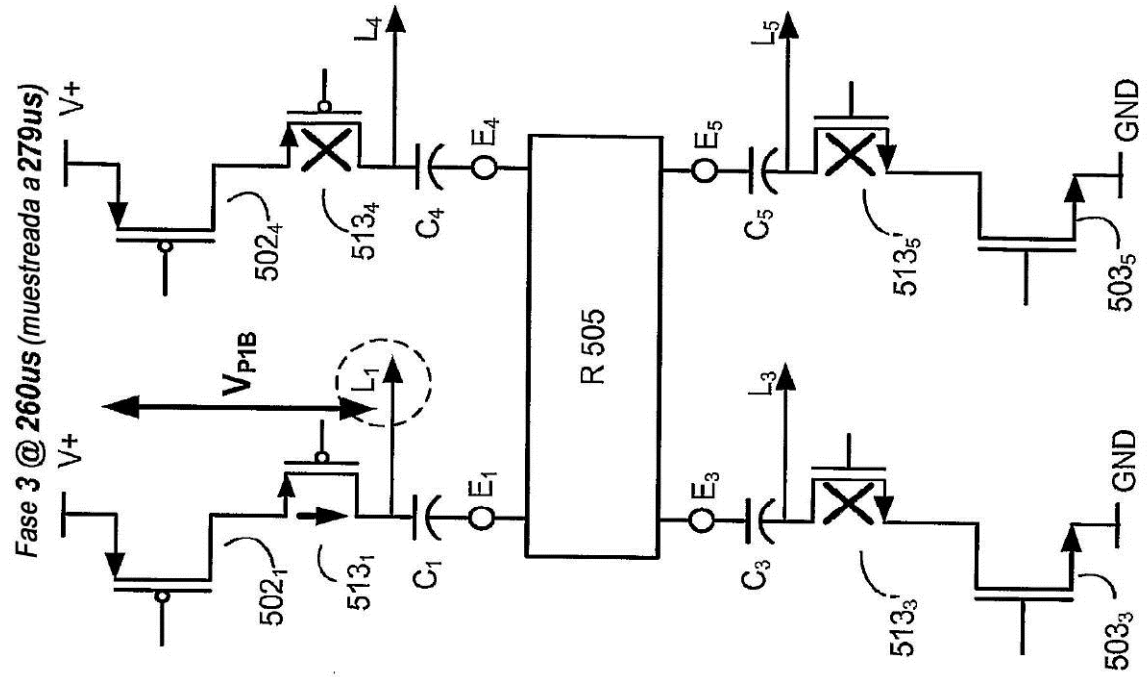


Figura 17B

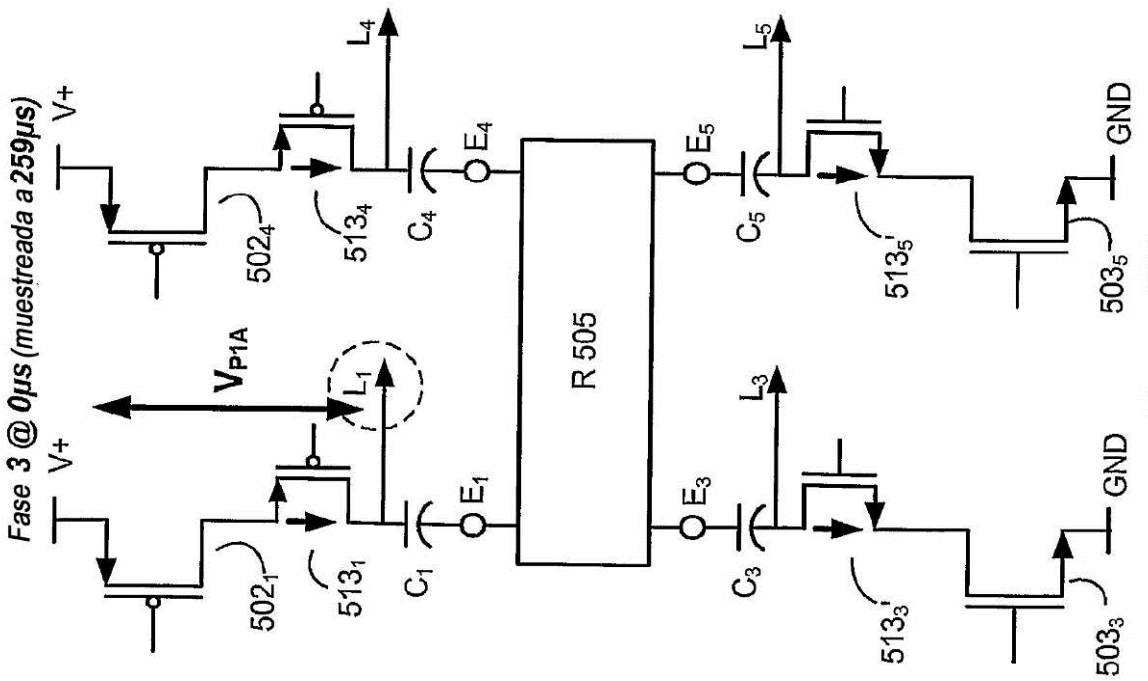


Figura 17A

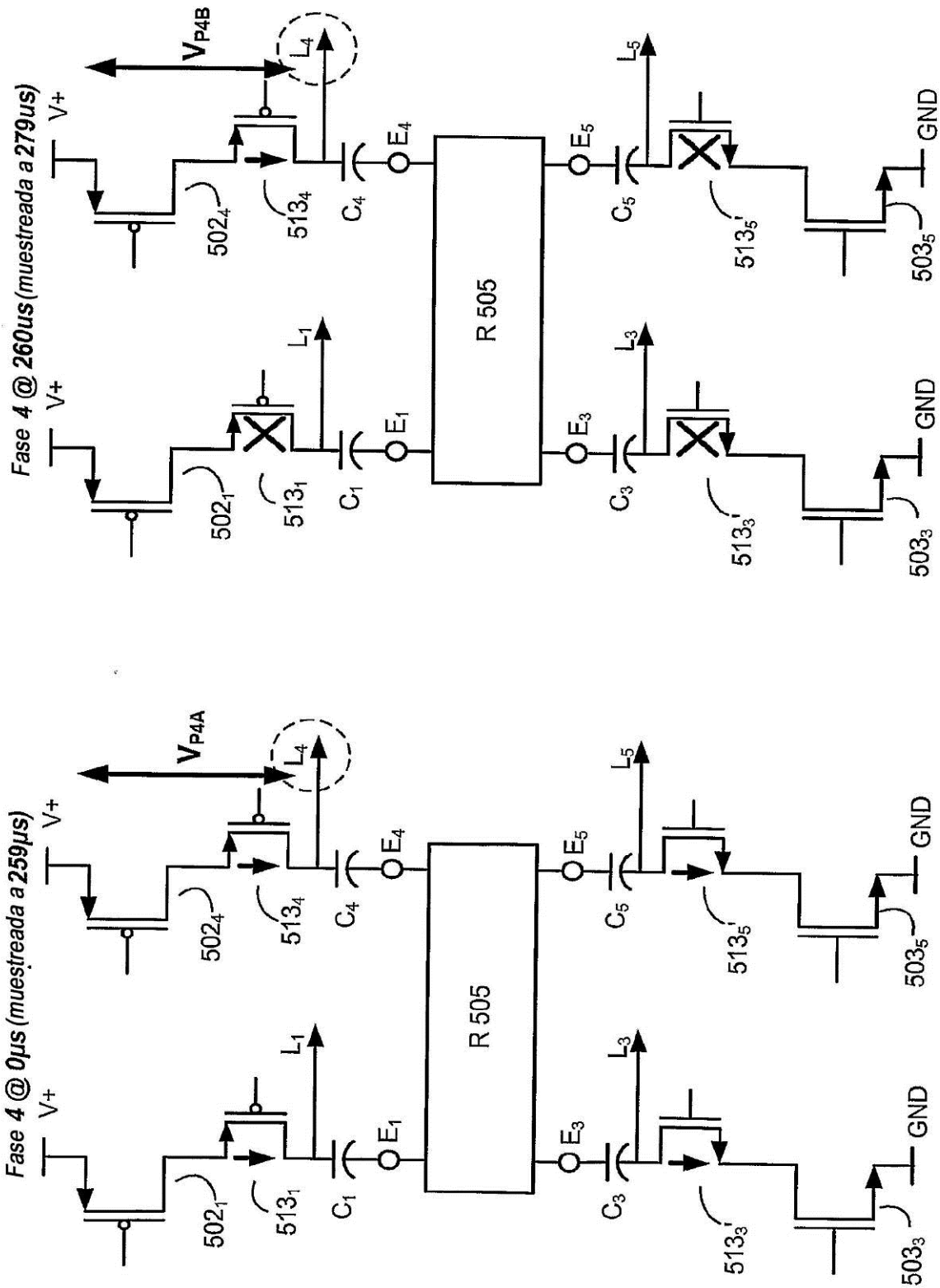


Figura 18B

Figura 18A

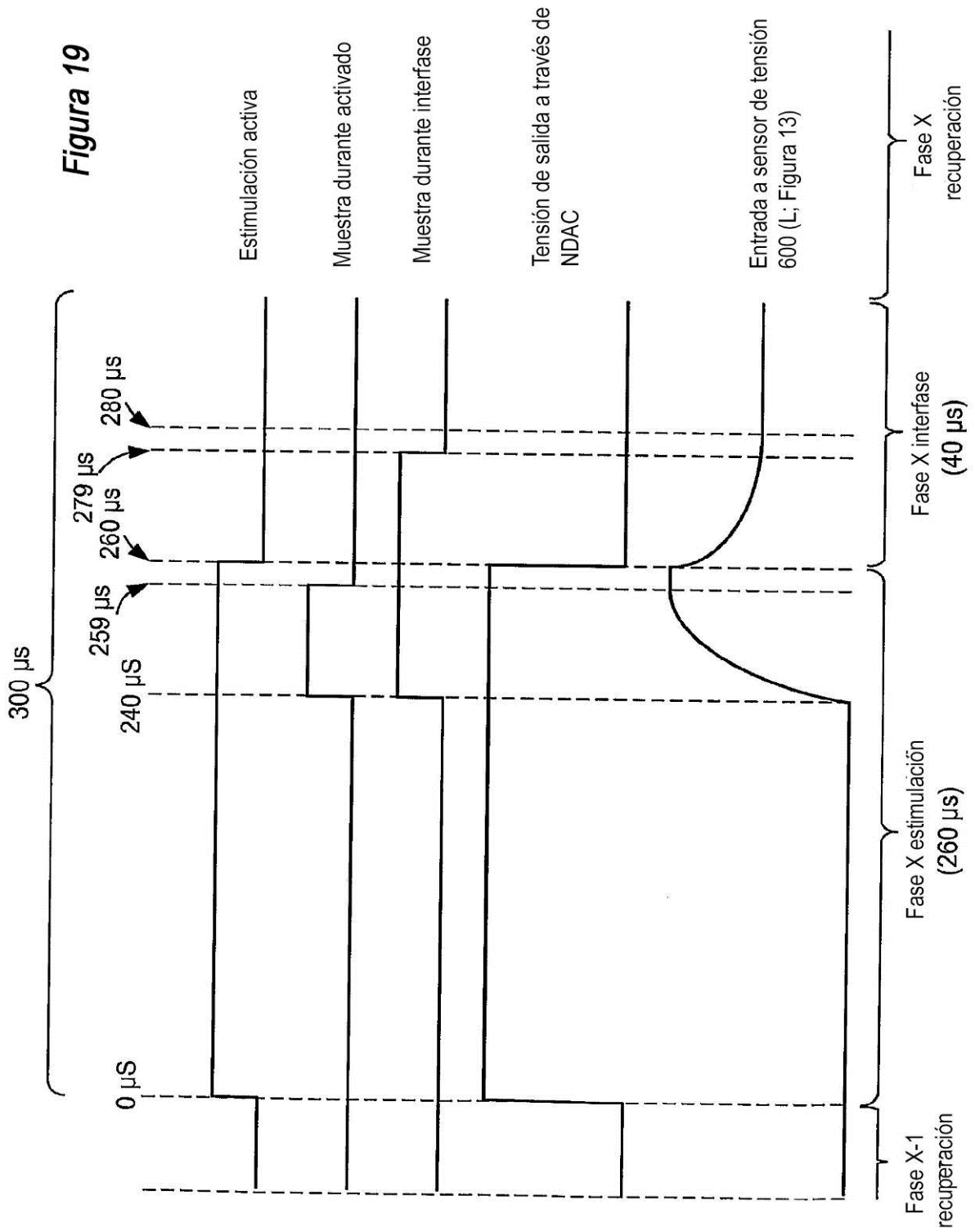


Figura 20

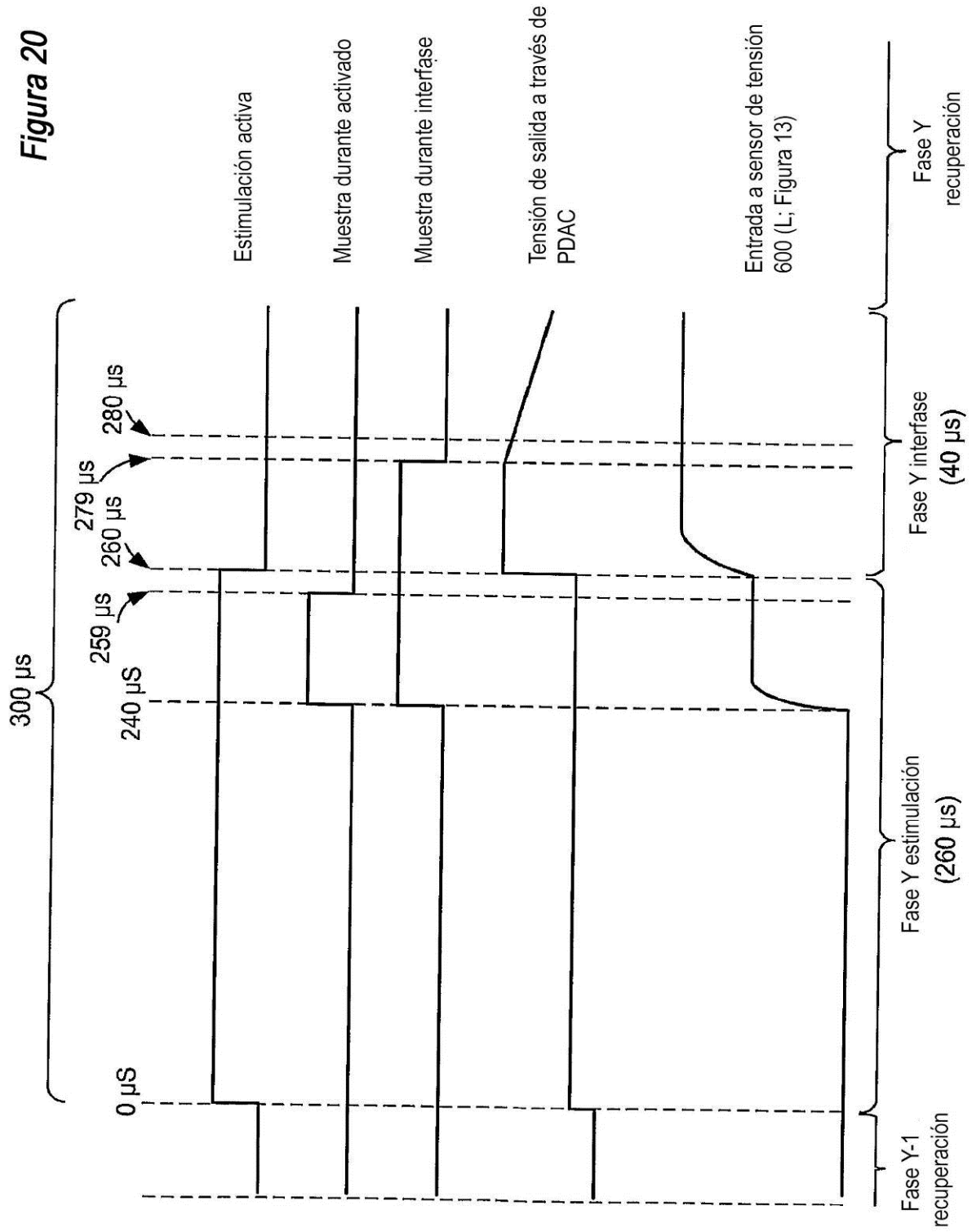


Figura 21

