

(由本局填寫)

| |
|----------|
| 承辦人代碼： |
| 大類： |
| I P C分類： |

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權日本 1999年9月22日 11-268731 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

【發明所屬之技術領域】

本發明,係有關半導體裝置及其製造技術,特別是,用以疊層兩片導體晶片適用於樹脂密封之半導體裝置之有效的技術。

【先前之技術】

日本專利(案)特開平7-58281號公報所記載之樹脂密封型半導體裝置,其目的在於用以形成DRAM(Dynamic Random Access Memory)或SRAM(Static Random Access Memory)等之記憶體LSI的半導體晶片的高密度實裝。

被記載於上述公報之樹脂密封型半導體裝置,係以SOJ(Small Outline J-leaded)型之插件所構成,並藉由轉移模型法在被成形之樹脂密封型之內部,係使用以形成同樣之記憶容量的記憶體LSI之兩個的半導體晶片以被疊層之狀態被密封。

上述兩個之半導體晶片,係使分別之元件形成面被配置成相互對置,並在分別之電路形成面上,係使複數片之導線的內導線部通過絕緣薄膜被配置。即,該樹脂密封型半導體裝置,在半導體晶片之電路形成面上以用以配置內導線部之LOC(Lead On Chip)構造被構成,而分別之內導線部,係通過配線與半導體晶片對應之接合墊片以電氣被連接。

上述兩個之半導體晶片之一方,係被固定於第1導線架之導線的狀態下被樹脂密封,他方,係被固定於第2導線架

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

之導線的狀態下被樹脂密封。即該樹脂密封型半導體裝置,係使用兩片之導線架被製造。

被連接於上述兩個之半導體晶片的一方之導線的內導線部及被連接於他方之導線的內導線部,係在樹脂密封體之內部被彎曲成相互接近之方向,並藉由雷射被熔接接合。此等之導線之中,被連接於一方之半導體晶片的導線之他端部,係由樹脂密封型之側面被拉出到外部並用以構成外導線。相對地,被連接於另外一方之半導體晶片的導線之他端部,係藉由上述雷射熔接接合之後,在轉送模型工程之前,在樹脂密封體之內部爲了被切斷,不被拉出到樹脂密封體之外部。即,由樹脂密封體被拉出之外導線部,係在兩個之半導體晶片用以構成共同之外部連接端子。

尚有,本發明者,係在本發明之完成後行進行公開例調查。該結果,做爲在樹脂密封體之內部用以疊層兩個之半導體晶片並關於密封之半導體裝置的上述以外之先前技術,進而發現日本專利(案)特開平5-82719號公報及特表平1010-506226號公報。可是,關於以後詳述之本發明的半導體裝置中之導線架構造,係此等之公報中皆未被記載。

【發明所欲解決之問題】

本申請案中被揭示發明之中,若將代表性之概要簡單加以說明,則如下所述。

本發明之半導體裝置,係使在背面彼此重疊成對置之第1及第2半導體晶片之側面近傍被配置著固定電位導線,

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

使複數之信號導線及前述固定電位導線各自之一面及被形成於前述第1半導體晶片之主面的複數之接合墊片藉由複數之配線以電氣被連接,使前述複數之信號導線及前述固定電位導線各自之他面及被形成於前述第2半導體晶片之主面的複數之接合墊片藉由複數之配線以電氣被連接,並使前述第1及第2半導體晶片,前述複數之信號導線,前述固定電位導線,及前述複數之配線被樹脂密封。

又,本發明之半導體晶片,係在前述第1及第2半導體晶片之其中之一的主面,被固著吊式導線用以支持前述第1及第2半導體晶片。

又,本發明之半導體晶片,係使前述第1及第2半導體晶片,使此等之背面的一部分不要重疊將相互之位置偏移被對置配置,而前述固定電位導線之一部分,係被固著於前述第1半導體晶片之背面的前述未重疊之領域,前述固定電位導線之其他的一部分,係被固著於前述第2半導體晶片之背面的前述未重疊領域。

又,本發明之半導體裝置,係使前述固定電位導線之一部分介在於前述第1及第2半導體晶片之間並被固著於此等之背面,而使前述固定電位導線之其他的一部分由前述第1及第2半導體晶片之側面延伸於外方。

【發明之實施形態】

以下,將本發明之實施形態根據圖式詳細加以說明。尚有,爲了用以說明實施形態之全圖中,在同一構件係賦予

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (4)

同一編號,而省略其重複說明。

【實施形態1】

圖1係顯示將本實施形態之半導體裝置的上面除去模型樹脂之一部分的狀態平面圖,圖2係顯示將該半導體裝置的下面(實裝面)除去模型樹脂之一部分的狀態平面圖,圖3係沿著該半導體裝置之短邊方向(圖1之I I I-I I I 線)之剖面圖,圖4係沿著相同長邊方向(圖1之I V-I V線)之剖面圖。

本實施形態之半導體裝置,係用以疊層兩片之半導體晶片(以下簡稱晶片)1A、1B以模型樹脂2進行密封之TSOP(Thin Small Out-line Package)。該TSOP1之平面形係長方形,其寬(短邊之長度)係譬如400密爾(mil),厚度係譬如1mm。

以模型樹脂2被密封之上述兩片的晶片1A、1B,係使分別之背面進行對置並被疊層。即,下層之晶片(第1半導體晶片)1A,係使其下面形成電路形成面(主面)。晶片1A之背面及晶片1B之背面,係藉由粘著劑6相互被固著。

上述兩片之晶片1A、1B,係具有同一外形尺寸之長方形的單結晶矽晶片,在此等之電路形成面,係譬如被形成有具有64兆二進制位(Mbit)×4二進制位(bit)之字碼×二進制位構成的DRAM。即,本實施形態之TSOP1,係用以疊層具有64兆二進制位(Mbit)×4二進制位(bit)之字碼×二進制位構成的同一品種之DRAM晶片1A、1B,將此等以模型樹

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

脂 2 藉由進行密封用以實現具有 128 兆二進制位 \times 8 二進制位之字碼 \times 二進制位構成之大容量的 DRAM 包裝。

在上述兩片之晶片 1A、1B 之分別的電路形成面之中央部，係被形成有沿著其長度方向被配置成一系列的複數之接合墊片 BP(外部端子)。即，此等之晶片 1A、1B，係採用中央墊片方式在電路形成面之中央部用以配置接合墊片 BP。兩片之晶片 1A、1B，係使一方之晶片 1A 的電路形成面及他方之晶片 1B 的電路形成面將該接合墊片 BP 列做為對稱軸相互以被反射鏡反轉之狀態下被疊層。

上述兩片之晶片 1A、1B，係沿著此等之長邊方向藉由以平行延在之 2 條吊式導線 3A、3A 被支持，在模型樹脂 2 之內部的中央被配置。此等之吊式導線 3A，係譬如在兩面被塗布粘著劑(未圖示)之聚先亞胺等通過由耐熱性樹脂所構成絕緣薄膜 4 被固著於下層之晶片 1A 的固定電位導線(下面)。如圖 4 所示，吊式導線 3A 之一部分，係在上層之晶片 1B 的上部及下層之晶片 1A 的下部為了將模型樹脂 2 之厚度形成幾乎均等，在晶片 1A、1B 之短邊近傍被彎曲於下方。

在上述模型樹脂 2 之二面的長邊之側面，係用以構成 TSOP1 之外部連接端子被設有複數條之母線導線(固定電位導線)3B 及導線(信號導線)3C。母線導線 3B 及導線 3C 之各自，係延在跨越於模型樹脂 2 之內外，使模型樹脂 2 之內側的部分被稱為內導線部，外側的部分稱為外導線部。

如圖 1 及圖 2 所示，上述母線導線 3B 及導線 3C 之各自的外導線部，係被附有 1 號到 54 號為止之端子號碼。將 TSOP

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

1由其上方觀看時(圖1),使左側列最上部之母線導線3B成爲1號端子,以後,依反時鐘方向順序增加號碼,使右側列最上部之母線導線3B成爲54號端子。1號端子之母線導線3B及27號端子之母線導線3B,係在模型樹脂2之內側以一體被構成。又,28號端子之母線導線3B及54號端子之母線導線3B,係在模型樹脂2之內側以一體被構成。

又,上述母線導線3B及導線3C之各自的外導線部,係附有端子名稱。顯示於圖1之端子名稱,係上層之晶片1B的端子名稱,顯示於圖2之端子名稱,係下層之晶片1A的端子名稱。

Vcc係被電位固定於電源電位(譬如3[V])之電源電位端子,Vss係被電位固定於基準電位(譬如0[V])之基準電位端子。RAS係低地址閘門端子,CAS係列地址閘門端子,WE係導線 / 允許寫入端子,DQM係輸出屏蔽端子,CLK係時鐘信號端子,CLE係時鐘信號允許端子,CS係晶片選擇端子,A0~A13係地址輸入端子。此等之端子,係皆爲兩片之晶片1A、1B共同之端子。

DQ0~DQ7係數據輸入端子。此等之端子之中,圖1所示DQ0~DQ3係上層之晶片1B的數據輸出端子,被附此等之端子名稱的導線3C(53號,50號,47號,44號),係成爲下層之晶片1A的NC(空的)端子(圖2)。又,圖2所示DQ4~DQ7係下層之晶片1A的數據輸出入端子,附上此等之端子名稱的導線3C(11號,8號,5號,2號),係成爲上層之晶片1B的NC(空的)端子(圖1)。尚有,被附有4號,7號,10號,13號,15號,36號,40號,42號,45

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明 (7)

號, 48號及 51號之號碼的 3C, 係兩片之晶片 1A、1B皆未被連接的 NC 端子。

在模型樹脂 2 之內部, 上述母線導線 3B, 係主要在晶片 1A、1B 之二片的長度近傍各被配置 1 條。另外之母線導線 3B 之兩端部 (外導線部) 係被拉出到模型樹脂 2 之外部, 用以構成被附有 1 號及 27 之端子號碼的電源電位端子 (Vcc)。又, 他方之母線導線 3B 之兩端部 (外導線部) 係被拉出到模型樹脂 2 之外部。用以構成被附有 28 號及 54 號之端子號碼的基準電位端子 (Vss)。此等之母線導線 3B、3B 及上層之晶片 1B 的接合墊片 BP, 係通過由 Au 等之低電阻金屬所構成的配線 5 以電氣被連接 (圖 1)。同樣, 此等之母線導線 3B、3B 及下層之晶片 1A 的接合墊片 BP, 係通過配線 5 以電氣被連接 (圖 2)。

在模型樹脂 2 之內部, 複數條之導線 3C 的內導線部, 係被配置成能包圍晶片 1A、1B, 而此等之前端部係定位於比母線導線 3B 稍微外側。此等之導線 3C 之中, 在兩片之晶片 1A、1B 用以構成共同之端子的電源電位端子 (Vcc), 基準電位端子 (Vss), 低地址閘門端子 (RAS), 列地址閘門端子 (CAS), 導線 / 允許寫入端子 (WE), 輸出入屏蔽端子 (DQM), 時鐘信號端子 (CLK), 時鐘信號允許端子 (CLE), 晶片選擇端子 (CS) 及地址輸入端子 (A0~A13) 之導線 3C 的內導線部, 係晶片 1A 之對應的接合墊片 BP 及晶片 1B 之對應的接合墊片 BP 分別通過配線 5 以電氣被連接 (圖 1、圖 2)。

又, 用以構成上層之晶片 1B 之數據輸出入端子 (DQ0~

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明（ 8 ）

DQ3)的導線3C之內導線部,係與晶片1B之對應的接合墊片BP通過配線5以電氣被連接(圖1),用以構成下層之晶片1A之數據輸出入端子(DQ4~DQ7)的導線3C之內導線部,係與晶片1A之對應的接合墊片BP通過配線5以電氣被連接(圖2)

其次,如上述將被構成之TSOP1的製造方法使用圖5~圖14依工程順序加以說明。

圖5係使用於TSOP1之製造的導線架LF1之平面圖。該導線架LF1,係在長方形之框體10的內側用以形成吊式導線3A,母線導線3B及導線3C等之構件的構成。

上述母線導線3B及導線3C之中,圖之左側的導線群,係藉由1條延在於導線架LF1之長邊方向的無光線11A相互被連接。同樣,圖之右側的導線群,係藉由1條延在於導線架LF1之長邊方向的方位線11B相互被連接。此等之方位線11A、11B,係在後述之製造工程用以形成模型樹脂2時,使模型樹脂2由模型金屬模之模腔爲了防止漏出到外部的構件。

上述導線架LF1,係譬如將由如42合金之鐵(Fe)-鎳(Ni)合金或銅等所構成之薄板材進行蝕刻加工用以形成框體10,吊式導線3A,母線導線3B,導線3C及方位線11A、11B等之構件後,將吊式導線3A之一部分以壓出加工藉由彎曲成如前述圖4所示之形狀被製造。用以構成導線架LF1之板材的厚度係譬如0.1mm~0.12mm,在方位線11A、11B之近傍中的母線導線3B及導線3C之寬係譬如0.4mm,間距係譬如1.27

五、發明說明 (9)

mm。尚有,實際之導線架 LF1,係成爲將 5~6 個程度之 TSOP 同時可成形之多連構造,但在圖 5 係顯示 TSOP 1 個分的領域。

使用上述導線架 LF1 用以製造 TSOP 1,係首先,如圖 6 及圖 7(沿著圖 6 之 V I I-V I I 線的概略剖面圖)所示,在導線架 LF1 之中央部用以搭載第 1 晶片 1A。在導線架 LF1 用以搭載晶片 1A,係譬如在兩面將用以塗布丙烯酸 / 環氧樹脂系之粘著劑的絕緣薄膜 4 貼著在晶片 1A 之主面(電路形成面上),接著將該絕緣薄膜 4 貼著在導線架 LF1 之吊式導線 3A。或,預先在吊式導線 3A 貼上絕緣薄膜 4 放著,在該絕緣薄膜 4 貼著晶片 1A 之主面也可。爲了將 TSOP 之厚度形成 1mm 以下之薄片,預先用以研磨晶片 1A(及晶片 1B)之背面,將其厚度形成 $200\mu\text{m}$ 以下,較佳係形成 $100\mu\text{m}$ 以下之薄片放著。又,做爲絕緣薄膜 4,係用以使用厚度 $50\mu\text{m}$ 以下,較佳係 $30\mu\text{m}$ 以下。

其次,如圖 8 所示,將用以搭載晶片 1A 之導線架 LF1 搭載於配線接合裝置(未圖示)之熱處理台 20,將晶片 1A 之背面藉由真空吸著等固定於熱處理台 20 後,將導線架 LF1 之母線導線 3B 及導線 3C 及晶片 1A 之對應的接合墊片 BP 以配線 5 進行電氣連接。做爲對屬線,係譬如使用金(Au)配線。又,藉由配線 5 做爲連接方法,係譬如使用用以併用熱壓著及超音波振動之配線接合方法。

其次,如圖 9 及圖 10 所示,在晶片 1A 之背面使第 2 晶片 1B 之背面重疊,使用 Ag 膏等之粘著劑 6 將背面彼此進行粘接後

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

,如圖 11及圖 12所示,將導線架 LF1之母線導線 3B及導線 3C及晶片 1A之對應的接合墊片 BP以配線 5進行電氣連接。

接著,將上述導線架 LF1裝著在模型金屬模(未圖示),如圖 1及圖 3所示,將兩片之晶片 1A、1B及配線 5與導線架 LF1的一部分一起以模型樹脂 2進行密封。做、為模型樹脂 2,係譬如使用含二氧化矽之環氧系樹脂。

之後,在露出於模型樹脂 2之外部的導線架 LF1之表面實施焊錫電鍍之後,進行導線架 LF1之不要部位(方位線 11A、11B及框體 10)的切斷除去及殘留於模型樹脂 2之側面及方位線 11A、11B之間隙的樹脂除去(除去溢料)等,接著將露出於模型樹脂 2之外部的母線導線 3B及導線 3C之外導線部藉由成形為電鍍狀,完成前述圖 1~圖 4所示之 TSOP1。

如此,若依據本實施形態,則用以疊層被形成 DRAM之兩片的晶片 1A、1B以模型樹脂 2藉由進行密封,比將一片之晶片以模型樹脂 2進行密封之 TSOP實質上可用以實現具有 2倍容量的 DRAM封裝。即,將本實施形態之 TSOP1藉由實裝於模組基板,將使用於個人電腦或 WS(Work Station)等之主要記憶體可用以實現適合之大容量 D I M M(Dual In-line Memory Module)。尚有,本實施形態之 TSOP,係與通常之 TSOP相同方法可實裝於模組基板。

若依據本實施形態,則將兩片之晶片 1A、1B以一片之導線架的吊式導線 3A藉由用以支持,使構件件數的增加被抑制,所以將兩片之晶片 1A、1B以模型樹脂 2進行密封可用以減低 TSOP之製造成本。又,比起在兩片之晶片 1A、1B之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (11)

各自主面上用以配置導線之 LOC 構造而在晶片 1A、1B 之疊層方向中可將模型樹脂 2 之厚度變薄,所以也可用以實現超薄型之 TSOP1。

(實施形態 2)

圖 15 係顯示將本實施形態之半導體裝置的上面除去模型樹脂之一部分的狀態平面圖,圖 16 係顯示將該半導體裝置的下面(實裝面)除去模型樹脂之一部分的狀態平面圖,圖 17 及圖 18 係沿著該半導體裝置之短邊方向之剖面圖,圖 19(a)、(b)係沿著該半導體裝置之長邊方向之剖面圖。

前述實施形態 1 之 TSOP1,係使背面彼此重合將疊層之兩片的晶片 1A、1B 藉由 2 條之吊式導線 3A、3A 加以支持,但本實施形態之 TSOP2,係

係使背面彼此重合將疊層之兩片的晶片 1A、1B 藉由 2 條之母線導線 3B 加以支持。即該 TSOP2,係使母線導線 3B 形成兼用前述 TSOP1 之吊式導線 3A 之構成。

上述兩片之晶片 1A、1B,係使相互之位置在此等之短邊方向稍微偏移,僅使兩者之重合領域藉由粘著劑 6 相互被固著。即下層之晶片 1A,係使一方之長邊的近傍中之上面的一部分不與上層之晶片 1B 重疊,在該領域係通過絕緣薄膜 4 使一條之母線導線 3B 被固著。同樣,上層之晶片 1B,係使一方之長邊的近傍中之下面(電路形成面)的一部分不與上層之晶片 1A 重疊,在該領域係通過絕緣薄膜 4 使另一條之母線導線 3B 被固著。做為絕緣薄膜 4,係與前述實施形態同

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (12)

樣,使用在兩面使粘著劑(未圖示)被塗布之絕緣薄膜。

如圖 18 所示,在上述晶片 1A、1B 之長邊近傍中,在被固著於晶片 1A 之上面的母線導線 3B 及被固著於晶片 1B 之下方的母線導線 3B 的各自,係形成有延在於與其延成方向進行垂直的複數條短的分歧導線 3D,將晶片 1A、1B 及母線導線 3B 以電氣連接之配線 5 的一端,係在此等之分歧導線 3D 被接合。又,如圖 19(a)、(b)所示,2 條母線導線 3B 之一方,係在晶片 1A、1B 之短邊近傍被彎曲於上方,而他方係在晶片 1A、1B 之短邊近傍被彎曲於下方。

如圖 15 及圖 16 所示,在上述母線導線 3B 及導線 3C 之各自的外導線部,係附有 1 號到 54 之端子號碼。此等之端子名稱係因為與前述實施形態 1 相同,所以省略其顯示。

圖 20 係使用以上述 TSOP2 之製造的導線架 LF2 之平面圖。該導線架 LF2,係在長方形之框體 10 的內側成為用以形成母線導線 3B,導線 3C 及方位線 11A、11B 等之構件的構成。

使用上述導線架 LF2 之 TSOP2 的製造,係以前述實施形態 1 根據說明之方法進行即可。即,圖示係省略,但首先在被形成於導線架 LF2 之 2 條的母線導線 3B 之一方通過絕緣薄膜 4 用以固著第 1 晶片 1A 之後,將母線導線 3B 及導線 3C 及晶片 1A 之對應的接合墊片 BP 以配線 5 進行電氣連接。其次,在另外一條之母線導線 3B 通過絕緣薄膜 4 用以固著第 2 晶片 1B 同時將晶片 1A、1B 之背面彼此以粘著劑 6 固著之後,將母線導線 3B 及導線 3C 及晶片 1B 之對應的接合墊片 BP 以配

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (13)

線 5 進行電氣連接。

接著,將上述導線架 LF2 裝著於模型金屬模,將 2 片之晶片 1A、1B 及配線 5 與導線架 LF2 的一部分一起以模型樹脂 2 進行密封。接著,在露出於模型樹脂 2 之外部的導線架 LF2 之表面實施焊錫電鍍,進而進行導線架 LF2 之不要部位的切斷除去及模型樹脂 2 之毛邊取掉等之後,將露出於模型樹脂 2 之外部的母線導線 3B 及導線 3C 之外導線部藉由成形為電鍍狀,用以完成前述圖 15~圖 19 所示之 TSOP2。

(實施形態 3)

圖 21 係顯示將本實施形態之半導體裝置的上面除去模型樹脂之一部分的狀態平面圖,圖 22 係顯示將本實施形態之半導體裝置的下面(實裝面)除去模型樹脂之一部分的狀態平面圖,圖 23 係沿著本半導體裝置之短邊方向的剖面圖,圖 24 係沿著本半導體裝置之長邊方向的剖面圖。

本實施形態之 TSOP3,係在使背面彼此對置之兩片的晶片 1A、1B 之間,沿著此等之長度方向藉由夾入延在於平行的 2 條母線導線 3B、3B 用以支持晶片 1A、1B。此等之母線導線 3B,係在兩面通過被塗布粘著劑(未圖示)的絕緣薄膜 4 被固著於晶片 1A、1B 之各自的背面。即,該 TSOP3,係使母線導線 3B 形成兼用前述 TSOP1 之吊式導線 3A 的構成。

被挾持於晶片 1A、1B 之間的上述 2 條之母線導線 3B、3B 的各自一部分,係由晶片 1A、1B 之側面延在於外方,在被形成於此的分歧導線 3D 之前端部,係將晶片 1A、1B 及母線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

導線 3B 使以電氣連接的配線 5 之一端被接合。

如圖 21 及圖 22 所示,在上述母線導線 3B 及導線 3C 之各自的外導線部,係被附有 1 號到 54 號之端子號碼。此等之端子名稱係因為與前述實施形態 1 同樣,所以省略其顯示。

圖 25 係使用於上述 TSOP3 之製造的導線架 LF3 之平面圖。該導線架 LF3,係在長方形之框體 10 之內側成為用以形成母線導線 3B,導線 3C 及方位線 11A、11B 等之構件的構成。

使用上述導線架 LF3 之 TSOP3 的製造,係以前述實施形態 1 根據說明之方法進行即可。即,省略圖示,但首先在被形成於導線架 LF2 之 2 條的母線導線 3B 之單面通過絕緣薄膜 4 用以固著第 1 晶片 1A 之後,將母線導線 3B 及導線 3C 及晶片 1A 之對應的接合墊片 BP 以配線 5 進行電氣連接。接著,在母線導線 3B 之另外一方的面通過絕緣薄膜 4 用以固著第 2 晶片 1B 之後,將母線導線 3B 及導線 3C 及晶片 1B 之對應的接合墊片 BP 以配線 5 進行電氣連接。

其次,將上述導線架 LF3 裝著於模型樹脂,將兩片之晶片 1A、1B 及配線 5 與導線架 LF3 的一部分一起以模型樹脂 2 進行密封。接著,在露出於模型樹脂 2 之外部的導線架 LF3 之表面實施焊錫電鍍,進而進行導線架 LF3 之不要部位的切斷除去及模型樹脂 2 之毛邊取掉等之後,將露出於模型樹脂 2 之外部的母線導線 3B 及導線 3C 之外導線部藉由成形為電鍍狀,用以完成前述圖 21~圖 24 所示之 TSOP3。

以上,根據本發明者將被形成之發明依據前述實施形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (15)

態具體加以說明,但本發明係並不限定於前述之實施形態,只要在不脫離其要旨之範圍內勿庸多贅可做種種的變更。

譬如如圖 26 所示,將用以支持兩片之晶片 1A、1B 的吊式導線 3A 之長度設定比前述實施形態 1 之吊式導線 3A 更短也可。以如此,比起前述實施形態 1 使晶片 1A 及吊式導線 3A 之接觸面積減少所以使晶片 1A、1B 之穩定性會稍微的降低,但使介在於晶片 1A 及吊式導線 3A 之間的絕緣薄膜 (4) 之面積也減少,所以使絕緣薄膜 (4) 之吸收量變少,可取得提高 TSOP1 之耐裂痕的效果。

同樣,在前述實施形態 2 或前述實施形態 3 中,在不損壞母線導線 3B 之功能範圍內也可變更其形狀或長度。

又,將導線架 LF 之母線導線 3B (或導線 3C) 及晶片 1A、1B 之接合墊片 BP 以配線 5 進行連接時,係如圖 27 所示,在母線導線 3B (導線 3) 之表面用以連接 (第 1 接合) 配線 5 之一端到接合墊片 BP 之表面用以連接 (第 2 接合) 配線 5 之他端採用交換接合方法也可。藉由如此進行,可用以降低配線 5 之回線高度,所以可將 TSOP 之厚度形成更薄。

本發明係不限定於 TSOP,譬如 TSOJ 等,使外導線部之形狀也可適用於不同之其他的樹脂密封型半導體裝置。又,晶片係不限定於 DRAM,譬如也可使用用以形成 SRAM 或閃光記憶體等之記憶體 LSI 的晶片。

【發明之效果】

根據本申請案被揭示發明之中,將依據代表性取得的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (16)

效果若簡單加以說明,則如下所述。

若依據本發明,則用以疊層兩個之半導體晶片並進行樹脂密封可用以減低半導體裝置之製造成本。

若依據本發明,則用以疊層兩個之半導體晶片並進行樹脂密封可用以推進半導體裝置之薄型化。

【圖式之簡單說明】

圖1係顯示本發明之實施形態1之半導體裝置之上面的平面圖。

圖2係顯示本發明之實施形態1之半導體裝置之下面的平面圖。

圖3係沿著圖1之I-I線之半導體裝置的剖面圖。

圖4係沿著圖1之V-V線之半導體裝置的剖面圖。

圖5係使用於本發明之實施形態1之半導體裝置之導線架的平面圖。

圖6係顯示本發明之實施形態1之半導體裝置之製造方法的平面圖。

圖7係顯示本發明之實施形態1之半導體裝置之製造方法的剖面圖。

圖8係顯示本發明之實施形態1之半導體裝置之製造方法的剖面圖。

圖9係顯示本發明之實施形態1之半導體裝置之製造方法的平面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (17)

圖 10 係顯示本發明之實施形態 1 的半導體裝置之製造方法的剖面圖。

圖 11 係顯示本發明之實施形態 1 的半導體裝置之製造方法的平面圖。

圖 12 係顯示本發明之實施形態 1 的半導體裝置之製造方法的剖面圖。

圖 13 係顯示本發明之實施形態 1 的半導體裝置之製造方法的平面圖。

圖 14 係顯示本發明之實施形態 1 的半導體裝置之製造方法的剖面圖。

圖 15 係顯示本發明之實施形態 2 的半導體裝置之上面的平面圖。

圖 16 係顯示本發明之實施形態 2 的半導體裝置之下面的平面圖。

圖 17 係顯示本發明之實施形態 2 的半導體裝置之剖面圖。

圖 18 係顯示本發明之實施形態 2 的半導體裝置之剖面圖。

圖 19(a)、(b) 係本發明之實施形態 2 的半導體裝置之剖面圖。

圖 20 係使用於本發明之實施形態 2 的半導體裝置之製造的導線架之平面圖。

圖 21 係顯示本發明之實施形態 3 的半導體裝置之上面的平面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明（ 18）

圖 22 係顯示本發明之實施形態 2 的半導體裝置之下面的平面圖。

圖 23 係顯示本發明之實施形態 3 的半導體裝置之剖面圖。

圖 24 係顯示本發明之實施形態 3 的半導體裝置之剖面圖。

圖 25 係使用於本發明之實施形態 3 的半導體裝置之製造的導線架之平面圖。

圖 26 係顯示本發明之其他實施形態的半導體裝置之上方的平面圖。

圖 27 係顯示本發明之其他實施形態的半導體裝置之製造方法的剖面圖。

【元件編號之說明】

1A、1B…半導體晶片， 2…模型樹脂， 3A…吊式導線， 3B…母線導線（固定電位導線）， 3C…導線（信號導線）， 3D…分歧導線， 4…絕緣薄膜， 5…配線， 6…粘著劑， 10…框體， 11A、11B…方位線， 20…熱處理台， BP…接合墊片， LF1~LF3…導線架。

四、中文發明摘要 (發明之名稱： 半導體裝置及其製造方法)

將 2 個半導體晶片加以層合用以減低進行樹脂封止的半導體裝置之製造成本。又，用以推進該半導體裝置的薄型化。

以模型樹脂 2 被封止之 2 片的晶片 1 A、1 B，係分別使背面能對置被層合，藉由被固著於下層之晶片 1 A 的電路形成面（下面）之吊式導線 3 A 被支持。在此等之晶片 1 A、1 B 的側面近傍係被配置一對之母線導線 3 B，進而在其外側係被配置有複數的導線 3 C。在母線導線 3 B 及導線 3 C 之分別的一面及晶片 1 A 之間係使金屬線 5 被搭接，在母線導線 3 B 及導線 3 C 之分別之他面及晶片 1 B 之間係使金屬線 5 被搭接。

【選擇圖】 圖 3

英文發明摘要 (發明之名稱：)

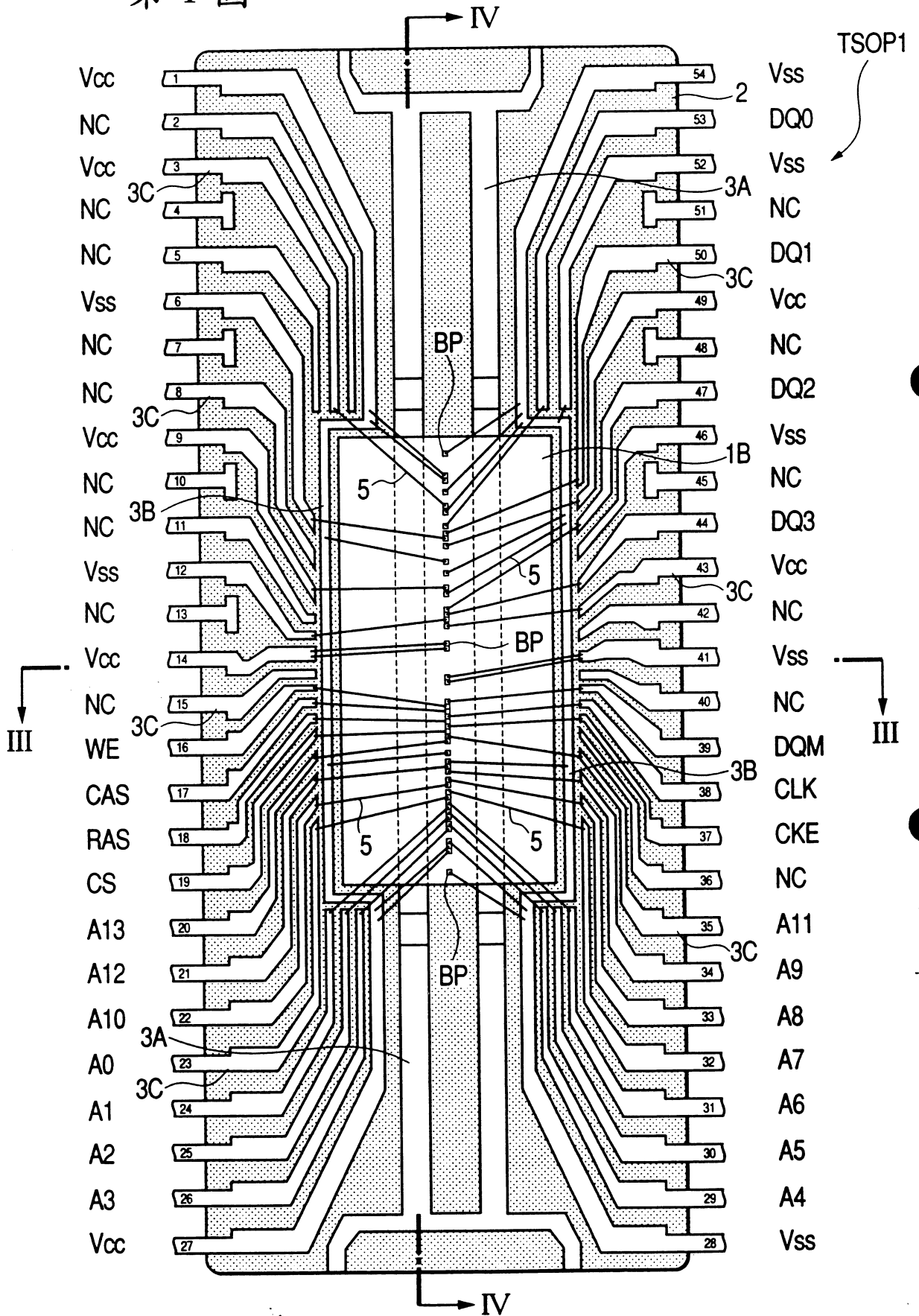
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

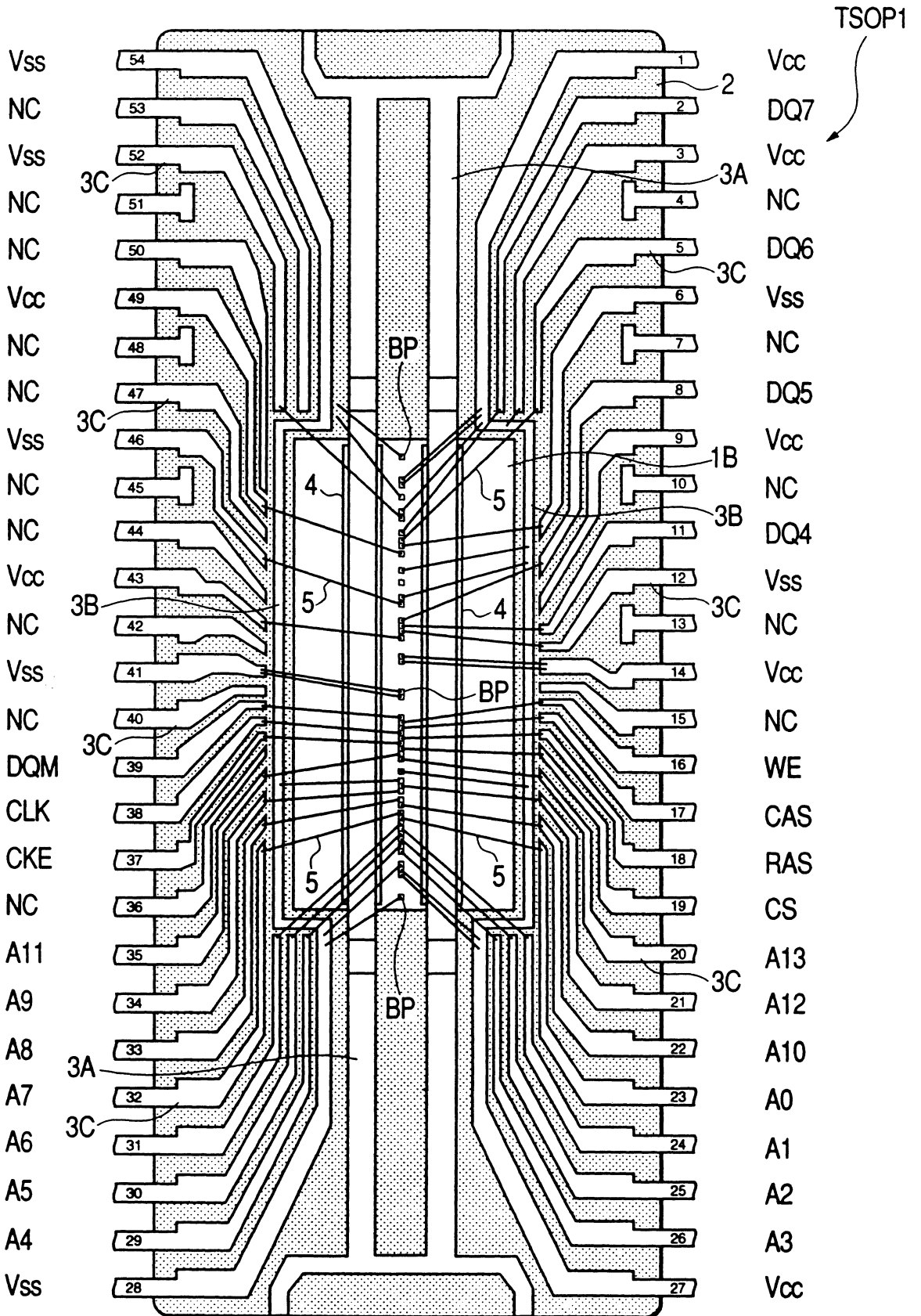
訂

線

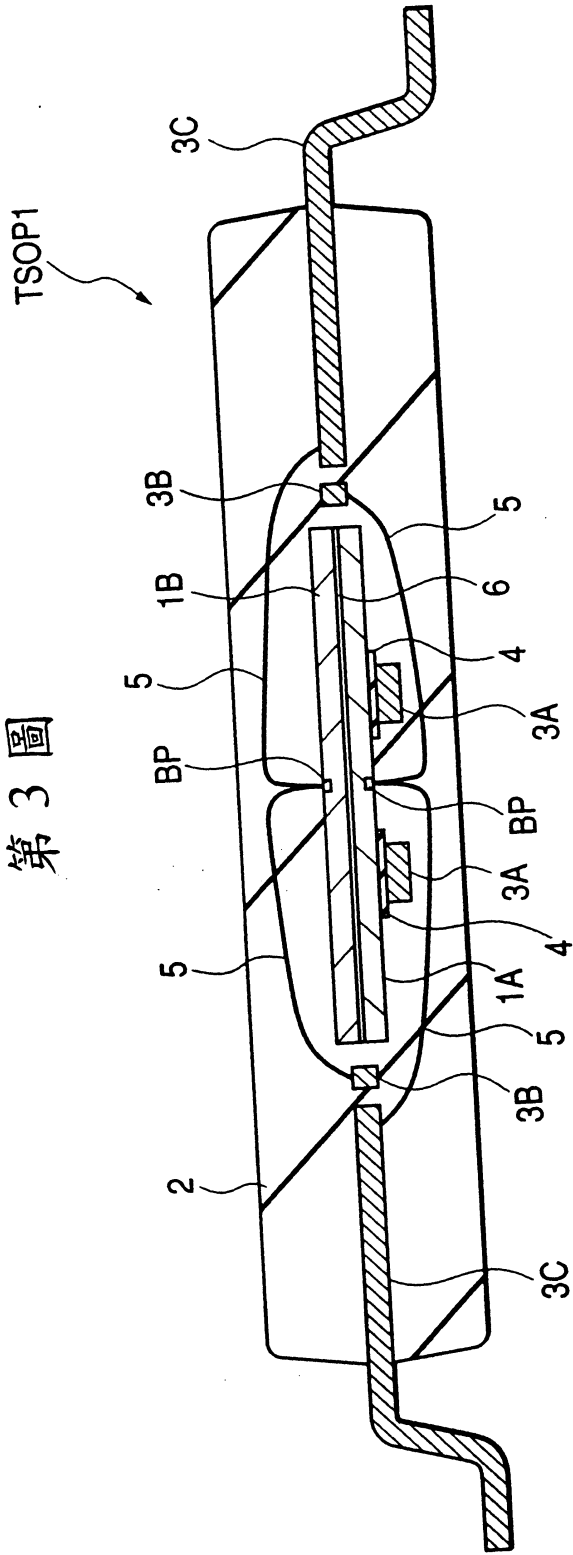
第 1 圖



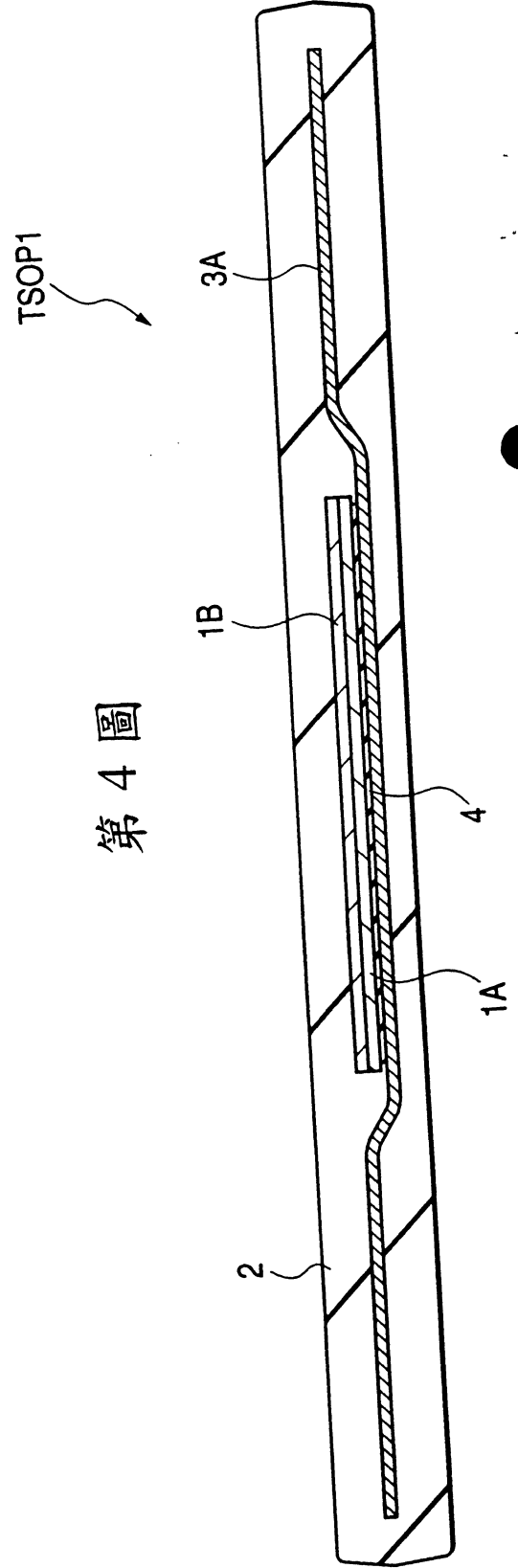
第 2 圖



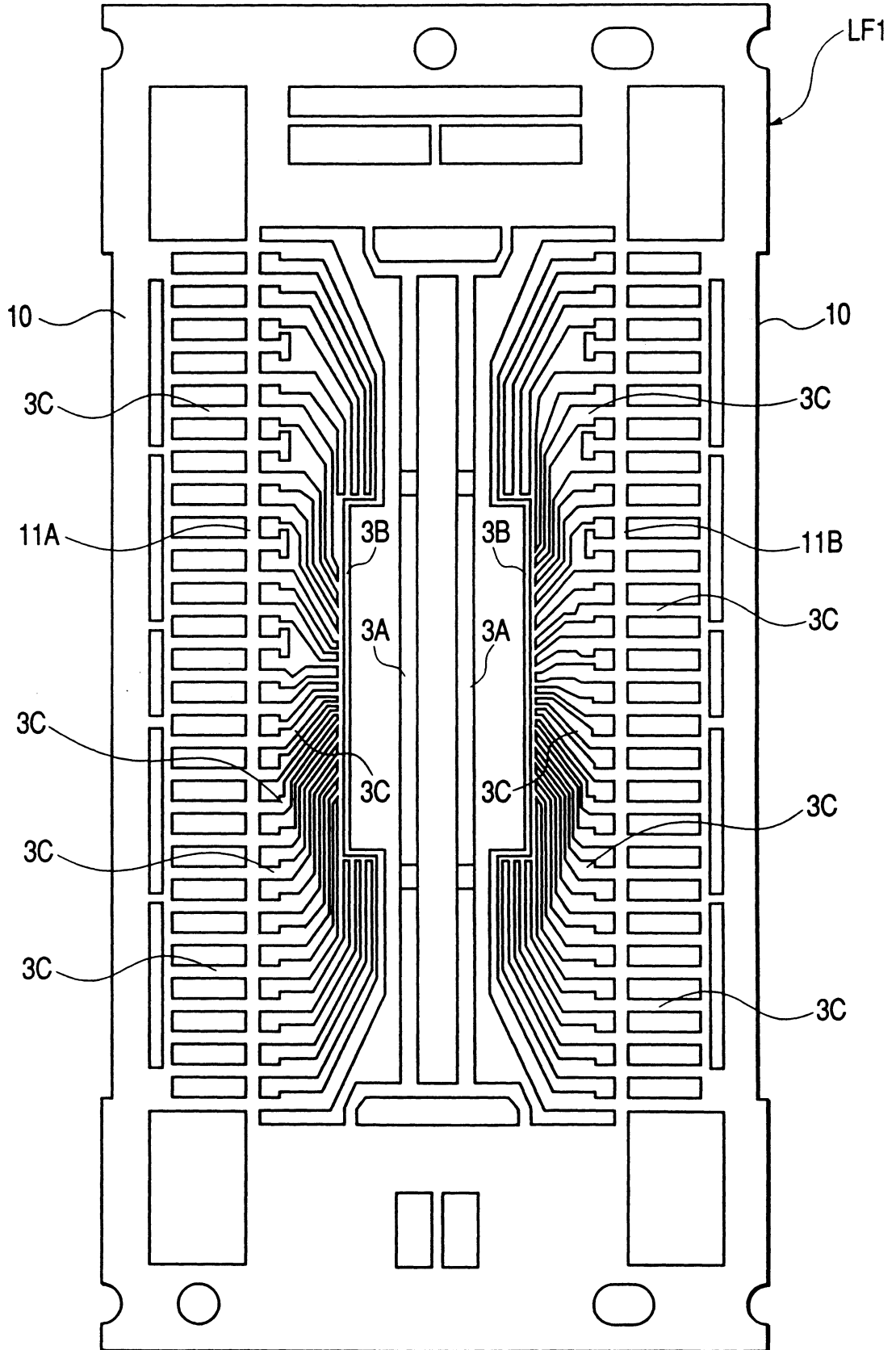
第 3 圖



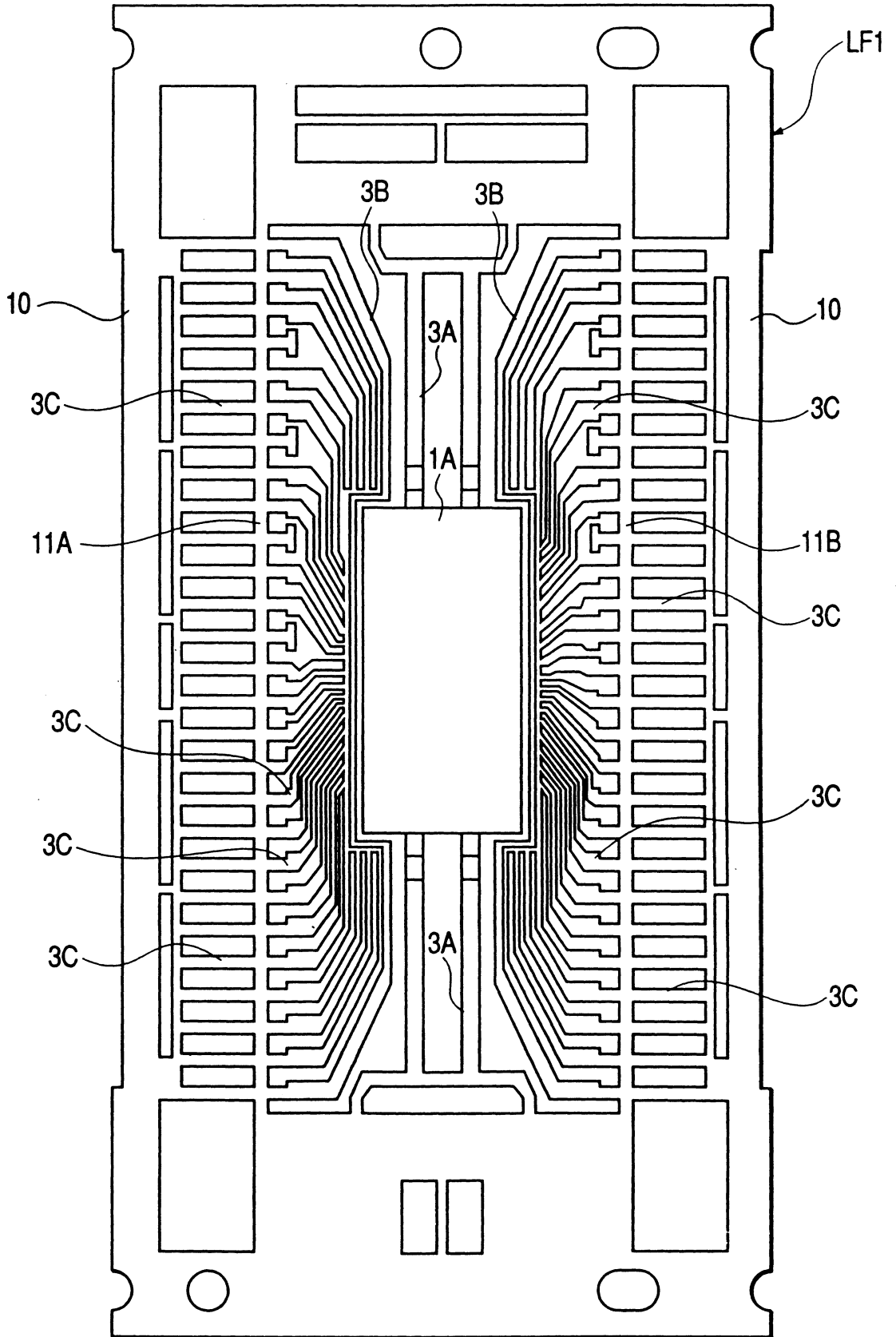
第 4 圖



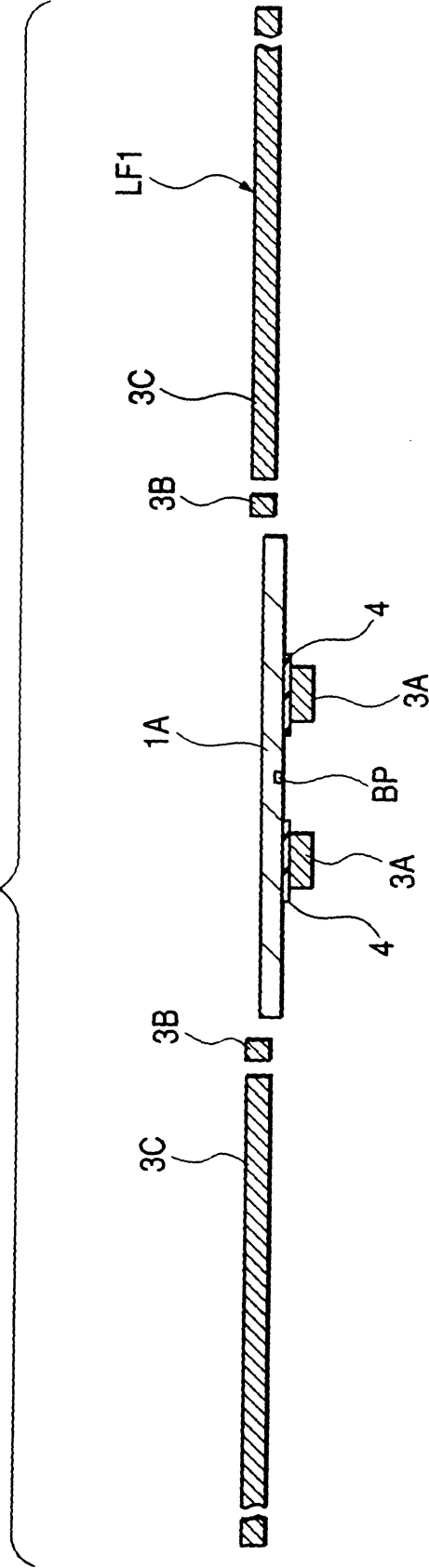
第 5 圖



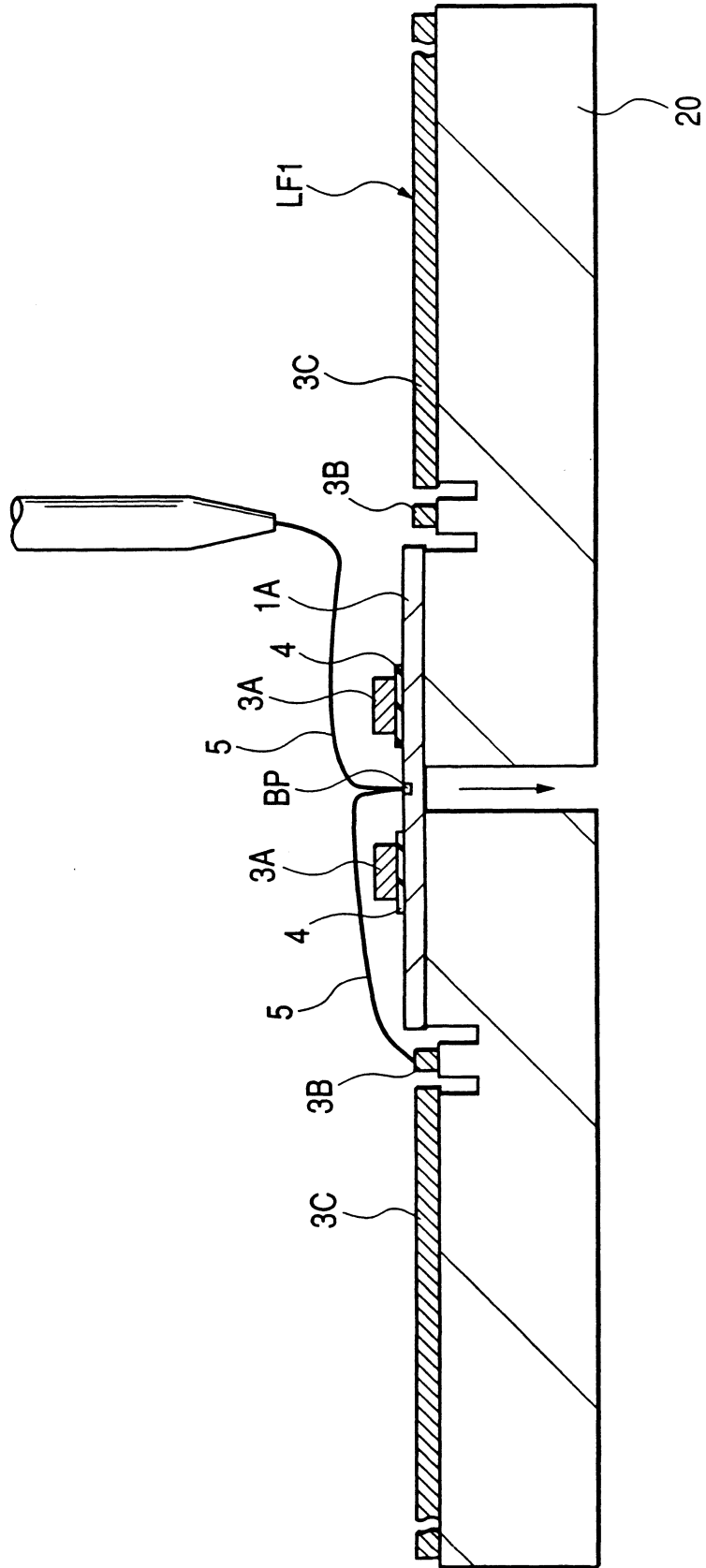
第 6 圖



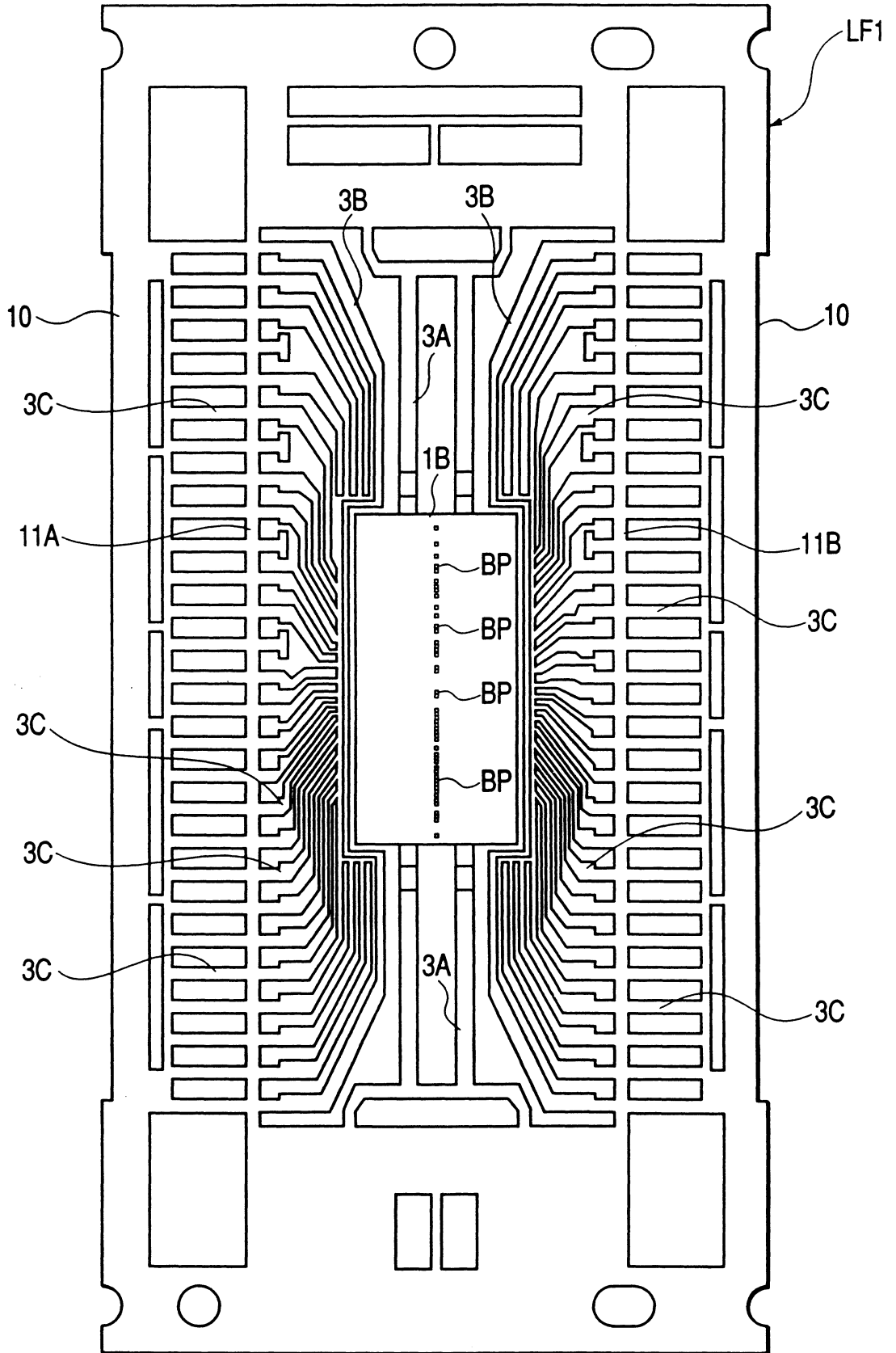
第 7 圖



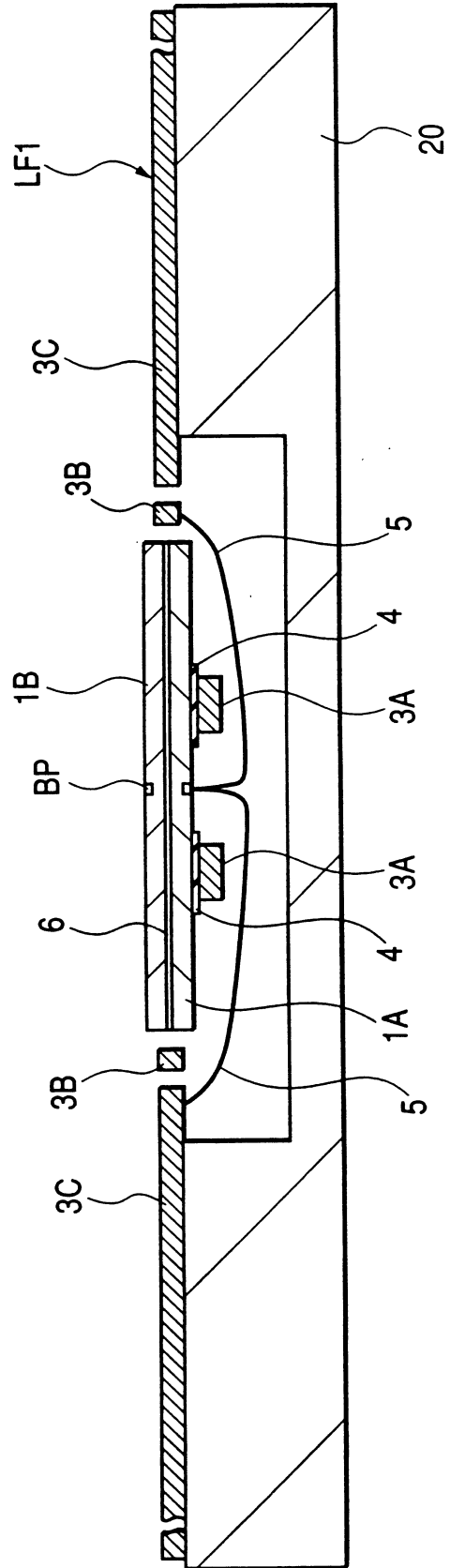
第 8 圖



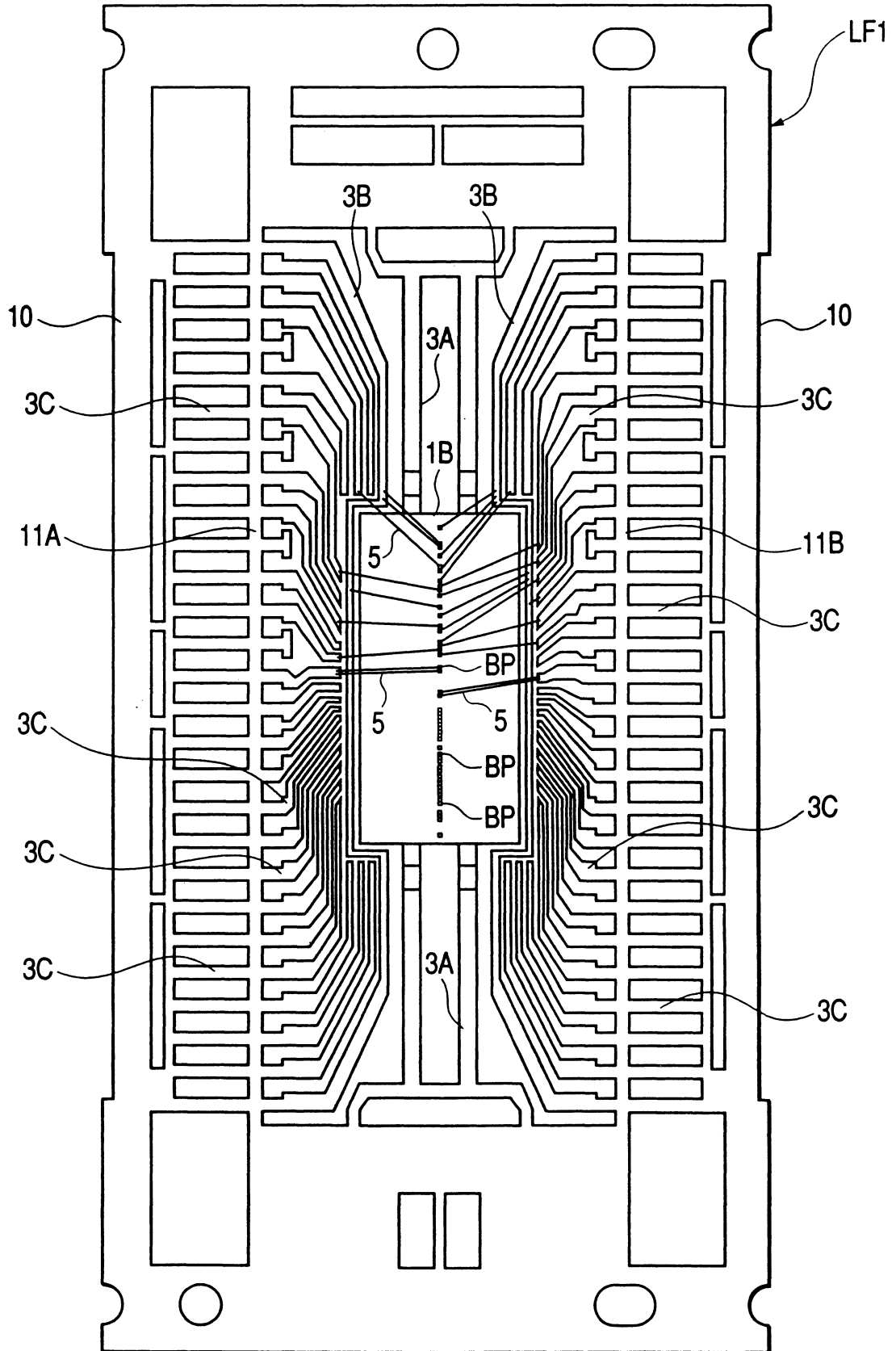
第 9 圖



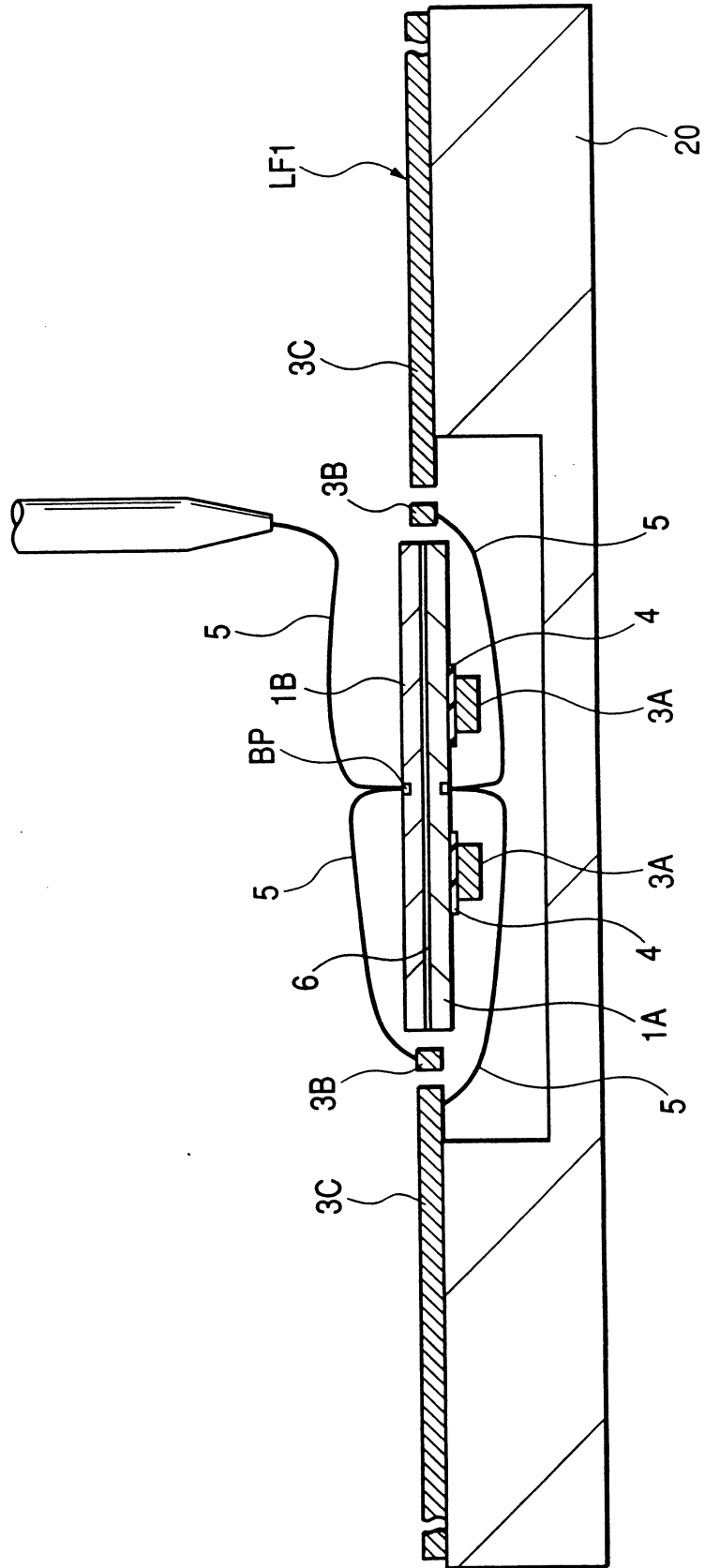
第 10 圖



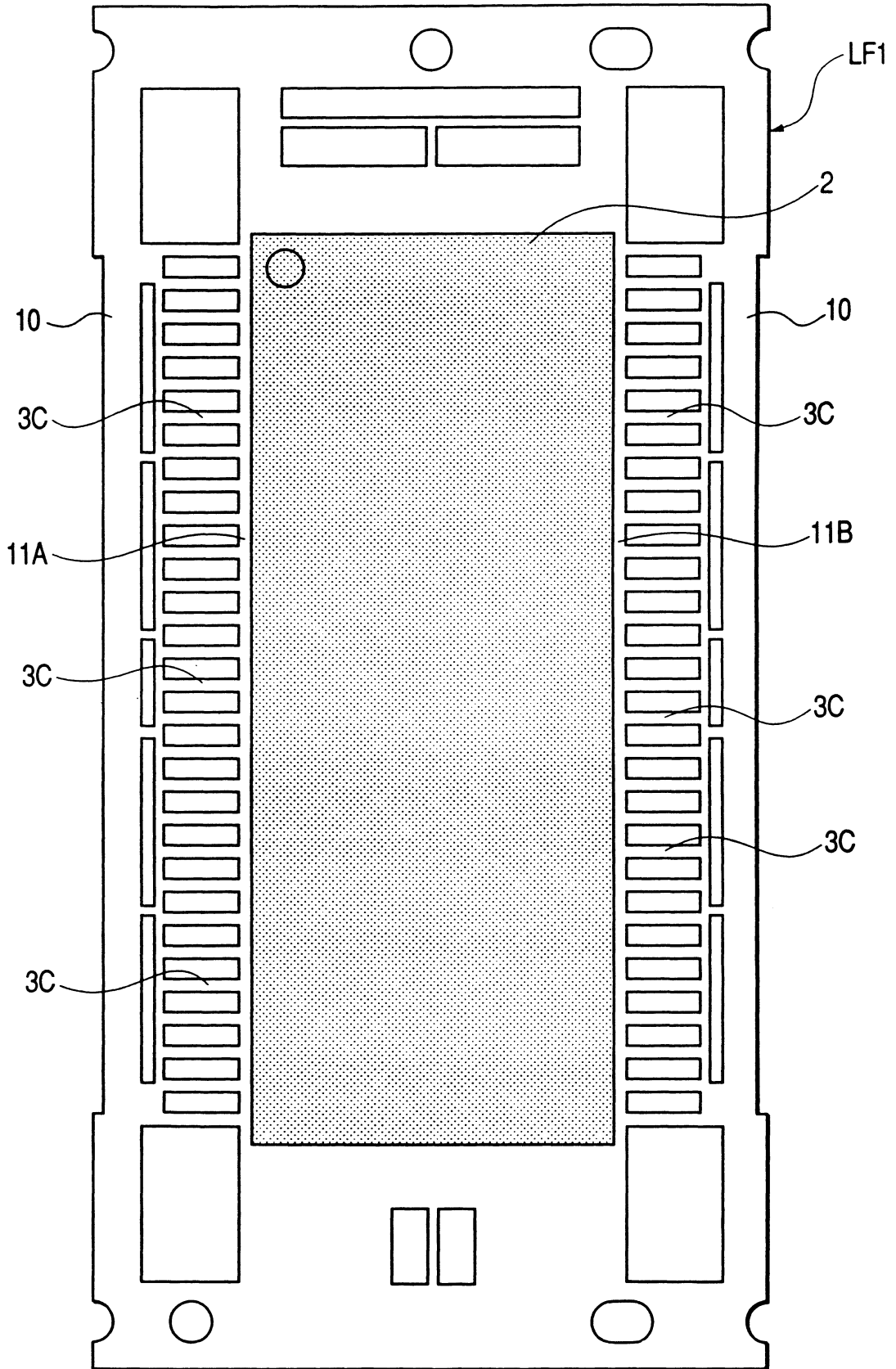
第 11 圖



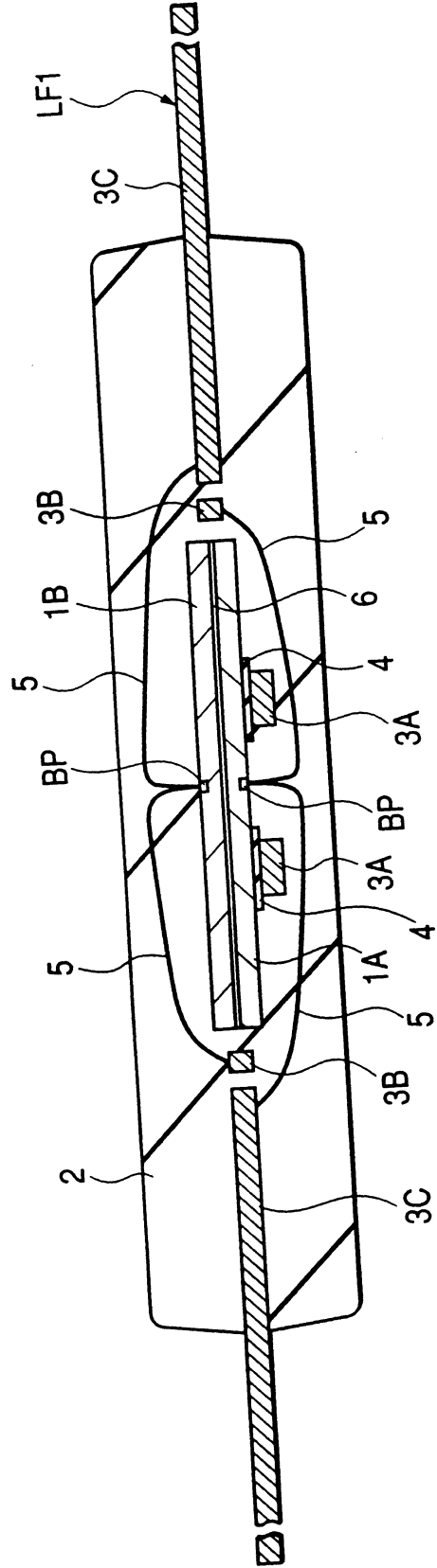
第 12 圖



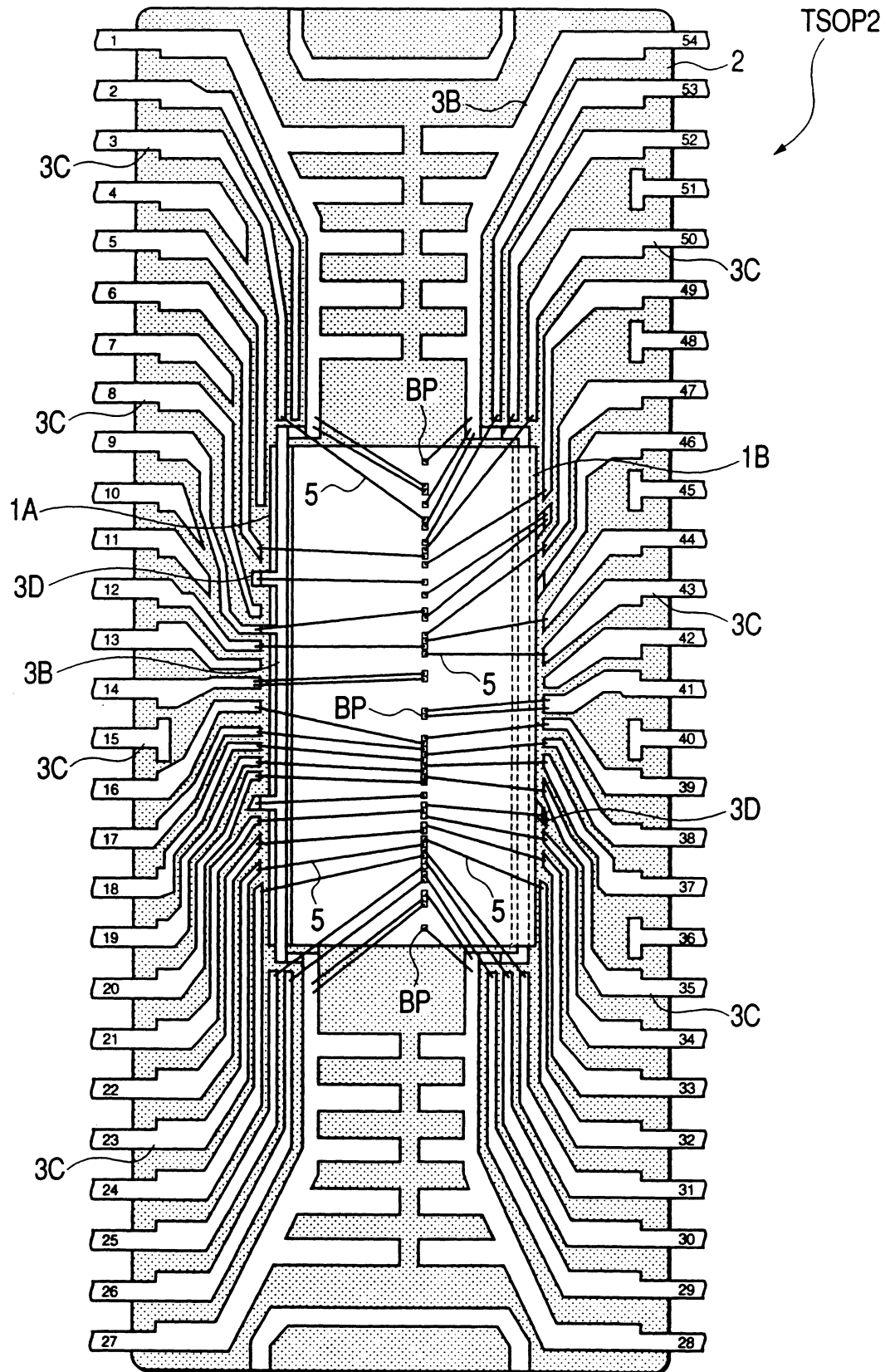
第 13 圖



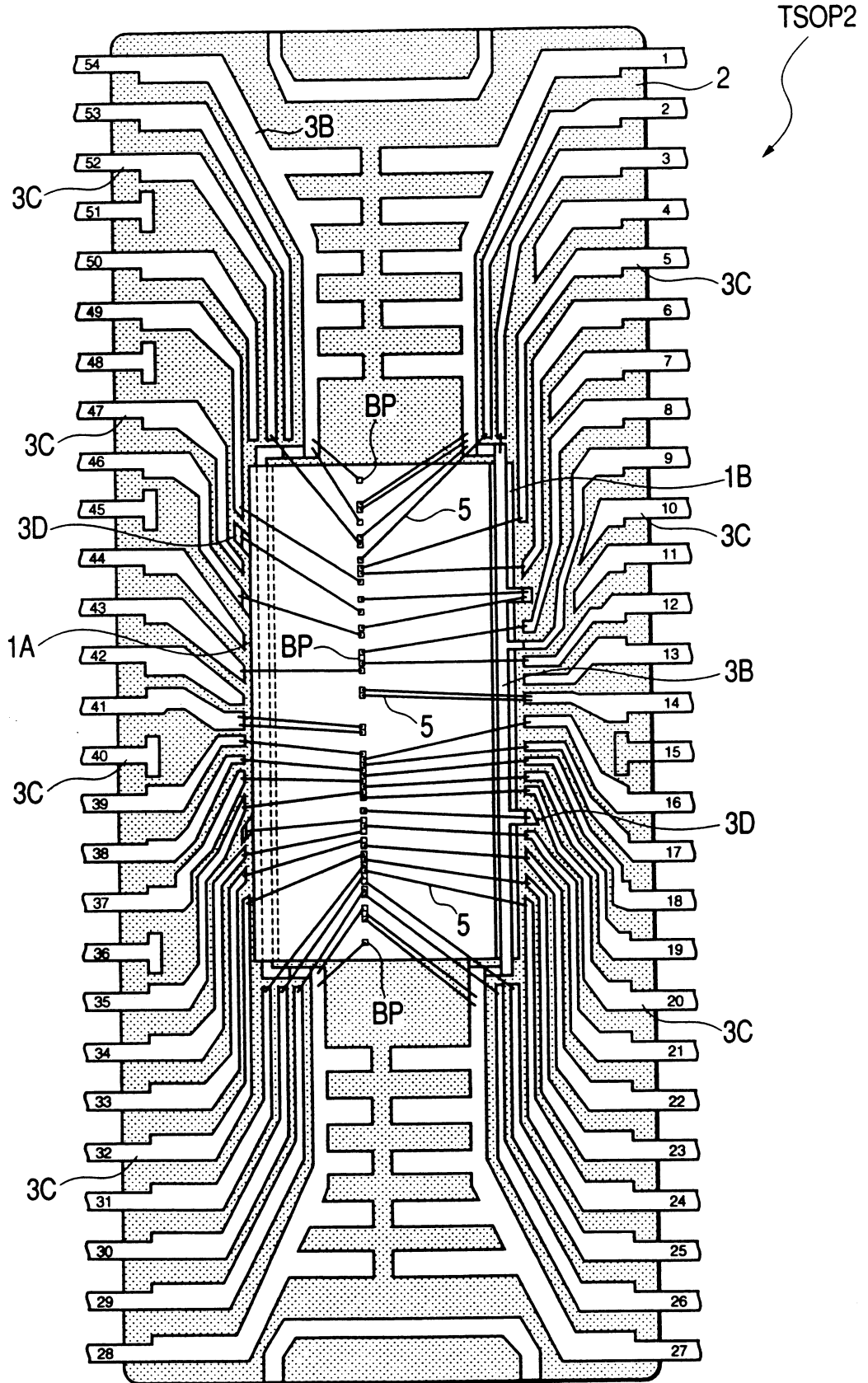
第 14 圖

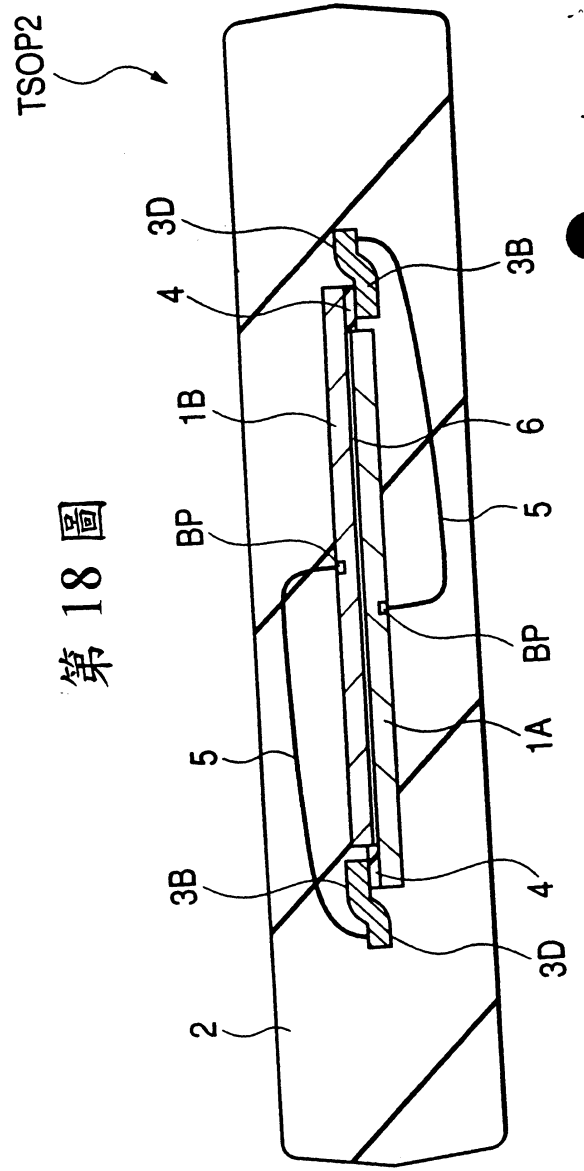
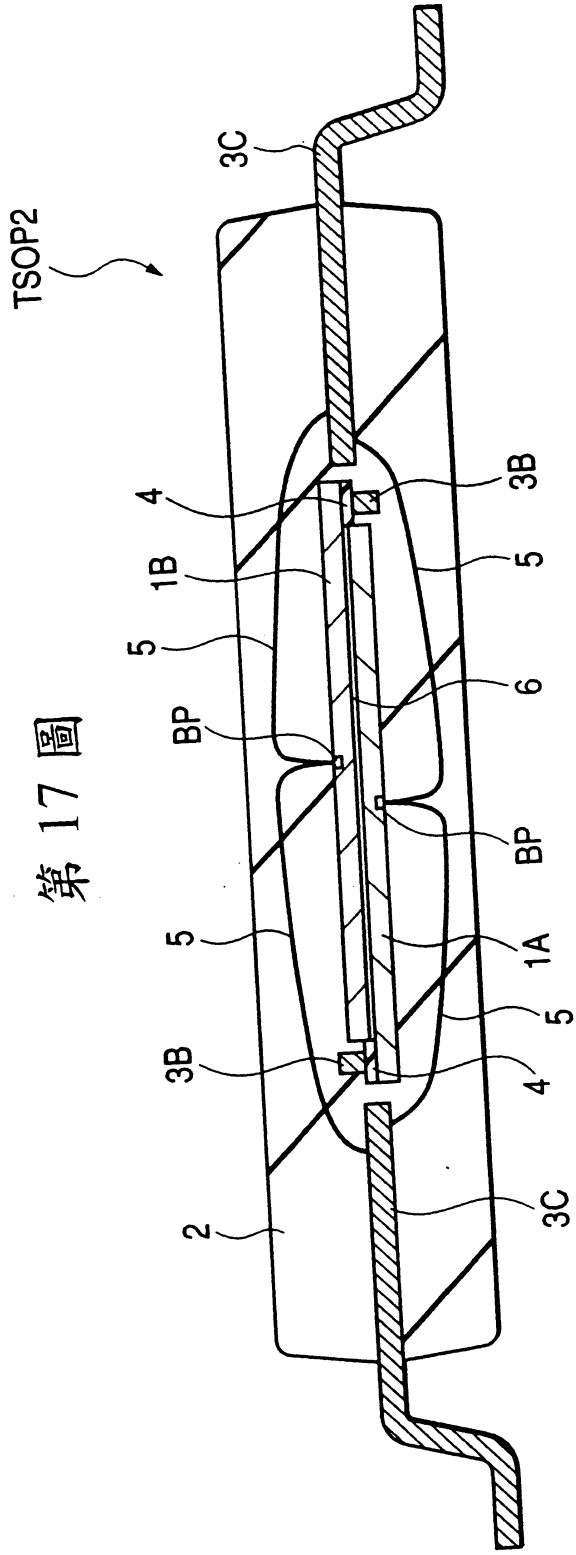


第 15 圖

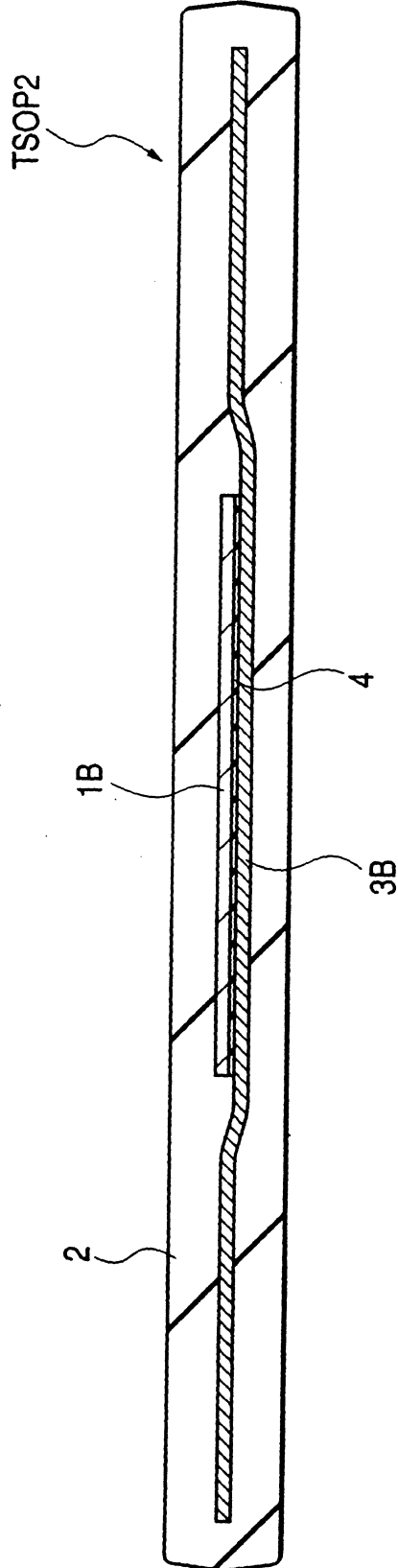


第 16 圖

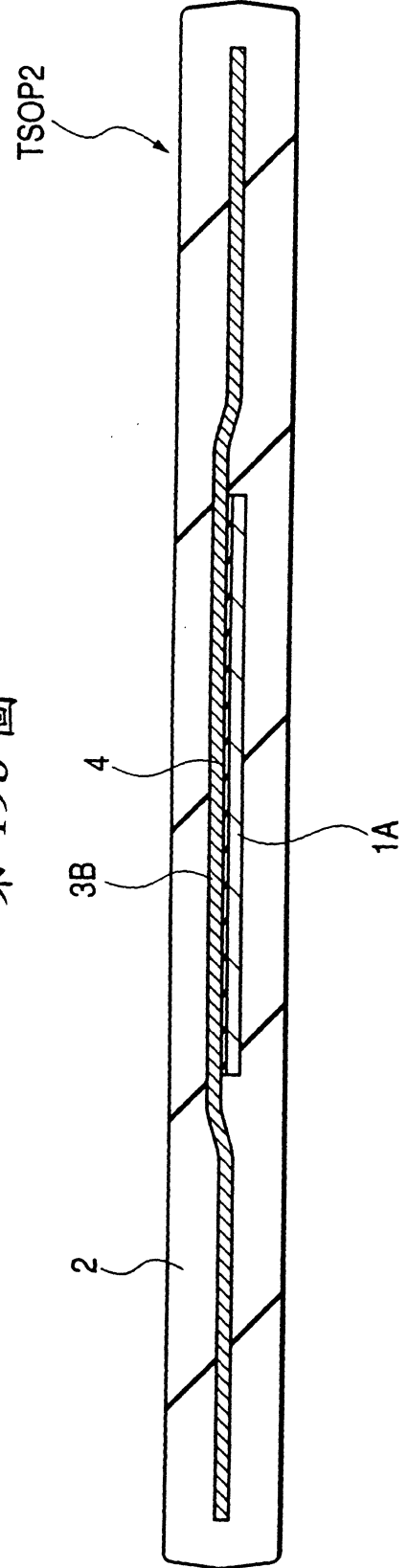




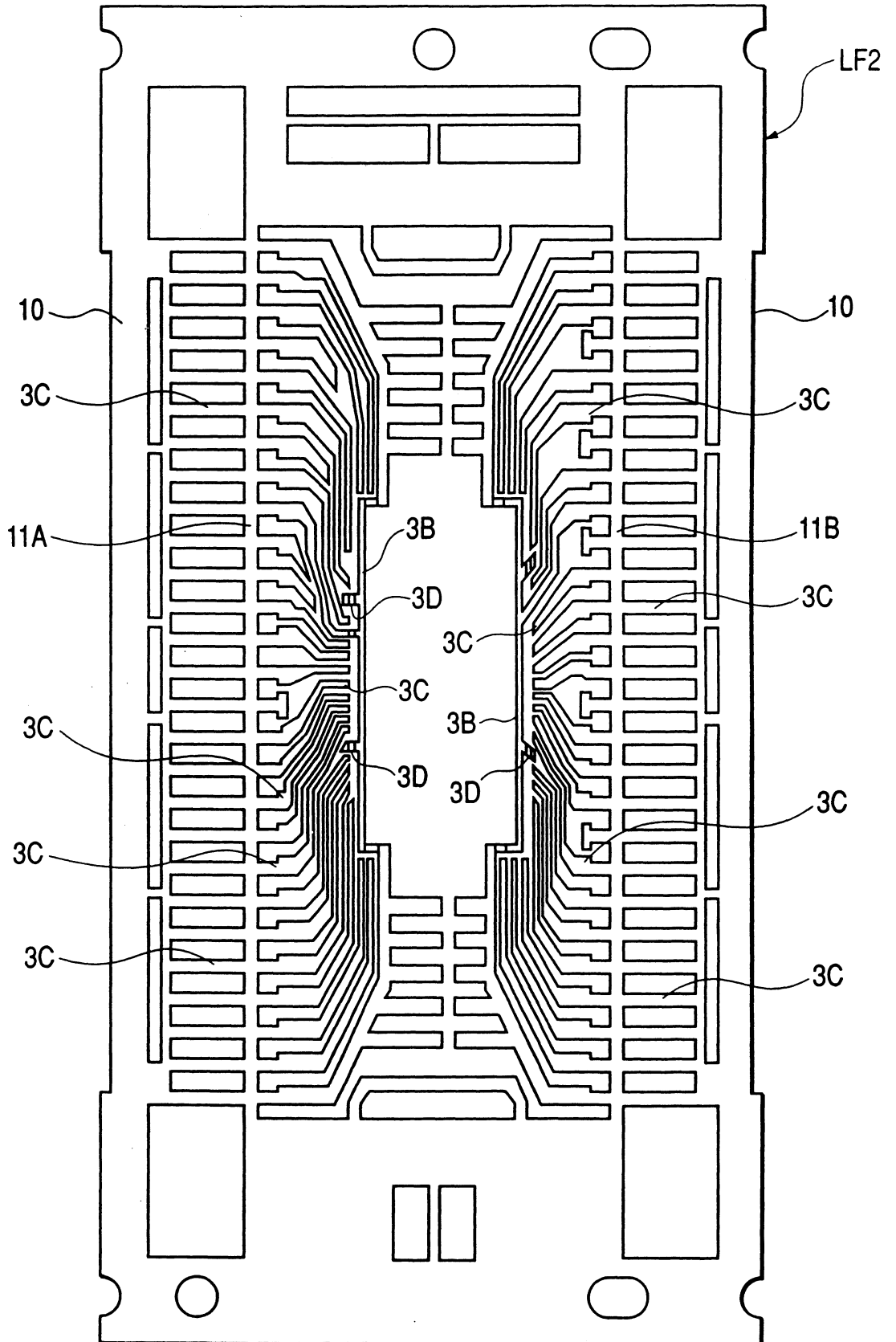
第 19a 圖



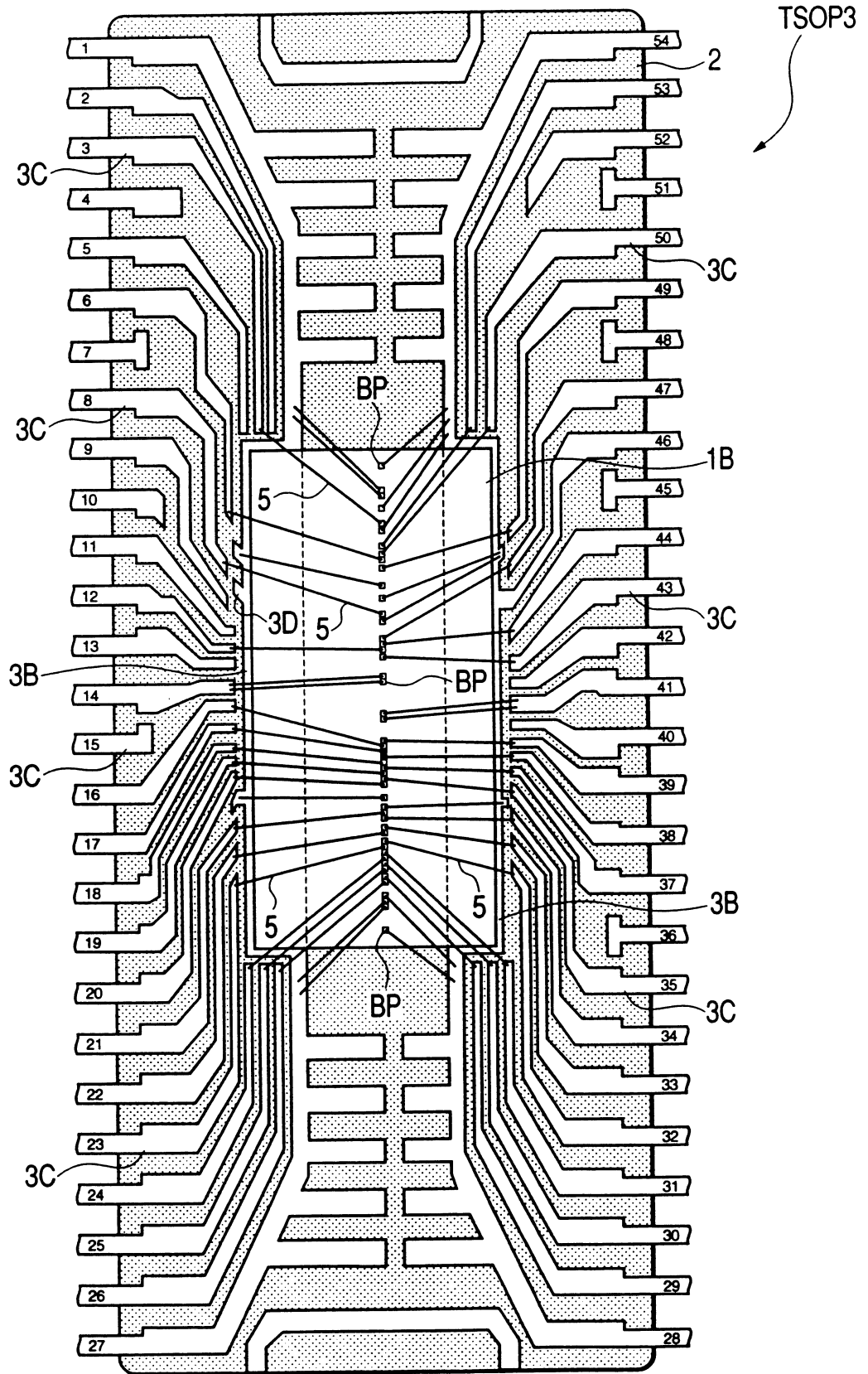
第 19b 圖



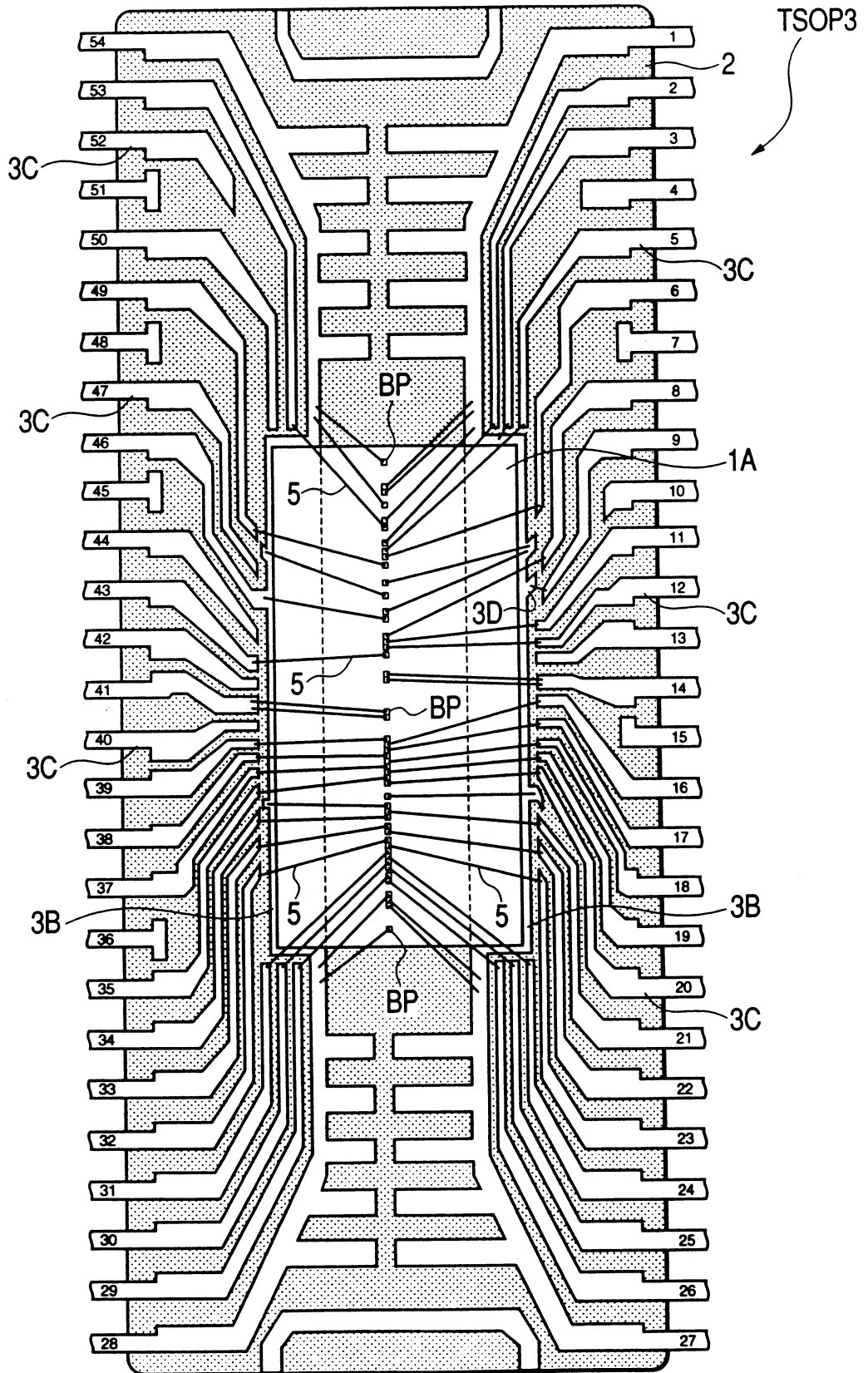
第 20 圖



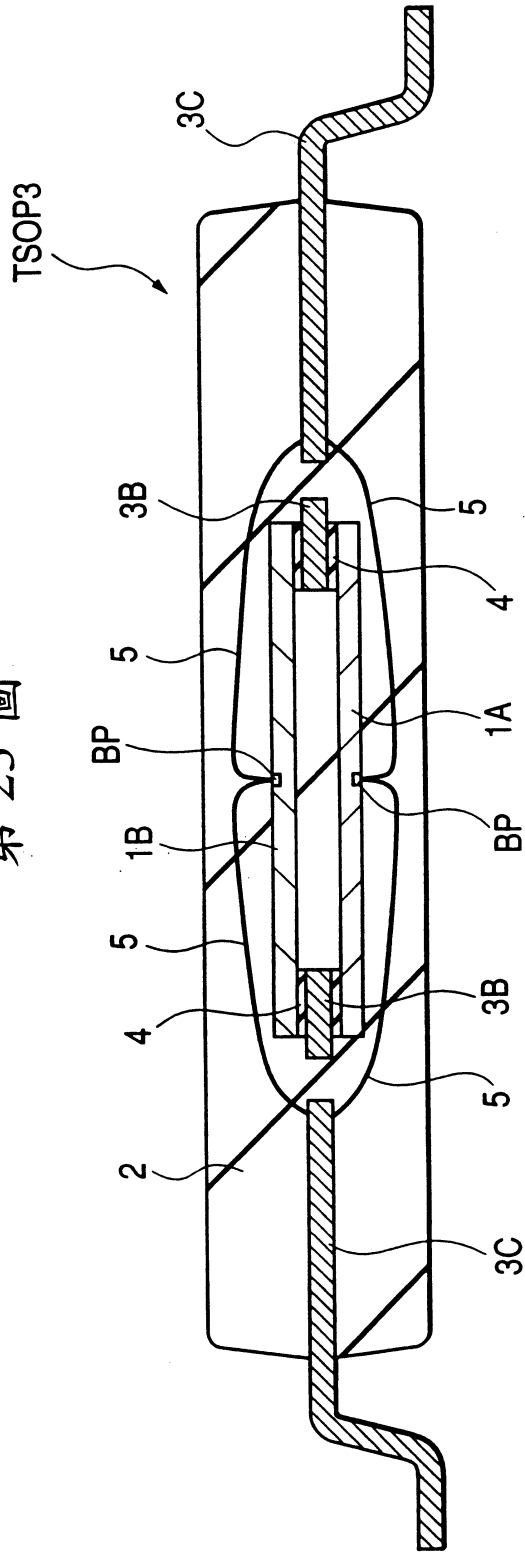
第 21 圖



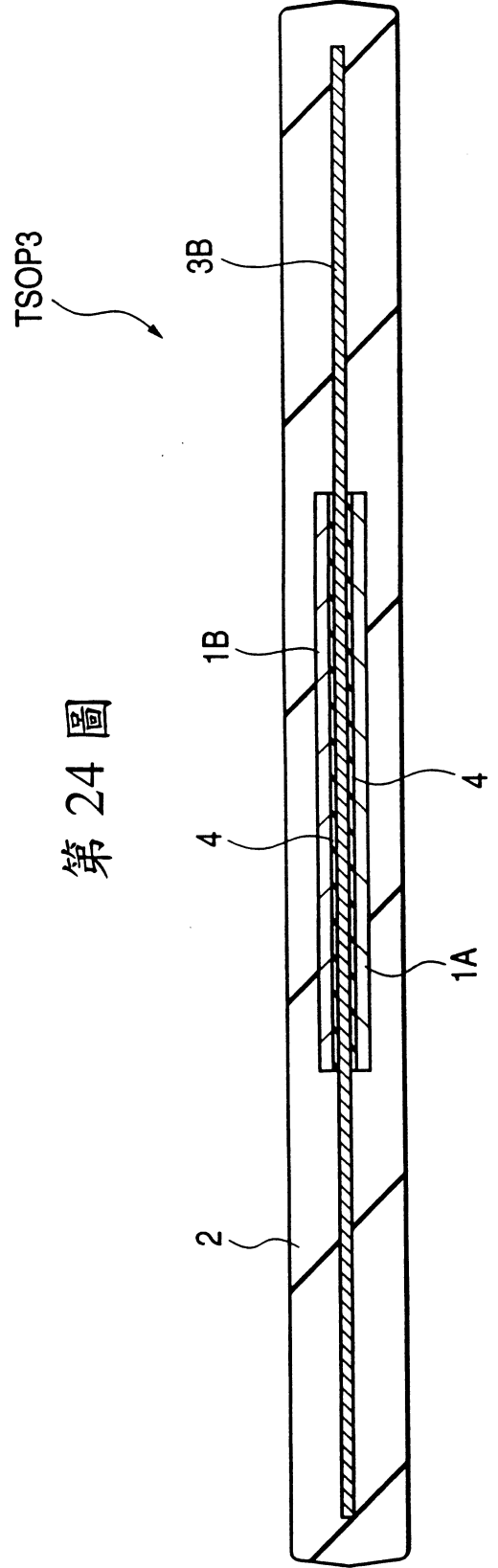
第 22 圖



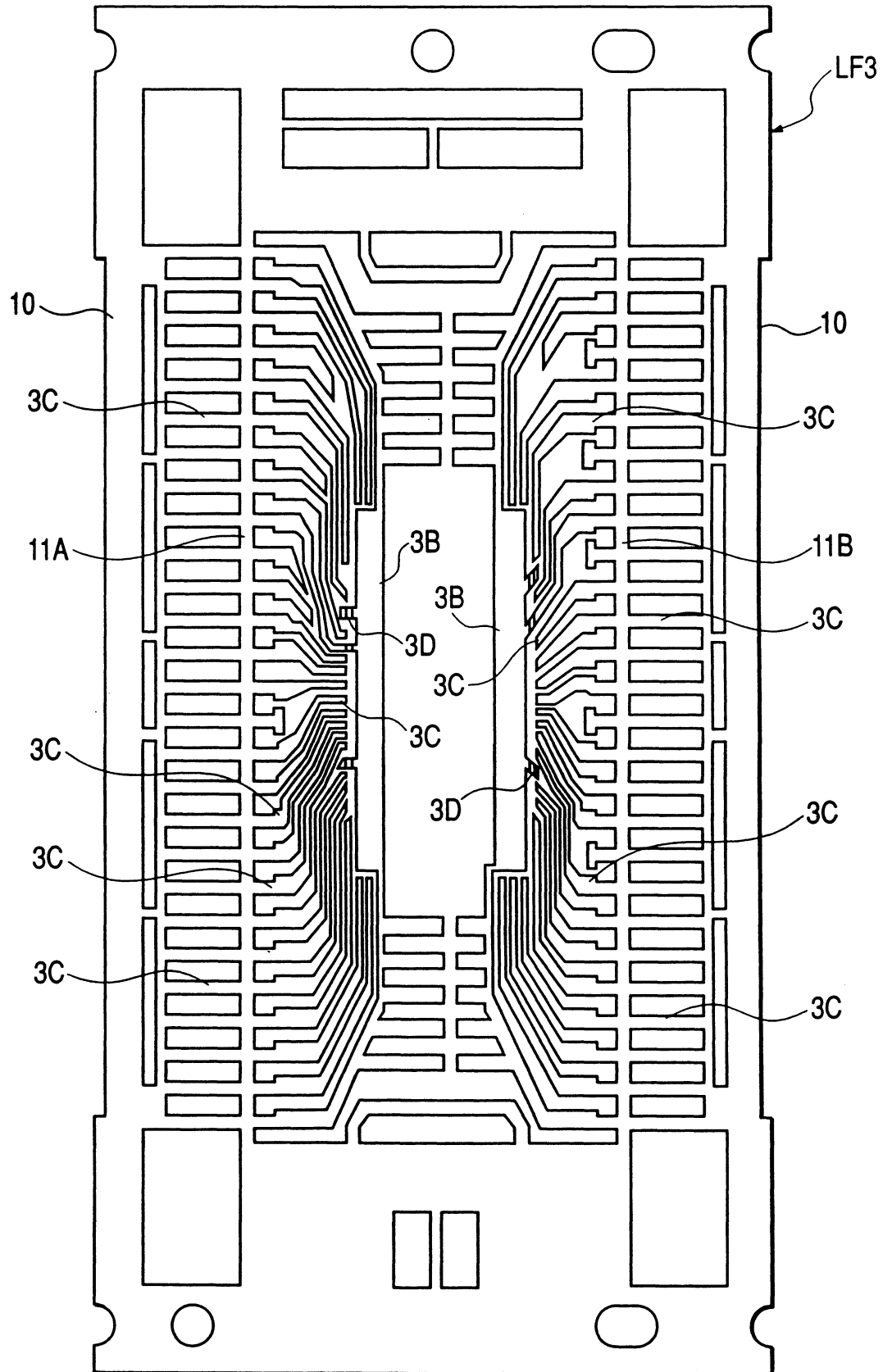
第 23 圖



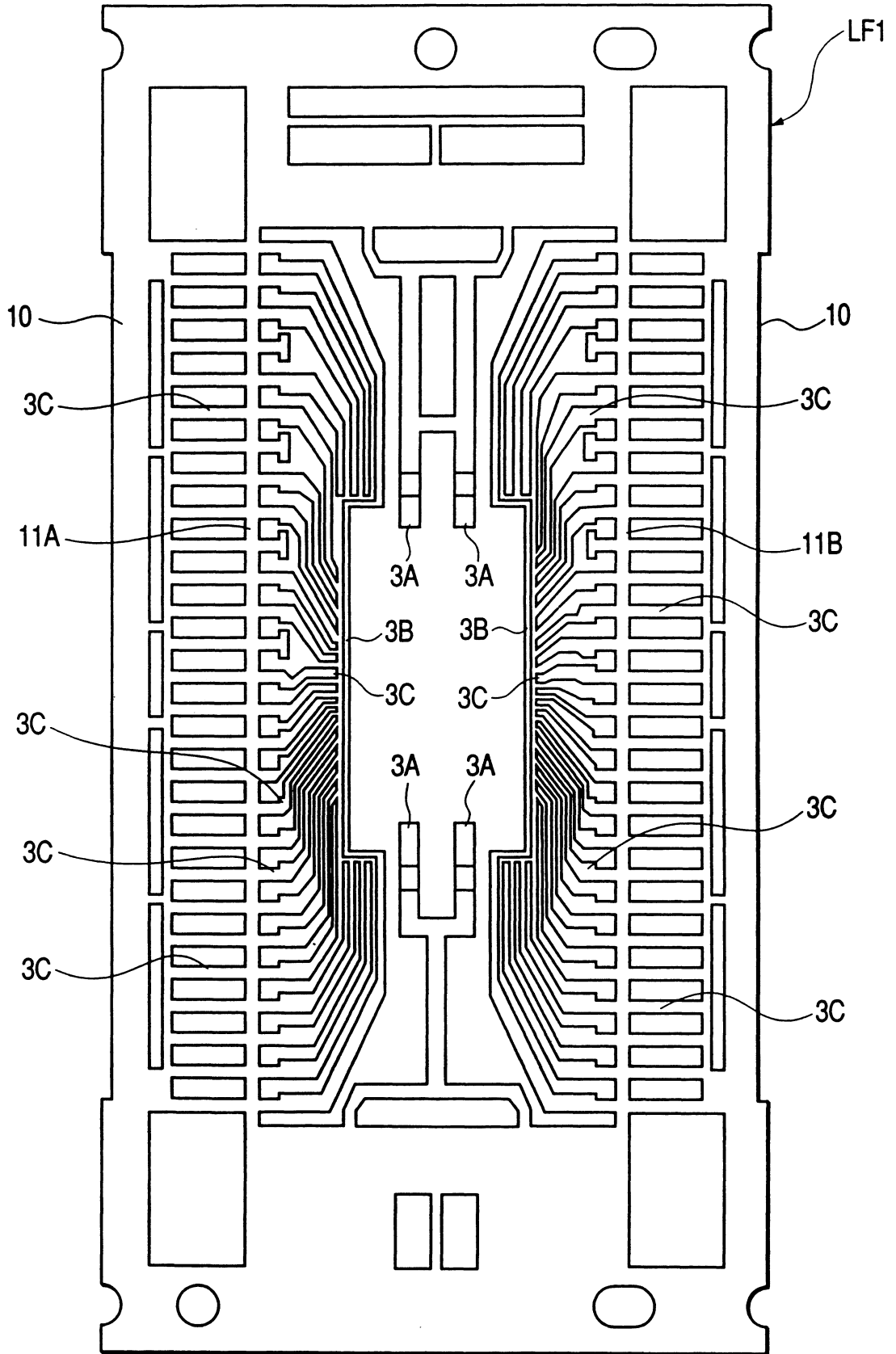
第 24 圖



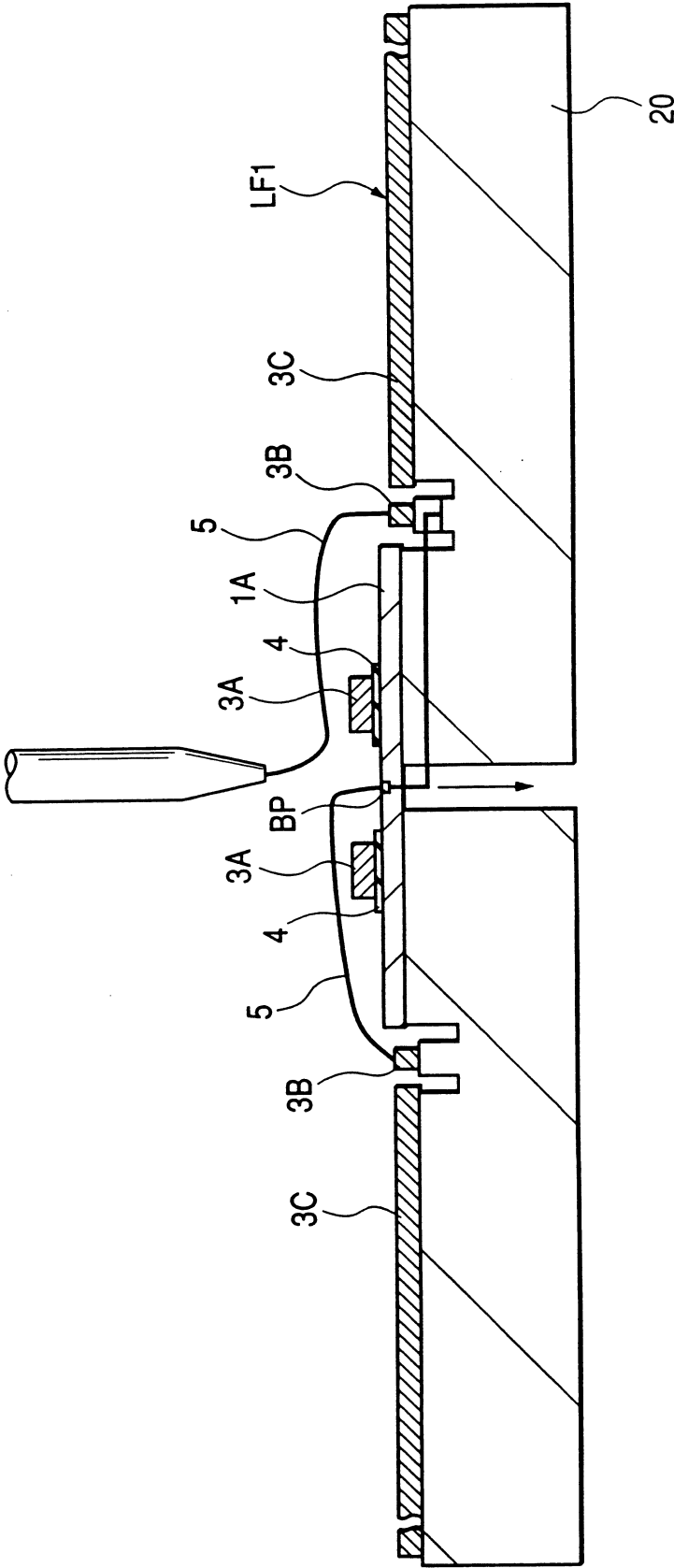
第 25 圖



第 26 圖



第 27 圖



公告本

90.10.26 修正
補充

| | |
|------|--------------|
| 申請日期 | 89 年 9 月 4 日 |
| 案 號 | 89118061 |
| 類 別 | Hall 5/00 |

A4
C4

527711

(以上各欄由本局填註)

發 明 專 利 說 明 書 (修正本)

發 明 新 型

| | | |
|-------------|---------------|--------------------------------------------------|
| 一、發明 名稱 | 中 文 | 半導體裝置及其製造方法 |
| | 英 文 | |
| 二、發明 創作人 | 姓 名 | (1) 增田正親 |
| | 國 籍 | (1) 日本 |
| | 住、居所 | (1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 |
| 三、申請人 | 姓 名 (名稱) | (1) 日立製作所股份有限公司 株式会社日立製作所 |
| | 國 籍 | (1) 日本 |
| | 住、居所 (事務所) | (1) 日本國東京都千代田區神田駿河台四丁目六番地 |
| | 代 表 人 姓 名 | (1) 庄山悅彦 |

經濟部智慧財產局員工消費合作社印製

裝

訂

線

六、申請專利範圍

91年4月1日 修正
補充

第 89118061 號專利申請案

中文申請專利範圍修正本

民國 91 年 4 月修正

1. 一種半導體裝置,係使在背面彼此重疊成對置之第 1 及第 2 半導體晶片之側面近傍被配置著固定電位導線,使複數條信號導線及該固定電位導線各自之一面及被形成於該第 1 半導體晶片之主面的複數條接合墊片藉由複數條配線以電氣被連接,使該複數條信號導線及該固定電位導線各自之他面及被形成於該第 2 半導體晶片之主面的複數條接合墊片藉由複數條配線以電氣被連接,並使該第 1 及第 2 半導體晶片,該複數條信號導線,該固定電位導線,及該複數條配線被樹脂密封。

2. 如申請專利範圍第 1 項所記載之半導體裝置,其中在該第 1 及第 2 半導體晶片之其中之一方的主面,係被固著吊式導線用以支持該第 1 及第 2 半導體晶片者。

3. 如申請專利範圍第 2 項所記載之半導體裝置,其中該吊式導線,係用以介在絕緣薄膜並被固著於該第 1 及第 2 半導體晶片之其中一方的主面者。

4. 如申請專利範圍第 3 項所記載之半導體裝置,其中該第 1 及第 2 半導體晶片,係使此等之背面的一部分不要重疊將相互之位置偏移被對置配置,而該固定電位導線之一部分,係被固著於該第 1 半導體晶片之背面的該未重疊之領域,該固定電位導線之其他的一部分,係被固著於該第 2 半導體晶片之背面的該未重疊領域者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

5.如申請專利範圍第4項所記載之半導體裝置,其中該固定電位導線之一部分,係用以介在第1絕緣薄膜並固著於該第1半導體晶片之背面,而該固定電位導線之其他的一部分,係用以介在第2絕緣薄膜並被固著於該第2半導體晶片之背面者。

6.如申請專利範圍第3項所記載之半導體裝置,其中該固定電位導線之一部分,係介在於該第1及第2半導體晶片之間並被固著於此等之背面,而該固定電位導線之其他的一部分,係由該第1及第2半導體晶片之側面延在於外方者。

7.如申請專利範圍第6項所記載之半導體裝置,其中該固定電位導線之一部分,係用以介在絕緣薄膜並被固著於該第1半導體晶片之背面及該第2半導體晶片之背面者。

8.如申請專利範圍第3項所記載之半導體裝置,其中該第1及第2半導體晶片的背面彼此,係藉由粘著劑相互被固著者。

9.如申請專利範圍第3項所記載之半導體裝置,其中該第1及第2半導體晶片之疊層方向中的該樹脂之厚度,係1mm以下者。

10.如申請專利範圍第3項所記載之半導體裝置,其中該第1及第2半導體晶片,係以同一之尺寸被構成,並在分別之主面係被形成有同一之積體電路者。

11.如申請專利範圍第3項所記載之半導體裝置,其中在該第1及第2半導體晶片之分別的主面,係被形成具有同一之記憶容量的記憶體LSI者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

12.如申請專利範圍第11項所記載之半導體裝置,其中該記憶體LSI,係DRAM者。

13.如申請專利範圍第3項所記載之半導體裝置,其中被形成於該第1及第2半導體晶片之分別的主面之該複數的接合墊片,係在該之大致中央部被配置成一系列者。

14.如申請專利範圍第3項所記載之半導體裝置,其中該第1及第2半導體晶片之分別的厚度,係該複數條信號導線及該固定電位導線之分別的厚度以下者。

15.如申請專利範圍第3項所記載之半導體裝置,其中該第1及第2半導體晶片之厚度,係在 $100\mu\text{m}$ 以下者。

16.一種半導體裝置之製造方法,包含以下之工程:

(a)、使被配置於應被搭載半導體晶片之側面近傍的固定電位導線,及複數條信號導線,及用以支持該半導體晶片之吊式導線用以準備被形成之導線架的工程;

(b)、在第1半導體晶片之主面用以固著該吊式導線之後,將該複數條信號導線及該固定電位導線之分別的一面及被形成於該第1半導體晶片之主面的複數條接合墊片藉由複數條配線以電氣連接之工程;

(c)、在該第1半導體晶片之背面用以固著第2半導體晶片之後,將該複數條信號導線及該固定電位導線之分別的他面及被形成於該第2半導體晶片之主面的複數條接合墊片藉由複數條配線以電氣連接之工程;以及

(d)、將該第1及第2半導體晶片,該複數條信號導線,該固定電位導線,該吊式導線,及該複數條配線進行樹脂密封之工

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

程。

17. 一種半導體裝置之製造方法，包含以下之工程：

(a)、使被配置於應被搭載半導體晶片之側面近傍的固定電位導線，及複數條信號導線用以準備被形成之導線架的工程；

(b)、在第1半導體晶片之背面的端部近傍用以固著該固定電位導線的一部分之後，將該複數條信號導線及該固定電位導線之分別的一面及被形成於該第1半導體晶片之主面的複數條接合墊片藉由複數條配線以電氣連接之工程；

(c)、在第2半導體晶片之背面的端部近傍用以固著該固定電位導線之其他一部分，並將該第1半導體晶片的背面之中，未被固著該固定電位導線之一部分的領域，及該第2半導體晶片的背面之中，未被固著該固定電位導線之其他一部分的領域相互進行固著之工程；

(d)、將該複數條信號導線及該固定電位導線之分別的他面及被形成於該第2半導體晶片之主面的複數條接合墊片藉由複數條配線以電氣連接之工程；以及

(e)、將該第1及第2半導體晶片，該複數條信號導線，該固定電位導線，及該複數條配線進行樹脂密封之工程。

18. 一種半導體裝置之製造方法，包含以下之工程：

(a)、使被配置於應被搭載半導體晶片之側面近傍的固定電位導線，及複數條信號導線用以準備被形成之導線架的工程；

(b)、在第1半導體晶片之背面用以固著該固定電位導線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

的一面之一部分,將延在於該第1半導體晶片之側面近傍的該固定電位導線及該複數條信號導線的分別之一面,及被形成於該第1半導體晶片之主面的複數條接合墊片藉由複數條配線以電氣連接之工程;

(c)、在被配置成與該第1半導體晶片之背面進行對置的第2半導體晶片之背面用以固著該固定電位導線之他面的一部分,將延在於該第2半導體晶片之側面近傍的該固定電位導線及該複數條信號導線的分別之他面,及被形成於該第2半導體晶片之主面的複數條接合墊片藉由複數條配線以電氣連接之工程;以及

(d)、將該第1及第2半導體晶片,該複數條信號導線,該固定電位導線,及該複數條配線進行樹脂密封之工程。

19.一種半導體封裝之製造方法,包含以下之步驟:

(a)、提供第1半導體晶片、第2半導體晶片以及具有第1表面側與面對該第1表面側的第2表面側之平板狀導線架,每一該第1與第2半導體晶片具有一主面、一面對該主面的背面、一積體電路以及形成於該主面的接合墊片,該導線架具有複數條訊號導線、複數條固定電位導線以及用以支持該第1與第2半導體晶片之吊式導線;

(b)、將該第1半導體晶片固著於該導線架,使該第1半導體晶片的該主面黏著於該吊式導線的該第2表面側,且使該複數條訊號導線與該複數條固定電位導線的一側配置於該第1半導體晶片的側表面附近,且與該第1半導體晶片隔著間隔;

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

(c)、分別藉由複數條第1接合配線，電氣連接該第1半導體晶片的該接合墊片於該複數條訊號導線與該複數條固定電位導線，使該複數條第1接合配線的一端分別與該複數條訊號導線與該複數條固定電位導線的該第1表面側接觸；

(d)、在(c)步驟後，將該第2半導體晶片固著於具有該第1半導體晶片的該導線架，使該第1與第2半導體晶片的該背面互相黏著；

(e)、在(d)步驟後，分別藉由複數條第2接合配線，電氣連接該第2半導體晶片的該接合墊片於該複數條訊號導線與該複數條固定電位導線，使該複數條第2接合配線的一端分別與該複數條訊號導線與該複數條固定電位導線的該第2表面側接觸；以及

(f)、藉由樹脂構件，密封該第1與第2半導體晶片、該第1與第2接合配線、該複數條訊號導線與該複數條固定電位導線的內導線部以及該吊式導線部，該複數條訊號導線與該複數條固定電位導線的外導線部係自該樹脂構件向外延伸。

20.如申請專利範圍第19項所記載之半導體封裝之製造方法,其中更包含去除該導線架不要的部分，且形成該複數條訊號導線與該複數條固定電位導線的外導線部成鷗翼腳形的步驟。

21.如申請專利範圍第19項所記載之半導體封裝之製造方法,其中該第1與第2半導體晶片的每一個具有長方形，該第1與第2半導體晶片的該接合墊片係沿著該第1與第2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

半導體晶片的每一個的長邊方向，排列在該主面的大致中央位置，且該第 1 接合配線與黏著於第 1 半導體晶片的該主面的該吊式導線交叉。

22.如申請專利範圍第 19 項所記載之半導體封裝之製造方法，其中該吊式導線係配置於橫跨該第 1 半導體晶片的短邊，且該吊式導線與該第 1 半導體晶片重疊的部分係藉由黏著膠帶黏著於該第 1 半導體晶片的該主面。

23.如申請專利範圍第 20 項所記載之半導體封裝之製造方法，其中在俯視圖中該樹脂構件具有約略長方形，該吊式導線自該樹脂構件的側表面向外突出，且去除該導線架不要的部分係包含在該樹脂構件的該側表面邊界切斷該吊式導線。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線