



(12) 发明专利申请

(10) 申请公布号 CN 102160154 A

(43) 申请公布日 2011. 08. 17

(21) 申请号 200980137229. 7

代理人 徐金国 钟强

(22) 申请日 2009. 10. 06

(51) Int. Cl.

(30) 优先权数据

H01L 21/3065(2006. 01)

12/247, 059 2008. 10. 07 US

(85) PCT申请进入国家阶段日

2011. 03. 22

(86) PCT申请的申请数据

PCT/US2009/059743 2009. 10. 06

(87) PCT申请的公布数据

W02010/042552 EN 2010. 04. 15

(71) 申请人 应用材料股份有限公司

地址 美国加利福尼亚州

(72) 发明人 卢欣亮 杨海春 葛振宾 卢楠

戴维·T·奥 希恩-坦恩·卡欧

梅·常

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

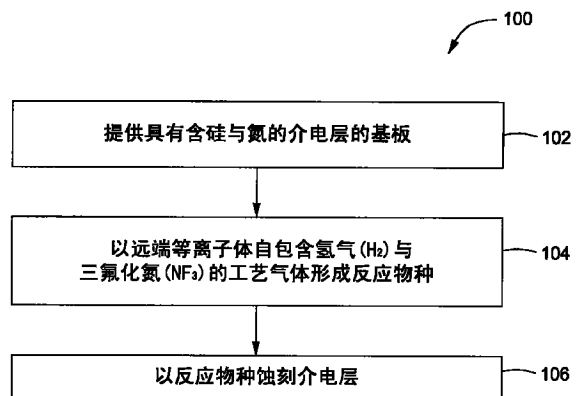
权利要求书 1 页 说明书 7 页 附图 4 页

(54) 发明名称

氮化硅的选择性蚀刻

(57) 摘要

本文提供蚀刻含硅与氮的介电层的方法。某些实施例中,上述方法可包括提供具有含硅与氮的介电层配置于上的基板;利用远端等离子体自包含氢气(H₂)与三氟化氮(NF₃)的工艺气体形成反应物种;并利用反应物种蚀刻介电层。某些实施例中,氧化物层配置为邻近于介电层。某些实施例中,工艺气体的流率比可经调整以致介电层相对氧化物层或基板的至少一者的蚀刻选择比介于约 0.8 至约 4 之间。



1. 一种蚀刻介电层的方法,至少包括:
提供基板,其具有包含硅与氮的介电层;
利用远端等离子体自包含氢气 (H_2) 与三氟化氮 (NF_3) 的工艺气体形成反应物种;及
利用该反应物种蚀刻该介电层。
2. 如权利要求 1 所述的方法,其中氧化物层被配置为邻近于该介电层。
3. 如权利要求 2 所述的方法,其中该氧化物层包括二氧化硅 (SiO_2)。
4. 如权利要求 2 至 3 任一项所述的方法,其中该介电层相对该氧化物层或该基板的至少一者的蚀刻选择比为介于约 0.8 至约 4 之间。
5. 如权利要求 2 至 4 任一项所述的方法,其中该氧化物层包括晶体管器件的栅极氧化物层。
6. 如权利要求 2 至 4 任一项所述的方法,其中该氧化物层被配置于该介电层上方且包括特征结构界定于其中,该特征结构至少部分地暴露该介电层。
7. 如权利要求 1 至 6 任一项所述的方法,其中该介电层包括氮化硅 (SiN)、掺杂氮的碳化硅 ($SiNC$) 或掺杂氧与氮的碳化硅 ($SiONC$) 的至少一者。
8. 如权利要求 1 至 7 任一项所述的方法,其中该基板还包括硅、多晶硅、金属硅化物、n-型掺杂硅或 p-型掺杂硅的至少一者。
9. 如权利要求 1 至 8 任一项所述的方法,其中 $NF_3 : H_2$ 的流率比介于约 1 : 1 至约 1 : 10 之间。
10. 如权利要求 1 至 9 任一项所述的方法,其中该工艺气体包括三氟化氮 (NF_3)、氨 (NH_3) 与氢气 (H_2)。
11. 如权利要求 1 至 10 任一项所述的方法,其中蚀刻该介电层的步骤还包括:
维持基板支撑基座的温度在约 $35^\circ C$ 至约 $80^\circ C$ 之间,其中该基板被配置于该基板支撑基座上。
12. 一种电脑可读媒介,至少包括数种指令,该数种指令由处理器执行时会造成处理腔室实施蚀刻基板的方法,该基板被配置于该处理腔室中且具有包含硅与氮的介电层,该方法包括:
利用远端等离子体自包括氢气 (H_2) 与三氟化氮 (NF_3) 的工艺气体形成反应物种;及
利用该反应物种蚀刻该介电层。
13. 如权利要求 12 所述的电脑可读媒介,其中 $NF_3 : H_2$ 的流率比介于约 1 : 1 至约 1 : 10 之间。
14. 如权利要求 12 至 13 任一项所述的电脑可读媒介,其中该温度维持于约 $35^\circ C$ 至约 $80^\circ C$ 之间。
15. 如权利要求 12 至 14 任一项所述的电脑可读媒介,其中该工艺气体包括三氟化氮 (NF_3)、氨 (NH_3) 与氢气 (H_2)。

氮化硅的选择性蚀刻

技术领域

[0001] 本发明大致关于集成电路的半导体器件与结构,更明确地,关于蚀刻含硅与氮的介电层的方法。

背景技术

[0002] 自从数十年前问世以来,半导体器件的几何图案已经显著地减少尺寸。现代半导体制造装置例行地产生 250nm、180nm 与 65nm 特征尺寸的器件,而正在发展与实施新装置以产生更小几何图案的器件。然而,较小的尺寸意味着器件必须较接近彼此而一同运作,而这会提高电干扰(包括串扰与寄生电容)的可能性。

[0003] 为了减少电干扰的程度,介电绝缘材料用来填充间隔、沟槽以及元件、金属线路与其他器件特征结构之间的空间。选择介电材料是针对其易于形成于器件特征结构之间的空间中以及其低介电常数(即,“k 值”)。较低 k 值的介电质能更好地让串扰与 RC 时间延迟减至最小,并减少器件的整体功率消耗。一种通常应用的介电材料为氧化硅。

[0004] 此外,半导体器件形成的过程中,已经在多种应用中将氮化硅介电膜应用成阻障层或蚀刻终止层,并将其形成邻接或接近氧化硅层。氮化硅介电膜可提供结构(诸如晶体管栅极或位于其下方的金属接触)所需的保护。制造过程中,干法化学处理可应用于接触清洁步骤或随后处理(例如,基板上的硅化物层的形成)之前的清洁步骤中。这些传统处理需要氧化硅清洁化学物吸附或聚集于晶圆表面上。然而,与顶部(晶圆表面附近)相比,接触孔或沟槽底部附近较少的聚集导致接触孔(或沟槽)底部的氧化硅移除比顶表面少。对于硅化物前清洁与接触清洁应用而言,上述处理具有高的氧化物/氮化硅蚀刻选择性。

[0005] 然而,对某些应用而言,需要蚀刻氮化硅。例如,若有某些残余氮化硅留在接触表面,上述高选择性处理无法用来自表面清洁氮化硅而不伤害氧化物层。其他实施例中,需要更高的氮化硅/氧化物蚀刻选择性。例如,对氧化硅内衬(liner)沉积之前的浅沟槽隔离(STI)沟槽清洁应用而言,高氧化硅/氮化硅蚀刻选择性的处理会通过蚀刻氮化硅层下方的衬垫氧化物层底切而造成沟槽顶部附近的突出,因而在沟槽填充后形成沟槽缺陷。

[0006] 因此,技术中需要一种蚀刻氮化硅材料的改良蚀刻处理。

发明内容

[0007] 本文提供一种蚀刻含硅与氮的介电层的方法,其促进介电层的选择性氧化。某些实施例中,上述方法可包括提供具有含硅与氮的介电层配置于其上的基板;利用远端等离子体自包含氢气(H_2)与三氟化氮(NF_3)的工艺气体形成反应物种;及利用反应物种蚀刻介电层。某些实施例中,工艺气体可进一步包括氨(NH_3)。

[0008] 某些实施例中,氧化物层配置为邻近于介电层。某些实施例中,介电层相对氧化物层的蚀刻选择比为大于 1 且可高达约 4。某些实施例中,介电层相对氧化物层的蚀刻选择比为高于 0.8 且高达约 1。

[0009] 某些实施例中,介电层可具有氧化物层配置于其上,而基板可进一步包括金属硅

化物。某些实施例中,介电层相对氧化物层的蚀刻选择比为大于 1 且高达约 4,而介电层相对金属硅化物层的蚀刻选择比为高于 1。

[0010] 某些实施例中,介电层可具有氧化物层配置于其下,而基板可进一步包括硅。某些实施例中,介电层相对氧化物层的蚀刻选择比为高于 1 且高达约 4;而介电层相对基板的蚀刻选择比为高于 1。

附图说明

[0011] 为了更详细地了解本发明的上述特征,可参照实施例(某些描绘于附图中)来理解本发明简短概述于上的特定描述。然而,需注意附图仅描绘本发明的典型实施例而因此不被视为其范围的限制因素,因为本发明可允许其他等效实施例。

[0012] 图 1 根据本发明某些实施例描绘蚀刻介电层的处理的流程图。

[0013] 图 2 根据本发明某些实施例描绘适合用于处理的半导体基板的示意性侧视图。

[0014] 图 3A-B 根据图 1 的处理的某些实施例分别示意性描绘半导体结构的制造阶段。

[0015] 图 4A-B 根据图 1 的处理的某些实施例分别示意性描绘半导体结构的制造阶段。

[0016] 图 5 描绘适合执行本发明的部分的蚀刻反应器。

[0017] 为了促进理解,尽可能应用相同的元件符号来标示图示中相同的元件。为了说明之故,已经简化图示且未按照比例绘制。

具体实施方式

[0018] 本发明的实施例提供蚀刻基板上含硅与氮的介电层的方法。本发明的实施例可有利地提供介电层的选择性蚀刻。某些实施例中,包括氢气(H_2)、三氟化氮(NF_3)与选用性的氨(NH_3)的工艺气体可用来形成等离子体。通过调整工艺气体的成分的流率比,可将介电层相对氧化物层的蚀刻选择比控制在约 0.8 至约 4 之间,由此促进蚀刻介电层的处理弹性。某些实施例中,选择性蚀刻方法可选择性(等向性或非等向性)地移除介电层的至少某些部分。某些实施例中,介电层相对金属、金属硅化物或氧化物层的至少一者的蚀刻选择比可大于 1 与 / 或高达约 4。因此,本发明处理促进介电层的选择性蚀刻。

[0019] 图 1 描绘蚀刻含硅与氮的介电层的方法 100。方法 100 参照图 2A-B 加以描述,其描绘与图 1 的方法对应的部分制造的半导体结构。方法 100 可执行于任何适当的蚀刻室(例如,可自应用材料公司(加州圣克拉拉市)取得的 SICONI™Preclean 处理腔室)或其他适当的蚀刻室(例如,参照图 5 描述于下的蚀刻室)中。蚀刻室可为独立的腔室或群集工具的部分,例如群集工具的 ENDURA®生产线的一部分(亦可自应用材料公司取得)。

[0020] 图 2 描绘适合依照本发明某些实施例加以处理的基板 200 的示意性图示。基板 200 可包括一或更多部分形成的半导体结构形成于其中或其上。上述半导体结构可包括金属互连结构、双镶嵌(dual-damascene)结构、晶体管器件、闪存器件、动态随机存取存储器器件、或任何需要利用本文所述的方法选择性蚀刻含硅与氮的介电层的半导体结构。虽然描述于下的方法 100 参照图 2 中所绘示的半导体基板 200,但方法 100 可适用于任何适当的应用(诸如,图 3A-B 与图 4A-B 示范性描绘的那些应用),且可进一步适用于任何其他能自本文所述的可调整的蚀刻方法受益的适当半导体结构。

[0021] 方法 100 开始于步骤 102,其中提供基板 200。基板 200 可为任何适当基板,诸如

硅基板、III-V 化合物基板、硅锗 (SiGe) 基板、外延 - 基板 (epi-substrate)、绝缘体上硅 (SOI) 基板、显示器基板 (诸如液晶显示器 (LCD)、等离子体显示器、电致发光 (EL) 灯显示器)、发光二极管 (LED) 基板等等。某些实施例中,基板 200 可为半导体晶圆 (诸如,200mm、300mm 等等的硅晶圆)。

[0022] 基板 200 可选择性具有其他层形成于其中或其上,例如可形成其他器件、导电路路等等的介电与导电材料 (未显示)。例如,某些实施例中,且描绘于图 2 中,基板 200 示范性地包括至少第一层 202,在该第一层 202 上配置有第二层 204。取决于应用,第一与第二层 202、204 可具有多种组合。

[0023] 例如,层 202、204 之一者可为含硅与氮的介电层。某些实施例中,介电层可包括氮化硅 (Si_3N_4)、掺杂氮的碳化硅 (SiNC)、掺杂氧与氮的碳化硅等等。

[0024] 第一或第二层 202、204 的另一者 (例如,非含硅与氮的介电层) 可包括即将相对介电层而被选择性地蚀刻的材料,或者在蚀刻介电层时不被蚀刻的材料。某些实施例中,另一层可包括硅、多晶硅或硅化物 (例如,金属硅化物)。适当的金属硅化物可包括镍硅化物 (NiSi)、镍铂硅化物 (NiPtSi) 与钴硅化物 (CoSi_2)。某些实施例中,另一层可包括氧化物层,例如二氧化硅 (SiO_2) 层。

[0025] 某些实施例中,第二层 204 可包括至少一特征结构 206 配置于其中。上述特征结构可包括沟槽、通孔、开口、间隔或其他高深宽比的特征结构。如图 2 示意性描绘般,第二层 204 包括特征结构 206,其暴露即将由本文所述发明方法蚀刻的第一层 202 的表面 208。因此,本文所述的方法可用来蚀刻特征结构 206 进入第二层 204 (例如,蚀刻特征结构进入含硅与氮的介电层而不实质伤害下层),以清洁第一层的表面 208 (例如,清洁残余的含硅与氮的材料或移除表面上的天然氧化物层) 等等。因此,本文揭露的发明方法可适当地应用来相对第二层 204 选择性地蚀刻第一层 202 或相对第一层 202 选择性地蚀刻第二层 204。此外,层的相对组合在已知应用中会有所变化 (例如,含硅与氮的介电层可配置于其他层之下或之间)。某些上述应用的实施例参照图 3A-B 与图 4A-B 而更详细地讨论于下。

[0026] 接下来,步骤 104,利用等离子体自蚀刻气体形成反应物种。某些实施例中,等离子体可为远端等离子体。蚀刻气体可包括氢气 (H_2) 与三氟化氮 (NF_3)。某些实施例中,蚀刻气体亦可包括氨 (NH_3)。某些实施例中,蚀刻气体还可包括一或多种惰性气体,诸如氩 (Ar)、氦 (He) 等等。

[0027] 某些实施例中,蚀刻气体供应至蚀刻室的总体气流为约 50 至约 1000sccm。某些实施例中,蚀刻气体可包括约 10 至约 90 百分比之间的氢气 (H_2)。某些实施例中,蚀刻气体可包括约 10 至约 90 百分比之间的氨 (NH_3)。某些实施例中,蚀刻气体可包括约 20 至约 80 百分比之间的惰性气体。

[0028] 虽然不意图局限于任何理论,但一般认为调整蚀刻处理过程中提供的氢气与 / 或三氟化氮气体的数量可有利地控制 (诸如,提高或降低) 含硅与氮的介电层相对其他层的蚀刻选择性。某些实施例中,提高蚀刻气体中的氢气流率可提高含硅与氮的介电层相对氧化物层的蚀刻选择性。某些实施例中,提高蚀刻气体中的三氟化氮流率可提高含硅与氮的介电层相对氧化物层的蚀刻选择性。

[0029] 某些实施例中, NF_3 : H_2 的流率比可介于约 1 : 1 至约 1 : 10 之间。通过调整上述范围之间的流率比,可将含硅与氮的介电层相对包含二氧化硅 (SiO_2) 的层的蚀刻选择比控

制在约 0.8 至约 4 之间。某些实施例中, NF_3 : H_2 的流率比可介于约 1 : 1 至约 1 : 2, 由此提供大于 1 的含硅与氮的介电层相对氧化物层的选择比。某些实施例中, NF_3 : H_2 的流率比可介于约 1 : 2 至约 1 : 10, 由此提供小于 1 的含硅与氮的介电层相对氧化物层的选择比。

[0030] 可以任何适当方式自蚀刻气体形成等离子体, 例如通过耦接射频 (RF) 源功率至工艺气体以分离与离子化工艺气体混合物。例如, 可用约 100K 至约 64MHz 的频率提供约 5 至约 3000 瓦特之间的 RF 源功率。一实施例中, 以约 100kHz 的频率供应约 10 至约 200 瓦特的 RF 源功率。某些实施例中, 可远离处理腔室的处理空间形成等离子体并将其引导向处理腔室的处理空间 (于其中执行蚀刻处理), 例如通过利用下方图 5 所示的远端等离子体源。

[0031] 接下来, 步骤 106, 利用反应物种蚀刻基板 200 的含硅与氮的介电层 (或其他层)。例如, 可将等离子体 (或由其产生的反应物种) 导入蚀刻室 (具有配置于其中的基板 200) 以蚀刻基板 200 的所欲部分。某些实施例中, 可蚀刻含硅与氮的介电层。某些实施例中, 可蚀刻其他层或可蚀刻 (例如, 清洁) 暴露的表面 208。

[0032] 某些实施例中, 可通过提供 RF 偏压功率至基板支撑件 (其上配置有基板 200) 将等离子体引导至基板 200。某些实施例中, 可以约 2 至约 64MHz 的频率提供约 50 至约 500 瓦特之间的 RF 偏压功率。某些实施例中, 可以约 2 至约 4MHz 的频率提供约 50 至约 200 瓦特之间的 RF 偏压功率。

[0033] 可在处理过程中调控蚀刻室的温度与压力以维持适合蚀刻基板 200 的所欲层的环境。例如, 可将基板支撑件的温度控制在约 35 至约 80°C 之间的范围中。某些实施例中, 基板支撑件的温度的控制可促进控制含硅与氮的介电层相对氧化硅的整体蚀刻选择性。例如, 某些实施例中, 提高基板支撑件的温度 (因而提高基板的温度) 可提高含硅与氮的介电层相对氧化硅的选择性。可将压力维持于约 5 至约 500mTorr 之间的范围中。

[0034] 一旦完成基板 200 的蚀刻, 方法 100 通常会结束而基板可视需要持续接受处理以完成其上的器件与 / 或结构的制造。然而, 方法 100 可有利地适用于其他类型的半导体结构, 诸如那些描绘于图 3A-B 与图 4A-B 以及任何其他处理, 其他处理中希望以控制的选择性相对硅、多晶硅、硅化物、氧化硅等等来蚀刻氮化硅介电材料。

[0035] 图 3A-B 与图 4A-B 根据本发明某些实施例分别描绘部分制造半导体结构的示意性图示。上述半导体结构可包括晶体管器件、闪存器件、动态随机存取存储器器件、金属互连结构、双镶嵌结构、或任何需要利用本文所述的可调整的选择性处理来选择性蚀刻含硅与氮的介电层的半导体结构。

[0036] 例如, 本发明方法 100 的实施例可适当地应用于接触清洁处理 (contactclean process) 中, 如图 3A-B 所示。如图 3A 所示, 可提供具有部分制造的半导体结构 300 配置于其上的基板 302。基板 302 可为任何适当基板, 例如参照图 2 讨论于上的基板。

[0037] 部分制造的半导体结构 300 可具有含硅与氮的介电层 306, 例如, 作为配置于基板 302 上的相邻晶体管 308 顶部的间隔结构。各个晶体管 308 可包括氧化物层 304 形成于基板 302 的顶部。氧化物层 304 可为栅极介电层。某些实施例中, 氧化物层 304 可由例如二氧化硅 (SiO_2) 所构成。某些实施例中, 氧化物层 304 可由例如高 -k 介电材料所构成, 诸如氧化铝 (Al_2O_3)、氧化铪 (HfO_2)、氮氧化铪 (HfON)、硅酸铪 (HfSiO_4)、氧化锆 (ZrO_2)、氮氧化

锆 (ZrON)、硅酸锆 ($ZrSiO_4$)、氧化钇 (Y_2O_3)、氧化镧 (La_2O_3)、氧化铈 (CeO_2)、氧化钛 (TiO_2)、氧化钽 (Ta_2O_5)、其他介电材料或上述的组合。举例而言,可通过化学气相沉积 (CVD) 处理、物理气相沉积 (PVD) 处理、或其他适合形成栅极介电材料层的适当半导体处理来形成氧化物层 304。

[0038] 各个晶体管 308 可具有晶体管栅极 310 形成于氧化物层 304 的顶部。晶体管栅极 310 可由下列材料加以构成,诸如多晶硅;非晶硅;金属材料,诸如 Ru、Ti、Ta、W、Hf、Cu、Al;金属氮化物;金属氧化物,诸如 RuO_2 或 IrO_2 ;金属氮化物,诸如 MoN、WN、TiN、TaN、TaAlN;栅极硅化物,诸如 $CoSi_2$ 或 $NiSi$;其他适合用作晶体管栅极的金属材料、或上述的多种组合。某些实施例中,晶体管栅极 310 可由下列处理加以形成:CVD 处理、PVD 处理、电化学电镀处理、无电电镀处理或其组合。

[0039] 各个晶体管栅极 310 可形成于晶体管沟道 312 上,沟道 312 形成于接触区 314 (诸如,源极/漏极区)之间。接触区 314 可形成于基板 302 中并邻近氧化物层 304。取决于即将形成的晶体管类型(诸如,NMOS 或 PMOS),接触区 314 可具有 n- 型掺杂物(诸如,磷与砷)或 p- 型掺杂物(例如,硼)。某些实施例中,可通过注入处理形成接触区 314。某些实施例中,接触区 314 可包括至少一轻掺杂漏极 (LDD)。

[0040] 含硅与氮的介电层 306 可形成于各个晶体管栅极 310 的侧壁与顶部上。含硅与氮的介电层 306 可建构成间隔物以保护各个晶体管栅极 310 与/或作为注入离子进入基板 302 的掩模 (mask) 以形成接触区 314。虽然未显示,但间隔物可包括多层,且至少其中一层为含硅与氮的介电层 306。上述实施例中,本文所述的发明方法可提供含硅与氮的介电层 306 相对其他间隔物层、与/或相对氧化物层 304 的蚀刻选择性。

[0041] 含硅与氮的介电层 306 在各个晶体管栅极 310 的角落 362 与侧壁附近具有夹止 (pinch-off) 与/或负面轮廓 (negative profile)。若厚的含硅与氮的介电层 306 形成于各个晶体管栅极 310 上时,含硅与氮的介电层 306 的夹止与/或负面轮廓会造成各个晶体管栅极 310 之间的空隙或裂缝。某些实施例中,且如图 3A 所示,夹止轮廓包括配置于相邻晶体管栅极 310 之间的非均匀区 316。某些实施例中,非均匀区 316 的底部可为氧化物层 304 的暴露部分。

[0042] 需要选择性移除邻近各个晶体管栅极 310 的角落与侧壁的介电层 306 负面轮廓以更完整地暴露氧化物层 304。例如,如图 3A 所示,介电层 306 的负面轮廓形成的非均匀区 316 在相邻晶体管栅极 310 的角落 362 附近具有狭窄的宽度。上述构造中,狭窄的宽度会避免蚀刻剂有效地蚀刻氧化物层 304 的暴露部分。

[0043] 因此,本文揭露的发明方法可有利地应用来打开非均匀区 316 的宽度。例如,某些实施例中,且描述于图 3B 中,介电层 306 的负面轮廓可经选择性地蚀刻以增加非均匀区 316 的宽度以提供较大的开口让蚀刻剂移除下方氧化物层 304 的暴露部分而不伤害接触区 314 的表面。可利用上方参照图 2 描述的方法 100 实施选择性蚀刻。再者,选择性蚀刻处理有利地提供含硅与氮的介电材料高于氧化硅高于硅的选择性,由此促进蚀刻掉配置于相邻晶体管栅极 310 之间的薄氧化硅层 304 而不伤害下层。一旦移除氧化物层 304 的暴露部分,可将导电材料(例如,金属)(未显示)或任何适合与接触区 314 形成电接触的材料沉积于接触区 314 的暴露表面上。

[0044] 另一示范性应用中,上述的发明方法可用于选择性移除阻障层(即,介电层 406),

如图 4A-B 所示。图 4A 中所示的半导体结构 400 包括配置于半导体基板 402 与导电层 404 顶部的介电层 406。氧化物层 408 配置于介电层 406 顶部。氧化物层 408 可包括至少一特征结构配置于其中。上述特征结构可包括沟槽、开口、间隔或其他高深宽比的特征结构。如图 4A 所示,氧化物层 408 包括特征结构 410,其暴露介电层 406 的一部分。介电层 406、半导体基板 402、氧化物层 408 与导电层 404 可为任何适合与上述的发明方法 100 一同应用的材料。一实施例中,基板 402 可包括硅,导电层 404 可为金属硅化物,而介电层 406 可包括硅与氮。

[0045] 某些实施例中,且如上所述,蚀刻选择性可经调整以倾向蚀刻配置于特征结构 410 底部的介电层 406 的暴露部分而避免伤害与 / 或移除氧化物层 408。

[0046] 一旦如图 4B 所示般移除介电层 406 的暴露部分后,残留物 412 会残留与 / 或沉积于导电层 404 的暴露表面顶部。上述残留物 412 可为介电层 406 与 / 或氧化物层 408 的未反应残余物或蚀刻气体的副产物。残留物 412 会形成导电层 404 的暴露部分的部分覆盖。某些实施例中,且如上所述,工艺气体的流率可经调整以倾向移除含硅与氮的介电层的残留物而不实质伤害与 / 或移除导电层 404 或氧化物层 408。

[0047] 一旦移除介电层 406 的暴露部分,与 / 或导电层的暴露表面不具有残留物后,可以任何适当材料(例如,金属)填充特征结构 410(未显示)以形成与导电层 404 的电接触。

[0048] 虽然上方描述是关于图 2-4 的特定实施例,但可理解任何需要选择性蚀刻(等向性或非等向性)含硅与氮的介电层的至少一部分(且进一步在氧化物、金属、金属硅化物与 / 或含硅层存在下)的半导体结构能自本文所述的发明方法受惠。适当实施例的额外实例描述于先前并入的美国专利申请案 11/876,649,由 Li-Qun Xia 于 2007 年 10 月 22 日申请的“Methods and Systems for Forming AtLeast One Dielectric Layer”。

[0049] 本文所述的蚀刻方法可执行于任何适当蚀刻室(例如,可自应用材料公司(加州圣克拉拉市)取得的 SICONI™ Preclean 处理腔室)或其他适当的蚀刻室(例如,参照图 5 描述于下的蚀刻室)中。蚀刻室可为群集工具的一部分,例如群集工具的 ENDURA® 生产线的一部分(亦可自应用材料公司取得)。

[0050] 图 5 是示范性蚀刻室 500 的示意性剖面图。蚀刻室 500 可包括腔室壁 502,其围绕处理空间 503 并具有远端等离子体产生器 512 与其耦接。远端等离子体产生器 512 设以产生等离子体 506。等离子体产生器 512 透过等离子体分布设备 304(诸如管、导管与 / 或歧管)而流体耦接至处理空间 503,以运送处理等离子体 506 至处理空间 503。配置于处理空间 503 中的基板支撑基座 510 可具有基板 508 配置于其上。可透过位于基板 508 上方的喷头 514 将处理等离子体 506 运送至基板 508。可由梢(pins)516 控制地移动基板 508 于较低位置 / 接近喷头 514 的较高位置之间。基板 508 可包括图 2A-B 所述的半导体结构。

[0051] 某些实施例中,等离子体分布设备 304 可将由工艺气体产生的等离子体 506 导入处理腔室 500。某些实施例中,蚀刻等离子体 506 的供应线路可包括(i) 数个安全截断阀(未显示),其可用于自动或手动地截断处理等离子体流入腔室,及(ii) 质量流量控制器(未显示),其测量流过供应线路的等离子体 506 流。

[0052] 腔室壁 502 的温度可实质避免蚀刻剂与 / 或其副产物于其上凝聚。基座 510 可经操作以提供约 -100℃ 与约 1000℃ 之间的所欲温度以在基板 508 表面上凝聚蚀刻剂。接着期望蚀刻剂如上方实施例所述般与介电层与其他层交互作用。

[0053] 某些实施例中,至少一抽吸通道 520 可设于蚀刻室 500 中以自蚀刻室 500 移除副产物,诸如过量的工艺气体与 / 或分解的气体。例如,抽吸通道 520 可耦接至泵或马达,以移除副产物。某些实施例中,抽吸通道 520 可具有至少一孔(未显示),可经由此孔移除副产物。

[0054] 某些实施例中,RF 功率供应器(未显示)可耦接至等离子体产生器 512 以激发工艺气体形成等离子体 506。RF 功率供应器可经操作以提供约 5 瓦特至约 3,000 瓦特之间的 RF 功率。RF 功率供应器可在约 100kHz 至约 64MHz 之间的 RF 频率下提供功率。

[0055] 回到图 5,系统控制器 522 可耦接至处理腔室 500,且可控制蚀刻系统的所有活动。系统控制器执行系统控制软件,其为储存于电脑可读媒介(例如,存储器)中的电脑程序。某些实施例中,存储器为硬盘,但存储器也可为其他种类的存储器。电脑程序包括指令组,其规定特定处理的时间、气体混合、腔室压力、腔室温度与其他参数。储存于其他存储器器件(包括诸如,软盘或其他适当驱动器)上的其他电脑程序也可用来操作控制器。处理腔室 500 耦接至群集工具(未显示)的实施例中,执行本文所述的选择性蚀刻方法的电脑可读媒介可储存于群集工具的系统控制器(未显示)并由其执行。

[0056] 可利用上述控制器执行的电脑程序产物来实施选择性地蚀刻介电层的处理。可以任何传统电脑可读的程序语言编写电脑程序代码:诸如 68000 汇编语言、C、C++、Pascal、FORTRAN 或其他。利用传统的文本编辑器将适当的程序代码输入单一文件夹或多个文件夹,并储存或具体化于电脑可用的媒介(例如,电脑的存储器系统)。若以高阶语言输入程序代码文本,将程序代码编译,接着将得到的编译代码连结至预编译 Microsoft Windows GY 程序库程序的目标代码。为了执行连结、编译的目标代码,系统使用者调用目标代码,造成电脑系统将代码载入存储器中。CPU 接着读取并执行代码以实施程序中识别的任务。

[0057] 因此,本文提供蚀刻基板上介电层的方法的实施例。本发明方法可有利地提供介电层的选择性蚀刻。某些实施例中,包含氢气 (H_2) 与三氟化氮 (NF_3) 与选用性的氨 (NH_3) 的工艺气体可用来形成等离子体。通过调整工艺气体的流率比,介电层的蚀刻选择比可为约 0.8 至约 4。某些实施例中,选择性蚀刻方法可选择性地移除(等向性或非等向性)介电层的至少某些部分。某些实施例中,介电层相对金属、金属硅化物与氧化物层的至少一者的蚀刻选择比可大于 1 并高达约 4。因此,本发明处理促进介电层的至少某些部分的选择性移除。

[0058] 虽然上述涉及本发明的实施例,但可在不悖离本发明的基本范围下设计出本发明的其他与更多实施例,而本发明的范围由下方的权利要求所界定。

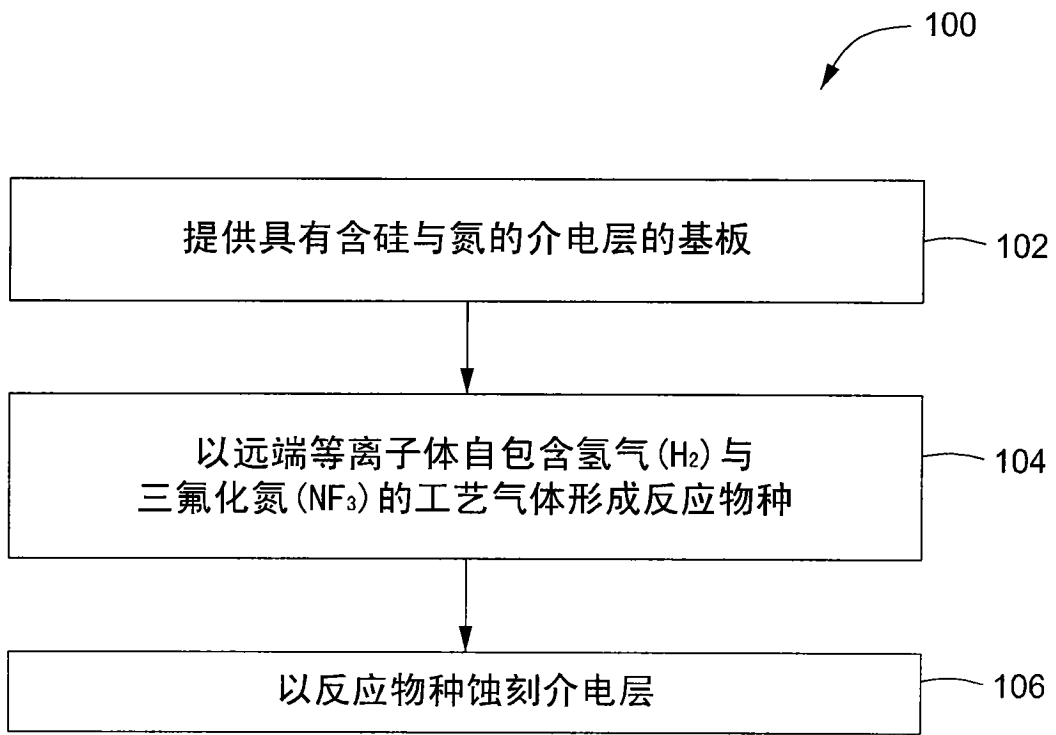


图 1

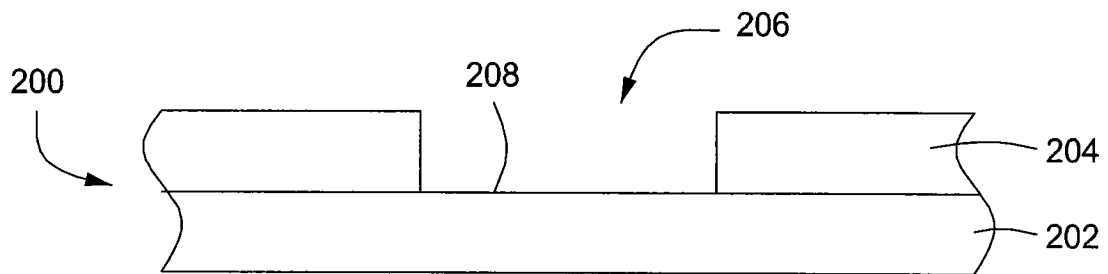


图 2

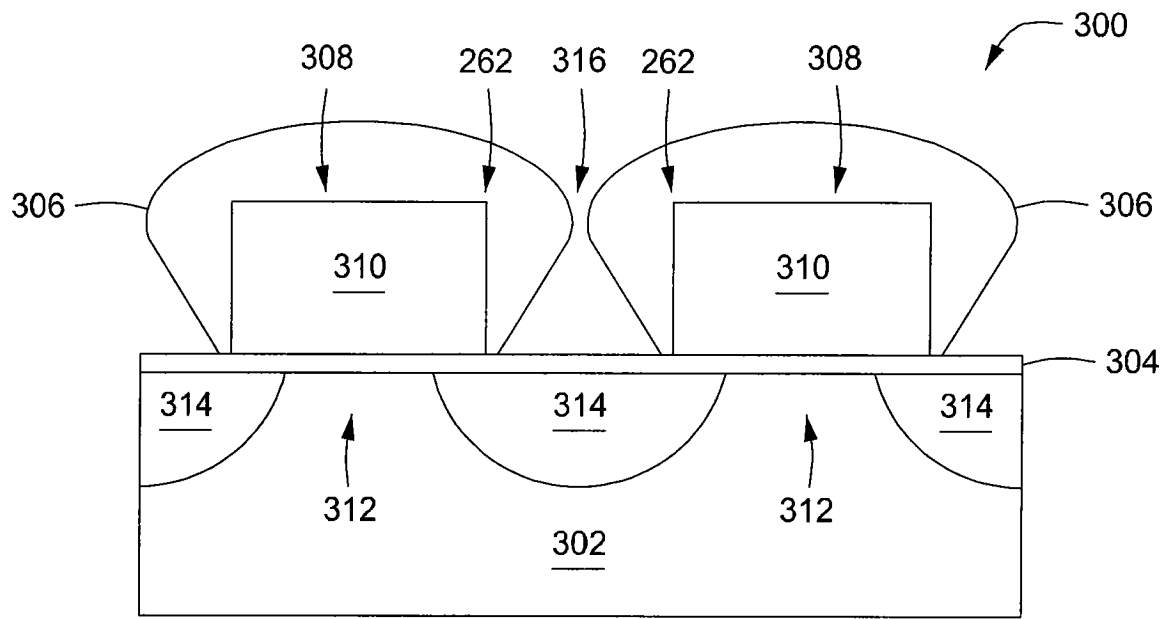


图 3A

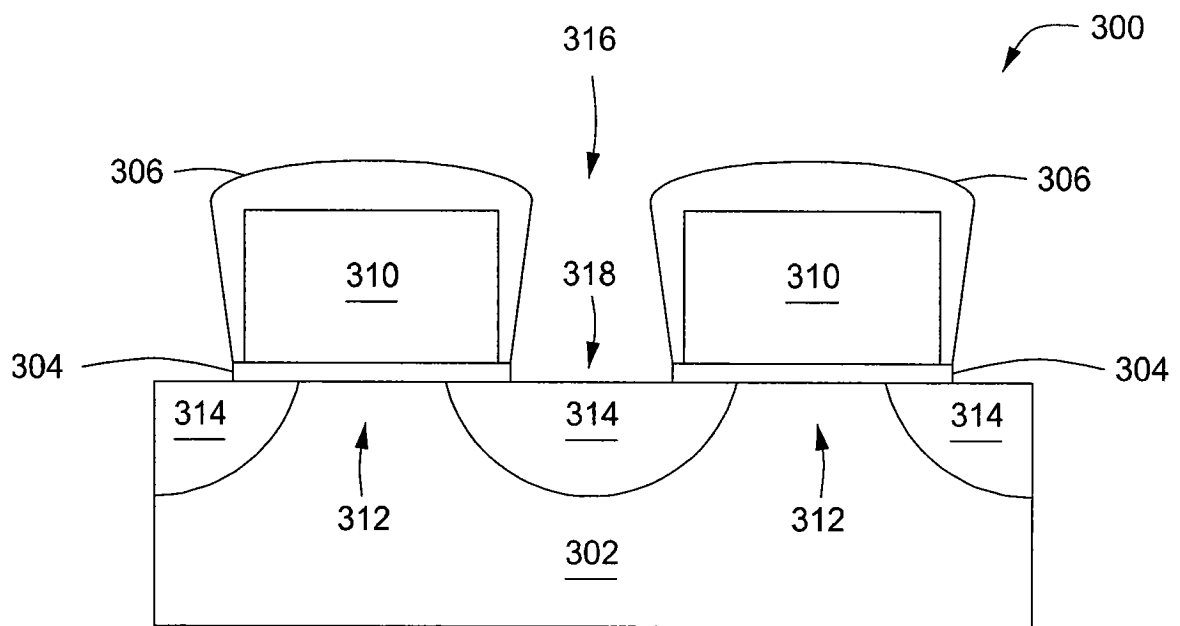


图 3B

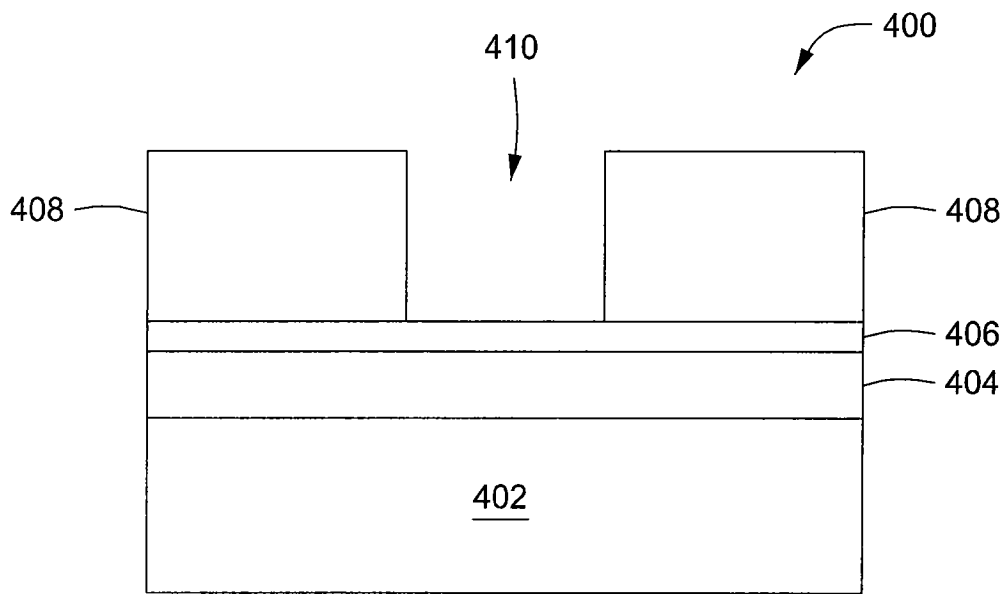


图 4A

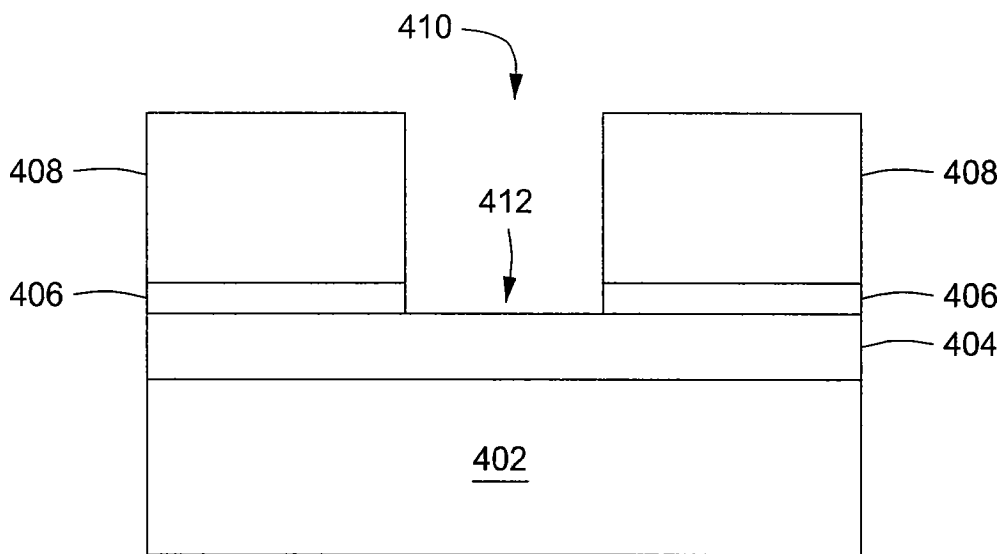


图 4B

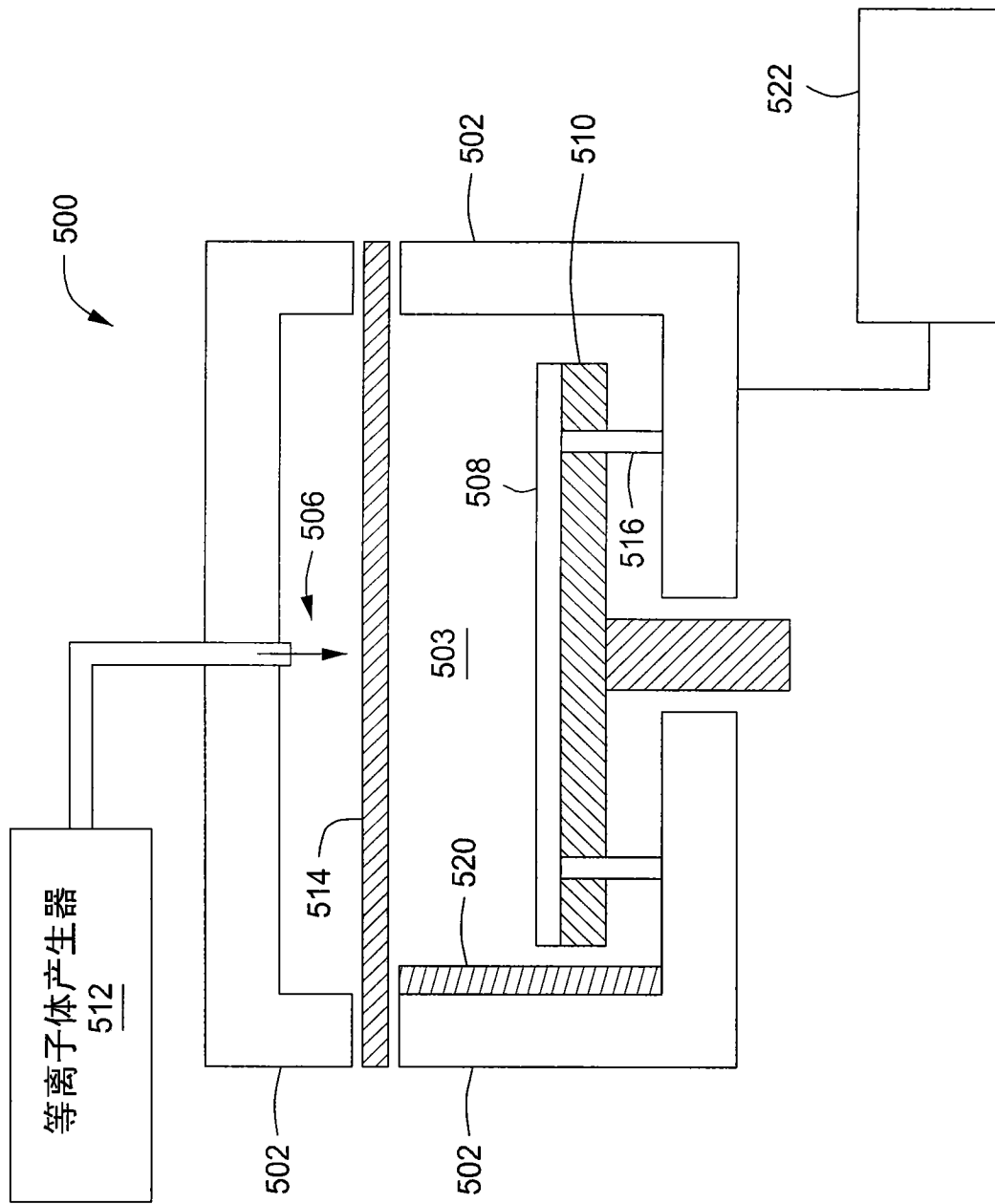


图 5