

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3718040号
(P3718040)

(45) 発行日 平成17年11月16日(2005.11.16)

(24) 登録日 平成17年9月9日(2005.9.9)

(51) Int. Cl.⁷

F I

G 1 1 C 11/407
H O 1 L 21/822
H O 1 L 27/04
H O 2 M 3/07G 1 1 C 11/34 3 5 4 F
H O 2 M 3/07
H O 1 L 27/04 G

請求項の数 7 (全 7 頁)

(21) 出願番号	特願平9-362361	(73) 特許権者	390039413
(22) 出願日	平成9年12月12日(1997.12.12)		シーメンス アクチエンゲゼルシャフト
(65) 公開番号	特開平10-188558		Siemens Aktiengesellschaft
(43) 公開日	平成10年7月21日(1998.7.21)		ドイツ連邦共和国 D-80333 ミュンヘン ヴィッテルスバッハープラッツ 2
審査請求日	平成13年5月10日(2001.5.10)	(74) 代理人	100075166
(31) 優先権主張番号	19651768.0		弁理士 山口 巖
(32) 優先日	平成8年12月12日(1996.12.12)	(72) 発明者	パトリク ルンケル
(33) 優先権主張国	ドイツ(DE)		ドイツ連邦共和国 81673 ミュンヘン ラヘル-シュトラウス-ヴェーク 4
		審査官	堀田 和義

最終頁に続く

(54) 【発明の名称】 出力電圧発生回路装置

(57) 【特許請求の範囲】

【請求項 1】

高められた出力電圧を発生するための回路装置において、

- ソースおよびドレイン端子を有する主電流経路と、該経路を経て流れる主電流を制御するゲート端子とを備え、前記ソース又はドレイン端子が前記高められた出力電圧(WDRV)を取り出すための出力端子(29)に接続されているpチャンネルMOSトランジスタ(1)と、
- pチャンネルMOSトランジスタ(1)の主電流経路の、出力端子(29)に接続されたのと反対側の端子に接続されているブーストキャパシタンス(2)と、
- 出力端子(29)に接続されている第1の予充電トランジスタ(3)ならびにブーストキャパシタンス(2)に接続されている第2の予充電トランジスタ(4)と、
- 第1の相(52-55)の間はpチャンネルMOSトランジスタ(1)のゲート端子が低い電位に保たれ、かつ予充電トランジスタ(3、4)がスイッチオンされるように、第2の相(55-61又は55-64)の間はpチャンネルMOSトランジスタ(1)のゲート端子が浮動電位を有するように、そしてpチャンネルMOSトランジスタ(1)の主電流経路に接続されたのと反対側のブーストキャパシタンス(2)の端子が第1の相の間は低い電位(例えばVSS)を有し、しかも第2の相の間は高い電位(例えばVDD)を有するように制御する制御回路手段(20、...、28)と

を含んでいることを特徴とする回路装置。

【請求項 2】

10

20

制御回路手段(20、...、28)が、供給電圧の正極(VDD)に対する端子に接続されている第1のトランジスタ(20)と、供給電圧の負極(VSS)に対する端子に接続されている第2のトランジスタ(21)とを直列接続した電流経路を含んでおり、それらの結合節点がpチャネルMOSトランジスタ(1)のゲートに接続され、第2のトランジスタ(21)が第1の相(52-55)の間は導通状態に切換えられ、トランジスタ(20、21)のいずれも第2の相(55-61又は55-64)の間は導通状態になく、かつ第1のトランジスタ(20)が前記第1および第2の相の外側(52以前、および61又は64以後)では導通状態に切換えられることを特徴とする請求項1記載の回路装置。

【請求項3】

第2の予充電トランジスタ(4)が、高められた電圧を第1の相の間並びに第1の相に先行するある期間にわたり発生する回路装置(5)により駆動されることを特徴とする請求項1または2記載の回路装置。

10

【請求項4】

制御回路手段(20、...、28)に制御信号(XVLD)が供給され、制御信号(XVLD)が第1の遅延要素およびその後接続された第2の遅延要素(23、24)を介して遅延され、第1の遅延要素(23)の出力により電流経路の第1のトランジスタ(20)が駆動され、かつ論理ゲート(22)を介して第2のトランジスタ(21)が駆動され、第2の遅延要素(24)の出力により論理ゲート(22)を介して第2のトランジスタ(21)が駆動され、更に第2の遅延要素(24)の出力により、そして別の論理ゲート(27)を介した制御信号(XVLD)によりブーストコンデンサ(2)がpチャネルMOSトランジスタ(1)の主電流経路に接続されたのと反対側の端子(30)において駆動されることを特徴とする請求項2記載の回路装置。

20

【請求項5】

pチャネルMOSトランジスタ(1)のゲート端子が、ゲート端子の電位を供給電圧の正極における電位(VDD)に制限する回路手段(10)に接続されたことを特徴とする請求項1ないし4の1つに記載の回路装置。

【請求項6】

出力端子(29)に接続された放電用トランジスタ(6)を含み、この放電用トランジスタが第1の相および第2の相の外側(52以前、および61又は64以後)で導通状態に切換えられることを特徴とする請求項1ないし5の1つに記載の回路装置。

30

【請求項7】

pチャネルMOSトランジスタ(1)がp基板内のnウェル内に形成され、かつこのウェルが、ブーストコンデンサ(2)と結合された回路端子(31)に接続されたことを特徴とする請求項6記載の回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、pチャネルMOSトランジスタおよびブーストキャパシタンスを有する、高められた出力電圧を発生するための回路装置に関する。

【0002】

40

【従来の技術】

印加されている供給電圧以上に高められた出力電圧を発生するこのような回路装置は、多数の半導体回路、特に半導体メモリに使用されている。半導体メモリ、たとえばDRAMの1トランジスタメモリセルは、情報ビットを記憶するためのメモリキャパシタンスとトランスファトランジスタとを含んでおり、このトランスファトランジスタを介して、メモリキャパシタンスがトランスファトランジスタの主電流経路を介してワード線に接続されることによって、メモリセルにアクセスされる。情報ビットを供給電圧の完全なレベルの高さでセルに記憶するためには、トランスファトランジスタにおけるゲート電位がその固有のしきい電圧だけ供給電圧の上にあることが必要である。しかし、トランスファトランジスタの通常小さいチャンネル幅およびその高い基板ソース電圧のゆえに、しきい電圧は比

50

較的高い。

【0003】

半導体メモリのトランスファートランジスタを駆動するための高められた電圧を発生するための回路装置はヨーロッパ特許出願公開第 0635837号明細書に記載されている。そこに示されている電荷ポンプはpチャネルMOSトランジスタを含んでおり、それを介してブーストキャパシタンスを有する出力側の充電キャパシタンスが充電される。充電過程は発振器により制御され、また連続的に実行され、その際に出力電圧は持続的に生じている。従って、高められた電圧をトランスファートランジスタに伝達するためには、追加的なスイッチが必要である。pチャネルMOSトランジスタのゲート端子は0Vであるのに対し、その主電流経路の端子の1つは既に、充電コンデンサに印加され供給電圧以上に高められて 10
いる出力電圧に接続されている。pチャネル充電トランジスタのゲート酸化物は高められた電圧ストレスに曝されている。さらに、負荷トランジスタの主電流経路の端子間に印加されている電圧はポンプ過程の間に方向を切換える。従って、充電トランジスタが配置されているドーピングウェル内の電流の流れを避けるための特別な処置が述べられている。

【0004】

【発明が解決しようとする課題】

本発明の課題は、冒頭に記載した種類の回路装置であって、pチャネルMOS充電トランジスタが受ける電圧ストレスが小さい回路装置を提供することにある。

【0005】

【課題を解決するための手段】

この課題は、本発明によれば、請求項1に記載されている特徴を有する回路装置により解決される。 20

【0006】

充電トランジスタのゲート電位が電荷ポンプ相の間に浮動状態に保たれることにより、ゲート酸化物における許容し得ない高い電圧負荷が避けられる。ポンプ相はその際に、出力電圧が供給電圧以上に高められる時間である。充電トランジスタにおける寄生的キャパシタンスによりゲート電位が電圧上昇の間はこれに随伴するので、トランジスタは導通状態にとどまる。しかし、それにもかかわらず、充電トランジスタのゲートとドレインおよびソースに対するドーピング領域との間の電圧は供給電圧よりも小さい。

【0007】

本発明の有利な実施態様は従属請求項にあげられている。 30

【0008】

充電トランジスタの主電流経路の両端子における予充電トランジスタならびに出力側の放電トランジスタおよび相応の進行制御により、出力電圧の各ポンプサイクルの間に0Vから高められた出力電圧値までの値範囲が通過されることが達成される。充電トランジスタの主電流経路の端子における電圧はその際に常に等しく方向付けされた状態にとどまる。従って、充電トランジスタが接続されているドーピングウェルは容易にブーストキャパシタンスの側にあるから電圧節点に接続され得る。

【0009】

【実施例】

以下、図面により本発明を一層詳細に説明する。 40

【0010】

図1の回路はpチャネルMOSトランジスタ1を含んでおり、その主電流経路は出力端子29とブーストコンデンサ2との間(端子31)に接続されている。端子29には、電位VDD、VSSによる供給電圧にくらべて高い出力電圧を供給する出力信号WDRVが出力されている。第1のnチャネルMOSトランジスタ3は予充電トランジスタとして出力端子29と正の供給電位VDDに対する端子との間に接続されている。第2のnチャネルMOSトランジスタ4はトランジスタ1のブーストコンデンサ側の端子と供給電位VDDとの間に配置されている。nチャネルMOSトランジスタ6は放電トランジスタとしての役割をし、また出力端子29と接地電位VSSに対する端子との間に配置されている。 50

【 0 0 1 1 】

ブーストコンデンサ2のトランジスタ1と反対側の端子30が低い電位(たとえば接地電位VSS)にあるのに対し、ブーストコンデンサ2は予充電トランジスタ4を経て充電される。相応の仕方では出力端子29は予充電トランジスタ3を経て予充電される。続いてトランジスタ1が端子29、31の間の電位等化のために導通状態に切換えられる。その後そのゲート端子は浮動電位に保たれ、またブーストコンデンサ2の端子30が高い電位(たとえば電位VDD)に高められ、従って出力信号WDRVはブーストコンデンサ電圧だけ正の供給電位VDD以上に高められた電位を有する。スイッチオフの際に端子29はいまや導通状態に切換えられているトランジスタ6を経て放電され、また接地電位VSSに引き寄せられ、ブーストコンデンサ2の端子30は再び低い電位におかれる。

10

【 0 0 1 2 】

図1に示されている回路の機能を以下に詳細に図2に示されている信号経過ダイアグラムにより説明する。最初に端子31がトランジスタ4を介して正の供給電位VDDから充電される。端子31における信号Aはその後に正の供給電位からnチャネルトランジスタ4のしきい電圧を差し引いた電位($VDD - V_{thn}$)を有する。信号RINTNの能動化により、すなわち信号RINTNがHレベルからLレベルへ移行するとき、既に供給電位VDDの上にある電位を発生する回路装置5が能動化され、それによってトランジスタ4が十分に高いゲート電圧により駆動されるので、端子31が供給電位VDDに完全に高められる(図2中の個所50)。信号XVLDの能動化によりポンプ過程が開始される。半導体メモリにおいて信号XVLDは、メモリセル領域に対するアクセスアドレスが安定に存在しているときに発生される。トランジスタ6のゲート端子における信号Dは信号XVLDからインバ - タ7を介して発生される。それにより放電トランジスタ6がスイッチオフされる。そのすぐ後に2つのインバ - タ8、9を介して信号XVLDから、予充電トランジスタ3のゲート端子を駆動する信号Eのエッジが発生される。それにより出力端子29における電位が供給電位VDDからトランジスタ3のしきい電圧を差し引いた電位に高められる(個所51)。重要なことは、供給電圧端子の間に導通している電流経路が存在しないように、トランジスタ6、3が上記の仕方では時間的にずらされてスイッチオフまたはスイッチオンされることである。

20

【 0 0 1 3 】

充電トランジスタ1のゲート端子は、供給電圧VDD、VSSの間に接続されており、それらの主電流経路で直列に接続されている2つのpチャネルMOSトランジスタ20、21を含んでいる電流経路、すなわちトランジスタ20、21の結合節点に接続されている。接地側のトランジスタ21のゲート端子はNANDゲート22を介して駆動される。ゲート22の入力端は信号XVLDにより制御され、その際にこの信号は一方では第1の遅延要素23を介してNANDゲート22に与えられ、また他方ではそれに対して直列に位置している別の遅延要素24ならびにインバ - タ25を介してNANDゲート22に与えられる。これにより、遅延要素23により生ずる遅延時間の経過の後にトランジスタ21のゲート端子における信号Bが接地電位に引き寄せられる(個所52)。それによりトランジスタ1のゲート電位が接地電位VSSにトランジスタ21のしきい電圧を加えた電位($VSS + V_{Thp}$)におかれる(個所53)。トランジスタ1がこうして完全に導通状態に切換えられるので、端子29、31の間の電位等化が行われる(個所54)。第2の遅延要素24およびインバ - タ25により生ずる遅延の後にNANDゲート22を介してトランジスタ21が再びスイッチオフされる(個所55、56)。

30

40

【 0 0 1 4 】

ブーストコンデンサ2の端子30はインバ - タ28を介して別のNANDゲート27と接続されている。その入力端は信号XVLDと遅延要素23、24ならびにインバ - タ25、26により遅らされた信号XVLDとにより駆動される。それにより、端子31が接地電位VSSから正の供給電位VDDに高められる(個所63、57)。トランジスタ1のゲート端子を駆動する電流経路のトランジスタ21、20が共に遮断していることにより、トランジスタ1のゲート電位は浮動電位として挙動する。このことは、ゲート電位が能

50

動的に固定レベルに保たれずに、寄生的に影響を及ぼす配線に相応して挙動することを意味する。その際に特にチャンネルへのゲートの寄生的なキャパシタンスならびにトランジスタ1の主電流経路のドレインおよびソースのドーピング領域へのその寄生的なキャパシタンスが有効となる。単位長あたりのキャパシタンスは主としてゲート酸化物の厚みにより設定される。たとえばトランジスタ20、21のドレインまたはソースドーピング領域にくらべてのゲート端子の静電容量性負荷は上記の寄生的なキャパシタンスにくらべてはるかに小さい。トランジスタ1のゲート電位は、浮動しているため、正の供給電位VDDを越えての端子31の電位の上昇に静電容量的に追従する。従ってトランジスタ1は、端子31に印加されている電位を出力端子29に伝達するため、十分な導通状態にとどまる(個所58)。これにより出力信号WDRVが所望の高められた出力電圧にある。それにより半導体メモリのセル領域内の信号WDRVにより駆動されるトランスファトランジスタは、全作動電圧VDDが接続されているメモリコンデンサに伝達することが可能になる。

10

【0015】

作動の確実さを高めるため、トランジスタ1のゲート電位を正の供給電位VDDに制限する回路10が設けられている。これは、pチャンネルMOSトランジスタ1のnウェルへの寄生ダイオードが導通状態になることを阻止しなければならない。回路10としては従来通常制限回路が設けられている。このような回路はたとえばnチャンネルMOSトランジスタから成るMOSダイオードを含んでおり、そのゲート端子はその主電流経路の端子と一緒にトランジスタ1のゲート端子に接続されており、またその主電流経路の他方の端子は電位VDD - VThnに接続されている。

20

【0016】

スイッチオフ過程は信号XVLDの立ち下がりエッジにより開始される。それによりインバ-タ7を介しての遅延後にトランジスタ6がスイッチオンされ、また信号WDRVが接地電位まで引き寄せられる(個所59)。さらにその間にインバ-タ8、9を介しての遅延後に信号EがHレベルからLレベルへ切換えられる。その際に注意すべきことは、トランジスタ3のゲートソース間電圧は常にそのしきい電圧よりも小さく、従ってトランジスタ3はスイッチオフされており、また供給電圧端子の間に導通する電流経路は存在しないことである。信号Eの放電エッジが信号WDRVのエッジよりも速く立ち下がることによって、信号WDRVは常にトランジスタ3のゲートにおける電位よりも大きいと好適である。信号D、Eのこのスイッチング挙動はインバ-タ7および9、8の相応の設計により達成される。トランジスタ6のスイッチオンにより、トランジスタ1が短時間導通する(個所60)ので、端子31の電位が下げられる(個所61)。信号XVLDの立ち下がりエッジにより端子30もNANDゲート27およびインバ-タ28を介して接地電位に引き寄せられるので、端子31の放電がサポートされる(個所64)。トランジスタ1が次いで、電位VDDと接続されているトランジスタ20が導通状態に切換えられる(個所61)ことによって、完全にスイッチオフされる。端子31は次いで再び電位VDD - VThnに引き寄せられ(個所62)、従って出発状態になる。

30

【0017】

図1に示されている実施例では、端子31の側のトランジスタ1の主電流経路の端子は常に出力端子29の側の主電流経路の端子よりも高い電位を有する。従って、pチャンネルMOSトランジスタ1がp基板において実現されているnドーピングウェルをブーストコンデンサ2の側の導通経路、たとえば相応のそれに接続されているドーピング領域に接続すると好適である。基板ウェルダイオードはこうして常に確実に阻止されている。

40

【0018】

ブーストコンデンサ2のキャパシタンス値はブーストコンデンサ2と出力端子29に接続される静電容量負荷との間の静電容量分圧に基づいて出力電圧の所望の高さを考慮に入れて計算される。以上説明した回路は比較的小さい占有面積および少数の構成要素を有する。たとい接地電位(0V)から正の供給電位VDDの上までに位置している高められた出力電圧の範囲が各ポンプ過程の際に通過されるとしても、臨界的な電圧も望ましくないウェル効果も生じない。充電トランジスタ1のゲートとドーピング領域との間に生ずる電圧

50

は供給電圧VSS、VDDよりも小さいので、トランジスタ1のゲート酸化物における過大な電圧ストレスが避けられる。

【図面の簡単な説明】

【図1】高められた出力電圧を発生するための本発明による回路装置の結線図。

【図2】図1の回路に生ずる信号のタイムダイアグラム。

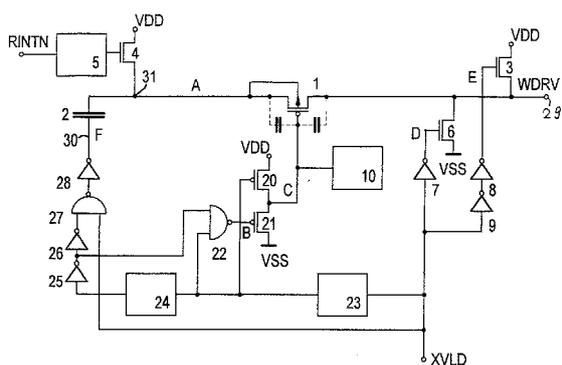
【符号の説明】

- 1 pチャネルMOSトランジスタ
 - 2 ブーストキャパシタンス
 - 3 第1の予充電トランジスタ
 - 4 第2の予充電トランジスタ
 - 6 nチャネルMOSトランジスタ
 - 8、9 インバ - タ
 - 20、21 pチャネルMOSトランジスタ
 - 22 NANDゲート
 - 23 第1の遅延要素
 - 24 第2の遅延要素
 - 25、26 インバ - タ
 - 27 論理ゲート
 - 29 出力端子
 - 31 節点
- WDRV 出力電圧

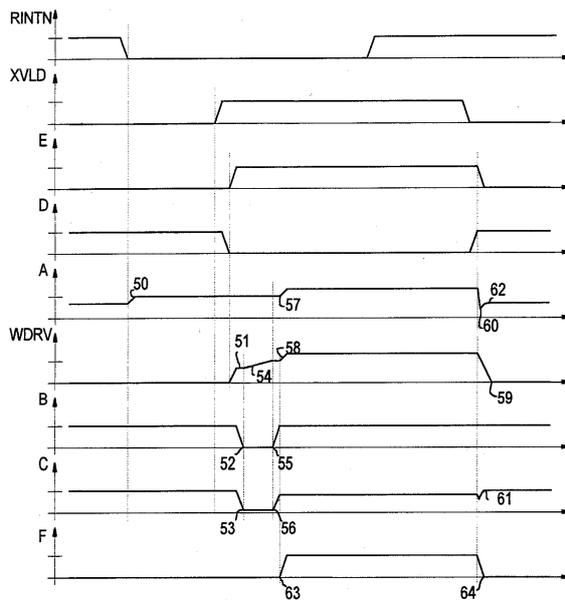
10

20

【図1】



【図2】



フロントページの続き

- (56)参考文献 実開昭62-186298(JP,U)
特開平08-065147(JP,A)
特開平08-195095(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G11C 11/407
H02M 3/07