

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-208966
(P2006-208966A)

(43) 公開日 平成18年8月10日(2006.8.10)

| | | |
|-----------------------------|----------------|-------------|
| (51) Int. Cl. | F I | テーマコード (参考) |
| G09G 3/30 (2006.01) | G09G 3/30 K | 3K007 |
| G09G 3/20 (2006.01) | G09G 3/20 612T | 5C080 |
| H01L 51/50 (2006.01) | G09G 3/20 612U | |
| | G09G 3/20 624B | |
| | G09G 3/20 670K | |

審査請求 未請求 請求項の数 23 O L (全 18 頁) 最終頁に続く

| | | | |
|-----------|----------------------------|----------|--|
| (21) 出願番号 | 特願2005-23547 (P2005-23547) | (71) 出願人 | 000005016 パイオニア株式会社 東京都目黒区目黒1丁目4番1号 |
| (22) 出願日 | 平成17年1月31日 (2005.1.31) | (74) 代理人 | 100079119 弁理士 藤村 元彦 |
| | | (72) 発明者 | 土田 正美 埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社総合研究所内 |
| | | Fターム(参考) | 3K007 AB17 BA06 DB03 GA00 GA04 5C080 AA06 BB05 DD05 DD26 DD29 FF07 FF11 HH09 JJ02 JJ03 JJ04 JJ05 JJ06 |

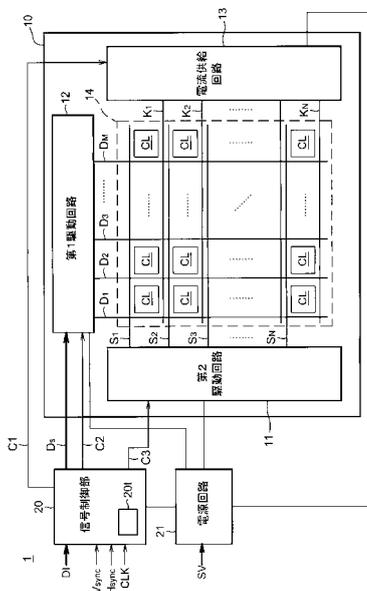
(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】 OLEDなどの自発光素子を選択し駆動するために使用されるTFTの特性の改善である。

【解決手段】 表示装置1は、行電極群 $S_1 \sim S_N$ 、列電極群 $D_1 \sim D_M$ および駆動部11、12、13、20を有する。行電極群 $S_1 \sim S_N$ と列電極群 $D_1 \sim D_M$ との交差点付近の領域にはそれぞれ自発光素子が形成され、自発光素子を駆動する素子駆動回路が形成されている。素子駆動回路の各々は、選択トランジスタ、キャパシタおよび駆動トランジスタを含む。駆動部11、12、13、20は、自発光素子に駆動電流が供給されない非発光期間内に駆動トランジスタの制御端子に逆バイアスを印加する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

行電極群と、前記行電極群に交差する列電極群と、前記行電極群に走査信号を供給し且つ前記列電極群にデータ信号を供給する駆動部と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域に形成され前記走査信号および前記データ信号に応じて前記自発光素子をそれぞれ駆動する素子駆動回路と、からなる表示装置であって、

前記素子駆動回路の各々は、

前記行電極に接続された制御端子と第 1 および第 2 の被制御端子とを有し、且つ前記走査信号により前記制御端子に印加された順バイアスに応じて前記第 1 および第 2 の被制御端子間が導通する少なくとも 1 個の選択トランジスタと、

前記選択トランジスタの第 1 および第 2 の被制御端子間が導通する期間に、前記駆動部から前記第 1 および第 2 の被制御端子間を介して供給された前記データ信号に対応する電圧を蓄積するキャパシタと、

前記キャパシタの一方の端子に接続された制御端子と第 1 および第 2 の被制御端子とを有し、前記第 1 および第 2 の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続され、且つ前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給する駆動トランジスタと、

を含み、

前記駆動部は、前記自発光素子に前記駆動電流が供給されない非発光期間内に前記駆動トランジスタの制御端子に逆バイアスを印加することを特徴とする表示装置。

【請求項 2】

請求項 1 記載の表示装置であって、前記駆動トランジスタは、有機半導体からなる活性層を含む有機トランジスタであることを特徴とする表示装置。

【請求項 3】

請求項 1 または請求項 2 記載の表示装置であって、前記駆動部は、各フレーム表示期間毎または各フィールド表示期間毎に前記駆動トランジスタの制御端子に前記逆バイアスを印加することを特徴とする表示装置。

【請求項 4】

請求項 1 から 3 のうちのいずれか 1 項に記載の表示装置であって、前記逆バイアスを前記素子駆動回路に伝達する電源電極群を備えており、

前記行電極群は、前記駆動部から供給される選択信号を伝達する選択電極群を含み、

前記素子駆動回路の各々は、前記選択電極に接続された制御端子と第 1 および第 2 の被制御端子とを有する逆バイアス印加用トランジスタを含み、前記逆バイアス印加用トランジスタの第 1 および第 2 の被制御端子のうちの一方の端子が前記電源電極に接続され、且つ前記逆バイアス印加用トランジスタの第 1 および第 2 の被制御端子のうちの他方の端子が前記駆動トランジスタの制御端子に接続されており、

前記駆動部は、前記非発光期間内に前記逆バイアス印加用トランジスタの第 1 および第 2 の被制御端子間を導通する電圧を前記選択電極を介して前記逆バイアス印加用トランジスタの制御端子に印加することを特徴とする表示装置。

【請求項 5】

請求項 1 から 4 のうちのいずれか 1 項に記載の表示装置であって、画像信号の平均輝度レベルを測定する輝度レベル測定部をさらに備え、前記駆動部は、前記駆動トランジスタの制御端子に印加すべき前記逆バイアスのパルス幅および振幅のうち少なくとも一方を前記平均輝度レベルに応じて変化させることを特徴とする表示装置。

【請求項 6】

請求項 1 から 4 のうちのいずれか 1 項に記載の表示装置であって、画像信号の平均輝度レベルを測定する輝度レベル測定部をさらに備え、前記駆動部は、前記平均輝度レベルの測定結果に応じて前記駆動トランジスタの制御端子に前記逆バイアスを印加することを特徴とする表示装置。

10

20

30

40

50

【請求項 7】

請求項 1 から 6 のうちのいずれか 1 項に記載の表示装置であって、前記駆動トランジスタの制御端子に印加すべき前記逆バイアスのパルス幅および振幅のうち少なくとも一方の値が設定される入力部をさらに備えることを特徴とする表示装置。

【請求項 8】

請求項 7 記載の表示装置であって、前記入力部は、入力操作に応じて、前記逆バイアスのパルス幅および振幅のうち少なくとも一方の設定値を切り替えるスイッチを含むことを特徴とする表示装置。

【請求項 9】

請求項 1 から 8 のうちのいずれか 1 項に記載の表示装置であって、前記選択トランジスタは、有機半導体からなる活性層を含む有機トランジスタであり、前記駆動部は、前記自発光素子に前記駆動電流が供給される発光期間内に前記選択トランジスタの制御端子に逆バイアスを印加することを特徴とする表示装置。

10

【請求項 10】

行電極群と、前記行電極群に交差する列電極群と、前記行電極群に走査信号を供給し且つ前記列電極群にデータ信号を供給する駆動部と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域にそれぞれ形成され前記走査信号および前記データ信号に応じて前記自発光素子を駆動する素子駆動回路と、からなる表示装置であって、

前記素子駆動回路の各々は、

20

前記行電極に接続された制御端子と第 1 および第 2 の被制御端子とを有し、且つ前記走査信号により前記制御端子に印加された順バイアスに応じて前記第 1 および第 2 の被制御端子間が導通する少なくとも 1 個の選択トランジスタと、

前記選択トランジスタの第 1 および第 2 の被制御端子間が導通する期間に、前記駆動部から前記第 1 および第 2 の被制御端子間を介して供給された前記データ信号に対応する電圧を蓄積するキャパシタと、

前記キャパシタの一方の端子に接続された制御端子と第 1 および第 2 の被制御端子とを有し、前記第 1 および第 2 の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続され、且つ前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給する駆動トランジスタと、

30

を含み、

前記駆動部は、前記自発光素子に前記駆動電流が供給される発光期間内に前記選択トランジスタの制御端子に逆バイアスを印加することを特徴とする表示装置。

【請求項 11】

請求項 10 記載の表示装置であって、前記選択トランジスタは、有機半導体からなる活性層を含む有機トランジスタであることを特徴とする表示装置。

【請求項 12】

請求項 10 または 11 記載の表示装置であって、前記駆動部は、各フレーム表示期間毎または各フィールド表示期間毎に前記選択トランジスタの制御端子に前記逆バイアスを印加することを特徴とする表示装置。

40

【請求項 13】

請求項 10 から 12 のうちのいずれか 1 項に記載の表示装置であって、画像信号の平均輝度レベルを測定する輝度レベル測定部をさらに備え、前記駆動部は、前記選択トランジスタの制御端子に印加すべき前記逆バイアスのパルス幅および振幅のうち少なくとも一方を前記平均輝度レベルの変化に応じて変化させることを特徴とする表示装置。

【請求項 14】

請求項 10 から 12 のうちのいずれか 1 項に記載の表示装置であって、画像信号の平均輝度レベルを測定する輝度レベル測定部をさらに備え、前記駆動部は、前記平均輝度レベルの測定結果に応じて前記選択トランジスタの制御端子に前記逆バイアスを印加することを特徴とする表示装置。

50

【請求項 15】

請求項 10 から 14 のうちのいずれか 1 項に記載の表示装置であって、前記選択トランジスタの制御端子に印加すべき前記逆バイアスのパルス幅および振幅のうち少なくとも一方の値が設定される入力部をさらに備えることを特徴とする表示装置。

【請求項 16】

請求項 15 記載の表示装置であって、前記入力部は、入力操作に応じて、前記逆バイアスのパルス幅および振幅のうち少なくとも一方の設定値を切り替えるスイッチを含むことを特徴とする表示装置。

【請求項 17】

請求項 10 から 16 のうちのいずれか 1 項に記載の表示装置であって、前記駆動トランジスタは、有機半導体からなる活性層を含む有機トランジスタであり、前記駆動部は、前記自発光素子に前記駆動電流が供給されない非発光期間内に前記駆動トランジスタの制御端子に逆バイアスを印加することを特徴とする表示装置。

10

【請求項 18】

請求項 1 から 17 のうちのいずれか 1 項に記載の表示装置であって、前記駆動部は、前記自発光素子に逆バイアスを印加する回路を含むことを特徴とする表示装置。

【請求項 19】

請求項 1 から 18 のうちのいずれか 1 項に記載の表示装置であって、
前記駆動部は、

前記選択トランジスタの第 1 および第 2 の被制御端子間が導通する期間に、前記列電極から前記第 1 および第 2 の被制御端子間を介して前記キャパシタにデータ電流を供給することにより前記データ電流に応じたデータ電圧を前記キャパシタに蓄積させる第 1 駆動回路と、

20

前記データ電圧が前記キャパシタに蓄積された後に、前記選択トランジスタの第 1 および第 2 の被制御端子間を非導通にする電圧を前記行電極を介して前記選択トランジスタの制御端子に印加する第 2 駆動回路と、

前記選択トランジスタの第 1 および第 2 の被制御端子間が非導通になった後に、前記駆動トランジスタに電源電圧を供給する電源と、
を含むことを特徴とする表示装置。

【請求項 20】

請求項 19 記載の表示装置であって、前記電源電圧を前記素子駆動回路に伝達する電源線を備えており、

30

前記行電極群は、前記第 2 駆動回路から供給される選択信号を伝達する選択電極群を含み、

前記素子駆動回路の各々は、前記選択電極に接続された制御端子と第 1 および第 2 の被制御端子とを有する電圧供給用トランジスタを含み、前記電圧供給用トランジスタの第 1 および第 2 の被制御端子のうちの一方の端子が前記駆動トランジスタの第 1 および第 2 の被制御端子のうちのいずれか一方の端子に接続され、且つ前記電圧供給用トランジスタの第 1 および第 2 の被制御端子のうちの他方の端子が前記電源線に接続されており、

前記第 2 駆動回路は、前記選択トランジスタの第 1 および第 2 の被制御端子間が非導通になった後に、前記電圧供給用トランジスタの第 1 および第 2 の被制御端子間を導通する電圧を前記選択電極を介して前記電圧供給用トランジスタの制御端子に印加することを特徴とする表示装置。

40

【請求項 21】

請求項 1 から 20 のうちのいずれか 1 項に記載の表示装置であって、前記自発光素子は有機 EL (ElectroLuminescent) 素子であることを特徴とする表示装置。

【請求項 22】

行電極群と、前記行電極群に交差する列電極群と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域に形成され前記自発光素子をそれぞれ駆動する素子駆動回路と、からなり、

50

前記素子駆動回路の各々は、前記行電極に接続された制御端子と第1および第2の被制御端子とを有する少なくとも1個の選択トランジスタと、キャパシタと、前記キャパシタの一方の端子に接続された制御端子と第1および第2の被制御端子とを有し且つ前記第1および第2の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続された駆動トランジスタと、を含む表示装置の駆動方法であって、

(a) 前記選択トランジスタに走査信号を供給することにより当該選択トランジスタの制御端子に順バイアスを印加して当該選択トランジスタの第1および第2の被制御端子間を導通させるステップと、

(b) 前記選択トランジスタの第1および第2の被制御端子間が導通する期間に、当該選択トランジスタの第1および第2の被制御端子間を介して前記キャパシタにデータ信号を供給することにより当該キャパシタに前記データ信号に対応する電圧を蓄積させるステップと、

(c) 前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給するステップと、

(d) 前記自発光素子に前記駆動電流が供給されない非発光期間内に前記駆動トランジスタの制御端子に逆バイアスを印加するステップと、
を備えることを特徴とする駆動方法。

10

【請求項23】

行電極群と、前記行電極群に交差する列電極群と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域に形成され前記自発光素子をそれぞれ駆動する素子駆動回路と、からなり、

20

前記素子駆動回路の各々は、前記行電極に接続された制御端子と第1および第2の被制御端子とを有する少なくとも1個の選択トランジスタと、キャパシタと、前記キャパシタの一方の端子に接続された制御端子と第1および第2の被制御端子とを有し且つ前記第1および第2の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続された駆動トランジスタと、を含む表示装置の駆動方法であって、

(a) 前記選択トランジスタに走査信号を供給することにより当該選択トランジスタの制御端子に順バイアスを印加して当該選択トランジスタの第1および第2の被制御端子間を導通させるステップと、

(b) 前記選択トランジスタの第1および第2の被制御端子間が導通する期間に、当該選択トランジスタの第1および第2の被制御端子間を介して前記キャパシタにデータ信号を供給することにより当該キャパシタに前記データ信号に対応する電圧を蓄積させるステップと、

30

(c) 前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給するステップと、

(d) 前記自発光素子に前記駆動電流が供給される発光期間内に前記選択トランジスタの制御端子に逆バイアスを印加するステップと、
を備えることを特徴とする駆動方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、有機EL(ElectroLuminescent)素子やLED(発光ダイオード)などの自発光素子を駆動するための能動素子を含む表示装置およびその駆動方法に関し、特に、有機半導体を使用したTFT(薄膜トランジスタ; thin film transistor)を能動素子として含む表示装置およびその駆動方法に関する。

【背景技術】

【0002】

TFTは、有機ELディスプレイや液晶ディスプレイといったアクティブマトリクス型ディスプレイを駆動するための能動素子として広く使用されている。図1は、たとえば有機EL素子であるOLED(Organic Light Emitting diode)100を駆動する等価回路の

50

一例を示す図である。図1を参照すると、この等価回路は、能動素子である2つのpチャンネルTFT101、102と、キャパシタ C_s を含む。走査線 W_s は選択TFT101のゲートに接続され、データ線 W_D は選択TFT101のソースに接続され、一定の電源電圧 V_{DD} を供給する電源線 W_k は駆動TFT102のソースに接続されている。選択TFT101のドレインは駆動TFT102のゲートに接続されており、駆動TFT102のゲートとソース間にキャパシタ C_s が形成されている。OLED100のアノードは駆動TFT102のドレインに、そのカソードは共通電位にそれぞれ接続されている。

【0003】

走査線 W_s に選択パルスが印加されると、スイッチとしての選択TFT101がオンになりソースとドレイン間が導通する。このとき、データ線 W_D から、選択TFT101のソースとドレイン間を介してデータ電圧が供給され、キャパシタ C_s に蓄積される。このキャパシタ C_s に蓄積されたデータ電圧が駆動TFT102のゲートとソース間に印加されるので、駆動TFT102のゲート・ソース間電圧(以下、ゲート電圧と称する。) V_{gs} に応じたドレイン電流 I_d が流れ、OLED100に供給されることとなる。しかしながら、駆動TFT102の閾値電圧は駆動時間とともにシフトする。TFTのゲート電圧 V_{gs} とドレイン電流 I_d との関係の一例を図2に示す。図2に示されるように、初期状態での曲線120Aは駆動時間とともに曲線120Bへシフトし、ゲート閾値電圧が V_{th1} から V_{th2} へシフトする現象が見られる。このような閾値電圧シフトは、OLEDの発光輝度の低下やTFTの動作不能を引き起こすという問題がある。

【0004】

TFTを構成する活性層には、単結晶シリコン、アモルファスシリコン、多結晶シリコンもしくは低温多結晶シリコンが広く使用されている。近年、これらシリコン材料の代わりに、炭素と水素を骨格とする有機材料を活性層として使用するTFT(以下、有機TFTと称する。)が注目されている。図3は、典型的な有機TFTの断面を概略的に示す図である。この有機TFTは、プラスチック基板111、ゲート電極112、絶縁膜113、ドレイン電極114、ソース電極115および有機半導体層116を含む。ゲート電極112はプラスチック基板111上に形成され、絶縁膜113はゲート電極112を被覆するように形成されている。この絶縁膜113上に、互いに対向するドレイン電極114およびソース電極115が成膜されており、有機半導体層(活性層)116がドレイン電極114およびソース電極115の間に形成されている。有機半導体層116の材料としては、比較的キャリア移動度の高い低分子系または高分子系有機材料、たとえば、ペンタセン、ナフタセンまたはポリチオフェン系材料が挙げられる。この種の有機TFTは、プラスチックなどの可撓性フィルム基板上に比較的低温のプロセスで形成することができるので、機械的に柔軟で、軽量且つ薄型のディスプレイを容易に作製することを可能にするものである。また、有機TFTは、印刷工程やロール・ツー・ロール(Roll-to-roll)工程によって比較的 low cost で形成可能である。上記閾値電圧シフトの現象は、特にアモルファスシリコンTFTや有機TFTにおいて顕著に現れる。有機TFTの閾値電圧シフトについては、たとえば、非特許文献1(S. J. Zilker, C. Detcheverry, E. Cantatore, and D. M. de Leeuw, "Bias stress in organic thin-film transistors and logic gates," Applied Physics Letters Vol 79(8) pp. 1124-1126, August 20, 2001.)に開示されている。

【0005】

TFTの閾値電圧シフトを補償し得る駆動回路および駆動方法は、たとえば、特許文献1(特表2002-514320号公報)や特許文献2(特開2002-351401号公報)に開示されている。これら文献に記載される駆動回路および駆動方法はいずれも、駆動TFTの閾値電圧シフトを容認しつつ、閾値電圧シフトに関係なくOLEDの発光輝度を一定に制御し得るものである。しかしながら、これら文献の駆動回路でも閾値電圧シフトの発生を抑えることはできないため、閾値電圧シフトによる消費電力の増大を防止できない。また、駆動TFTの閾値電圧が許容範囲を超えてシフトすれば、そのシフトを補償することは難しく、OLEDの発光輝度のバラツキやTFTの動作不能が起きる。さら

に、駆動TFT以外の選択TFTにも閾値電圧シフトが起こるので、選択TFTの閾値電圧シフトが許容範囲を超えてシフトすれば、選択TFTの動作不能が起こる。特に有機TFTの閾値電圧シフトは、低温ポリシリコンTFTや単結晶シリコンTFTのそれと比べると大きいため、有機TFTを使用するアクティブマトリクス型ディスプレイでは、OLEDの発光輝度のバラツキやTFTの動作不能が起きやすいという問題がある。

【非特許文献1】S. J. Zilker, C. Detcheverry, E. Cantatore, and D. M. de Leeuw, "Bias stress in organic thin-film transistors and logic gates," Applied Physics Letters Vol 79(8) pp. 1124-1126, August 20, 2001.

【特許文献1】特表2002-514320号公報(対応米国特許第6,229,506号)

10

【特許文献2】特開2002-351401号公報(対応米国公開特許第2003112208号)

【発明の開示】

【発明が解決しようとする課題】

【0006】

以上に鑑みて本発明の目的は、アクティブマトリクス駆動方式において、OLEDなどの自発光素子を選択し駆動するために使用されるトランジスタの特性、特に有機半導体を活性層に使用する有機トランジスタの特性を改善し得る表示装置およびその駆動方法を提供することである。

【課題を解決するための手段】

20

【0007】

上記目的を達成すべく、請求項1記載の発明は、行電極群と、前記行電極群に交差する列電極群と、前記行電極群に走査信号を供給し且つ前記列電極群にデータ信号を供給する駆動部と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域に形成され前記走査信号および前記データ信号に応じて前記自発光素子をそれぞれ駆動する素子駆動回路と、からなる表示装置であって、前記素子駆動回路の各々は、前記行電極に接続された制御端子と第1および第2の被制御端子とを有し、且つ前記走査信号により前記制御端子に印加された順バイアスに応じて前記第1および第2の被制御端子間が導通する少なくとも1個の選択トランジスタと、前記選択トランジスタの第1および第2の被制御端子間が導通する期間に、前記駆動部から前記第1および第2の被制御端子間を介して供給された前記データ信号に対応する電圧を蓄積するキャパシタと、前記キャパシタの一方の端子に接続された制御端子と第1および第2の被制御端子とを有し、前記第1および第2の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続され、且つ前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給する駆動トランジスタと、を含み、前記駆動部は、前記自発光素子に前記駆動電流が供給されない非発光期間内に前記駆動トランジスタの制御端子に逆バイアスを印加することを特徴としている。

30

【0008】

請求項10記載の発明は、行電極群と、前記行電極群に交差する列電極群と、前記行電極群に走査信号を供給し且つ前記列電極群にデータ信号を供給する駆動部と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域にそれぞれ形成され前記走査信号および前記データ信号に応じて前記自発光素子を駆動する素子駆動回路と、からなる表示装置であって、前記素子駆動回路の各々は、前記行電極に接続された制御端子と第1および第2の被制御端子とを有し、且つ前記走査信号により前記制御端子に印加された順バイアスに応じて前記第1および第2の被制御端子間が導通する少なくとも1個の選択トランジスタと、前記選択トランジスタの第1および第2の被制御端子間が導通する期間に、前記駆動部から前記第1および第2の被制御端子間を介して供給された前記データ信号に対応する電圧を蓄積するキャパシタと、前記キャパシタの一方の端子に接続された制御端子と第1および第2の被制御端子とを有し、前記第1および第2の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続され

40

50

、且つ前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給する駆動トランジスタと、を含み、前記駆動部は、前記自発光素子に前記駆動電流が供給される発光期間内に前記選択トランジスタの制御端子に逆バイアスを印加することを特徴としている。

【0009】

請求項2記載の発明は、行電極群と、前記行電極群に交差する列電極群と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域に形成され前記自発光素子をそれぞれ駆動する素子駆動回路と、からなり、前記素子駆動回路は、前記行電極に接続された制御端子と第1および第2の被制御端子とを有する少なくとも1個の選択トランジスタと、キャパシタと、前記キャパシタの一方の端子に接続された制御端子と第1および第2の被制御端子とを有し且つ前記第1および第2の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続された駆動トランジスタと、を含む表示装置の駆動方法であって、(a)前記選択トランジスタに走査信号を供給することにより当該選択トランジスタの制御端子に順バイアスを印加して当該選択トランジスタの第1および第2の被制御端子間を導通させるステップと、(b)前記選択トランジスタの第1および第2の被制御端子間が導通する期間に、当該選択トランジスタの第1および第2の被制御端子間を介して前記キャパシタにデータ信号を供給することにより当該キャパシタに前記データ信号に対応する電圧を蓄積させるステップと、(c)前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給するステップと、(d)前記自発光素子に前記駆動電流が供給されない非発光期間内に前記駆動トランジスタの制御端子に逆バイアスを印加するステップと、を備えることを特徴としている。

【0010】

請求項3記載の発明は、行電極群と、前記行電極群に交差する列電極群と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域に形成され前記自発光素子をそれぞれ駆動する素子駆動回路と、からなり、前記素子駆動回路は、前記行電極に接続された制御端子と第1および第2の被制御端子とを有する少なくとも1個の選択トランジスタと、キャパシタと、前記キャパシタの一方の端子に接続された制御端子と第1および第2の被制御端子とを有し且つ前記第1および第2の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続された駆動トランジスタと、を含む表示装置の駆動方法であって、(a)前記選択トランジスタに走査信号を供給することにより当該選択トランジスタの制御端子に順バイアスを印加して当該選択トランジスタの第1および第2の被制御端子間を導通させるステップと、(b)前記選択トランジスタの第1および第2の被制御端子間が導通する期間に、当該選択トランジスタの第1および第2の被制御端子間を介して前記キャパシタにデータ信号を供給することにより当該キャパシタに前記データ信号に対応する電圧を蓄積させるステップと、(c)前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給するステップと、(d)前記自発光素子に前記駆動電流が供給される発光期間内に前記選択トランジスタの制御端子に逆バイアスを印加するステップと、を備えることを特徴としている。

【発明を実施するための最良の形態】

【0011】

以下、本発明に係る種々の実施例について説明する。

【0012】

図4は、本発明に係る実施例である表示装置1を概略的に示すブロック図である。この表示装置1は、基板10、第2駆動回路11、第1駆動回路12、電流供給回路(第3駆動回路)13、信号制御部20および電源回路21を有する。本発明の駆動部は、第2駆動回路11、第1駆動回路12、電流供給回路13および信号制御部20によって構成され得る。電源回路21は、外部電源(図示せず)から供給された外部電力5Vから、信号制御部20、第2駆動回路11、第1駆動回路12および電流供給回路13にそれぞれ与

える電源電圧を発生するものである。

【0013】

基板10としては、ガラス基板またはプラスチック基板が使用され得る。プラスチック基板の材料としては、たとえば、PMMA（ポリメタクリル酸エチル）などのアクリル系樹脂、PC（ポリカーボネート）、PBT（ポリブチレンテレフタレート）、PET（ポリエチレンテレフタレート）、PPS（ポリフェニレンスルフィド）またはPEEK（ポリエーテルエーテルケトン）が挙げられる。

【0014】

基板10上には、複数の表示セルCL, ..., CLからなる表示部14、第2駆動回路11、第1駆動回路12および電流供給回路13が形成されている。これら表示セルCL, ..., CLの各々が1画素を構成していてもよいし、あるいは、カラー表示または面積階調のために表示セルCL, ..., CLのうちの複数個で1画素が構成されてもよい。たとえば、カラー表示のために1画素を構成する3個の表示セルCL, CL, CLがそれぞれR（赤色）、G（緑色）、B（青色）のカラーフィルタを有してもよいし、1画素を構成する3個の表示セルの点灯と非点灯の組み合わせで2ビットの面積階調を実現してもよい。

10

【0015】

また、基板10上には、水平方向に伸長するN本（Nは2以上の整数）の走査線（行電極群） S_1, \dots, S_N と、垂直方向に伸長するM本のデータ線（列電極群） D_1, \dots, D_M （Mは2以上の整数）と、水平方向に伸長するN本の電源線（電源電極群） K_1, \dots, K_N とが形成されており、走査線（選択電極群） S_1, \dots, S_N は第2駆動回路11に接続され、データ線 D_1, \dots, D_M は第1駆動回路12に接続され、電源線 K_1, \dots, K_N は電流供給回路13に接続されている。走査線 S_1, \dots, S_N とデータ線 D_1, \dots, D_M との交点についてそれぞれ $M \times N$ 個の表示セルCL, ..., CLが形成されている。

20

【0016】

信号制御部20には、映像信号DI、垂直同期信号Vsync、水平同期信号HsyncおよびシステムクロックCLKが供給されている。信号制御部20は、同期信号Vsync, HsyncとシステムクロックCLKとを用いて、映像信号DIをサンプリングし、サンプリングした映像信号DIを処理してLビット階調（Lは2以上の整数）のデジタル画像信号 D_s を生成する。また、信号制御部20は、動作タイミングを示す制御信号C1, C2, C3を発生し、これら信号C1, C2, C3をそれぞれ第2駆動回路11、第1駆動回路12、電流供給回路13に供給する。

30

【0017】

第1駆動回路12は、シフトレジスタ、ラッチ回路および出力回路（いずれも図示せず）を含み、シフトレジスタは、制御信号C2に含まれるクロックのタイミングで、信号制御部20から供給された画像信号 D_s を順次サンプリングする。ラッチ回路は、シフトレジスタから1水平ライン分のサンプリング信号を取り込み、出力回路は、ラッチ回路で取り込まれた信号をデータ信号に変換する。これらデータ信号はそれぞれデータ線 D_1, \dots, D_M に供給される。ここで、第1駆動回路12は、データ信号を発生しデータ線 D_1, \dots, D_M に供給する回路群の他に、データ信号とは信号レベルにおいて逆極性の信号を供給する補正回路、たとえば、データ信号の信号レベルが正であれば、信号レベルが負の補正信号を供給する回路を含む。

40

【0018】

第2駆動回路11は、プログレッシブ走査方式で画像を表示する場合は、各フレーム表示期間毎に、走査線 S_1, \dots, S_N に順次走査信号を印加する。インターレース走査方式（飛び越し走査方式）で画像を表示する場合は、各フレームの偶数番目ラインの信号からなる第1フィールドと、奇数番目ラインの信号からなる第2フィールドとが交互に表示されるので、第2駆動回路11は、各フィールド表示期間毎に、偶数番目ラインまたは奇数番目ライン上の走査線に順次走査信号を印加することとなる。第1駆動回路12は、走査信号により選択された表示セルCLに、データ線 D_Q （Qは1～Mのいずれか）を介してデータ信号を供給する。ここで、第2駆動回路11は、走査信号を発生し走査線 $S_1, \dots,$

50

S_N に供給する回路群の他に、走査信号とは信号レベルにおいて逆極性の補正信号を供給する回路、たとえば、走査信号の信号レベルが負であれば、信号レベルが正の補正信号を供給する回路を含む。

【0019】

表示セルCLの各々は、自発光素子と少なくとも1個の選択TFTと少なくとも1個の駆動TFTとキャパシタとを有する。選択TFT、駆動TFTおよびキャパシタは、自発光素子を駆動する素子駆動回路を構成するものである。本実施例では、自発光素子としてたとえば有機EL素子であるOLEDが使用され、選択TFTおよび駆動TFTとして有機TFTが使用される。図5は、pチャンネル有機TFTの閾値電圧シフトを例示するグラフである。グラフの縦軸はゲート閾値電圧 V_{th} (単位:ボルト)を均等目盛で、横軸は駆動時間 t (単位:分)を対数目盛で、それぞれ示している。ここで、閾値電圧 V_{th} は、有機TFTのゲートとソースを接地し、ゲート電圧 V_{GS} として-20V、-30Vおよび+20Vをそれぞれ印加することにより測定された。測定曲線L1, L2は、それぞれ、順バイアス-20V, -30Vの印加時の曲線であり、測定曲線L3は、逆バイアス+20Vの印加時の曲線である。図5に示される通り、ゲートに順バイアスを印加し続けられれば、閾値電圧 V_{th} はマイナス方向にシフトする一方で、ゲートに逆バイアスを印加し続けられれば、閾値電圧 V_{th} はプラス方向にシフトする。したがって、順バイアスの印加によりTFTに閾値電圧シフトが生じた場合、当該TFTのゲートに逆バイアスを印加すれば、閾値電圧シフトを補正することができる。

10

【0020】

本実施例の駆動法は、フレーム表示期間またはフィールド表示期間において、選択TFTおよび駆動TFTの各ゲートに順バイアスを印加することで発生した閾値電圧シフトを補正すべく選択TFTおよび駆動TFTの各ゲートに逆バイアスを印加するというものである。以下、図6および図7を参照しつつ本実施例の駆動法について説明する。図6は、表示セルCLの等価回路の一例を示す図であり、図7は、図6に示した等価回路に与えられる信号の波形を概略的に示すタイミングチャートである。

20

【0021】

図6を参照すると、表示セルCLは、pチャンネル選択TFT15、pチャンネル駆動TFT16、キャパシタ C_s およびOLED30を含む。走査線 S_p (P は1~Nのいずれか)は選択TFT15のゲート(制御端子)に接続され、データ線 D_Q (Q は1~Mのいずれか)は選択TFT15のソース(被制御端子)に接続され、電源線 K_p は駆動TFT16のソース(被制御端子)に接続されている。選択TFT15のドレイン(被制御端子)は駆動TFT16のゲート(制御端子)に接続されており、キャパシタ C_s の一方の端子は駆動TFT16のゲートに、キャパシタ C_s の他方の端子は駆動TFT16のソースにそれぞれ接続されている。OLED30のアノードは駆動TFT16のドレイン(被制御端子)に接続され、OLED30のカソードには共通電位が与えられる。

30

【0022】

図7を参照すると、 $V_{SEL}(1), \dots, V_{SEL}(P), \dots, V_{SEL}(N)$ は、それぞれ、走査線 $S_1, \dots, S_p, \dots, S_N$ に印加される電圧を示し、 V_{DAT} は、図6に示す等価回路を通るデータ線 D_Q に印加される電圧を示し、 V_s は、同等価回路を通る電源線 K_p に印加される電圧を示し、 V_{EL} は、同等価回路のOLED30に印加される電圧を示している。

40

【0023】

まず、データ書き込み期間には、第2駆動回路11は、負極性の選択パルス S_{P_1}, \dots, S_{P_N} をそれぞれ走査線 S_1, \dots, S_N に順次供給する。これにより、表示セルCL, ..., CLは線順次に選択され、選択された表示セルCLに選択パルス S_{P_p} (P は1~Nのいずれか)が供給される。この結果、選択パルス S_{P_p} の電圧(順バイアス)が選択TFT15のゲートに印加されるので、選択TFT15がオンになり選択TFT15のソースとドレイン間が導通する。ただし、選択TFT15のゲートに順バイアスが印加されるので、選択TFT15の閾値電圧がシフトする。

【0024】

50

第1駆動回路12は、選択TFT15のゲートに選択電圧 $V_{SEL}(P)$ が印加されている期間内に、負極性のデータパルスDPをデータ線 D_Q に供給する。データパルスDPは、選択TFT15のソースとドレイン間を介してキャパシタ C_S に伝達し、この結果、キャパシタ C_S にデータ電圧が蓄積される。

【0025】

電流供給回路13は、データ書き込み期間の間、高レベル L_H を持つ正極性の電源電圧 V_S を電源線 K_P を介して駆動TFT16のソースに供給し続ける。よって、駆動TFT16は、ゲートとソース間に印加されるデータ電圧に応じた量のドレイン電流 I_d をOLED30に供給し、これによりOLED30に順バイアス L_T が印加され、OLED30は発光する。

【0026】

次の第1のTFT特性補正期間には、第2駆動回路11は、正極性の補正パルス CP_1, \dots, CP_N をそれぞれ走査線 S_1, \dots, S_N に順次供給する。これにより、補正パルス CP_1, \dots, CP_N の電圧(逆バイアス)が選択TFT15のゲートに印加されるので、データ書き込み期間に生じた選択TFT15の閾値電圧シフトが補正されることとなる。ただし、データ書き込み期間と第1のTFT特性補正期間には、駆動TFT16のゲートに順バイアスが印加され続けるので、駆動TFT16の閾値電圧がシフトする。

【0027】

次のEL特性補正期間においては、第2駆動回路11は、負極性の選択パルス RP_1, \dots, RP_N をそれぞれ走査線 S_1, \dots, S_N に順次供給し、第1駆動回路12は、負極性の電圧 V_{DAT} を選択TFT15のソースに供給する。この結果、表示セル CL, \dots, CL は線順次に選択され、選択された表示セル CL の選択TFT15がオンになり、負極性の電圧 V_{DAT} がキャパシタ C_S に蓄積される。よって、駆動TFT16がオンになり駆動TFT16のソースとドレイン間が導通する。一方、電流供給回路13は、電源電圧 V_S を高レベル L_H から低レベル L_L へ切り替え、EL特性補正期間の間、低レベル L_L の電源電圧 V_S を電源線 K_P を介して駆動TFT16のソースに供給し続ける。よって、駆動TFT16のソースとドレイン間を介してOLED30に逆バイアス L_{RV} が印加される。したがって、順バイアスの印加により劣化したOLED30の特性が、逆バイアスの印加によって回復する。

【0028】

OLED30を一定電圧下で駆動し続けた場合、駆動時間の経過とともにOLED30の発光輝度は低下し、素子性能が劣化することが知られている。本実施例の如く、OLED30に対する順バイアスの印加を一定期間中断することで素子性能の回復が可能であり、その中断期間にOLED30に逆バイアスを印加することで素子性能の回復をさらに向上させることが可能である。

【0029】

次の第2のTFT特性補正期間には、第2駆動回路11は、負極性の選択パルス MP_1, \dots, MP_N をそれぞれ走査線 S_1, \dots, S_N に順次供給し、第1駆動回路12は、正極性のレベル L_C を持つ電圧 V_{DAT} を選択TFT15のソースに供給する。この結果、表示セル CL, \dots, CL は線順次に選択され、選択された表示セル CL の選択TFT15がオンになり、当該選択TFT15のソースとドレイン間を介して駆動TFT16のゲートに逆バイアスが印加される。一方、電流供給回路13は、電源電圧 V_S を低レベル L_L から高レベル L_H へ切り替え、第2のTFT特性補正期間の間、高レベル L_H の電源電圧 V_S を電源線 K_P を介して駆動TFT16のソースとキャパシタ C_S とに供給し続ける。

【0030】

このように、第2のTFT特性補正期間中に駆動TFT16のゲートに逆バイアスが印加されるので、OLED30の発光期間に生じた駆動TFT16の閾値電圧シフトが補正されることとなる。

【0031】

なお、上記駆動法では、EL特性補正期間の後に第2のTFT特性補正期間が続くが、

10

20

30

40

50

E L 特性補正期間と第 2 の T F T 特性補正期間との順序を逆にしてもよい。

【 0 0 3 2 】

選択 T F T 1 5 と駆動 T F T 1 6 の閾値電圧シフトの補正量は、選択 T F T 1 5 と駆動 T F T 1 6 にそれぞれ印加する逆バイアスの振幅とパルス幅（印加時間）に応じて異なる。このため、閾値電圧シフトと逆バイアスの振幅との間の関係、並びに、閾値電圧シフトと逆バイアスの印加時間との間の関係は予め信号制御部 2 0 に設定されている。すなわち、信号制御部 2 0 は、これらの関係を示すルックアップテーブル 2 0 t を内部メモリに記憶している。信号制御部 2 0 は、ルックアップテーブル 2 0 t を参照しつつ、補正パルス $C P_1, \dots, C P_N$ の振幅およびパルス幅を指定する制御信号 C 1 を生成し、また、第 2 の T F T 特性補正期間には駆動 T F T 1 6 のゲートに印加すべき電圧 V_{DAT} のパルス幅およびレベル L_C を指定する制御信号 C 2 を生成する。第 2 駆動回路 1 1 は、制御信号 C 1 に従った振幅およびパルス幅を持つ補正パルス $C P_1, \dots, C P_N$ を発生し、第 1 駆動回路 1 2 は、制御信号 C 2 に従ったパルス幅およびレベル L_C を持つ電圧 V_{DAT} を発生する。

10

【 0 0 3 3 】

以上の如く、上記表示装置 1 は、各フレーム表示期間毎または各フィールド表示期間毎に、選択 T F T 1 5 および駆動 T F T 1 6 の閾値電圧シフトを補正するので、それら閾値電圧シフトを最小範囲に抑えることができる。したがって、O L E D の発光輝度のバラツキや T F T の動作不能を回避でき、消費電力の抑制が可能である。

【 0 0 3 4 】

なお、本実施例では、各フレーム表示期間毎または各フィールド表示期間毎に T F T 1 5 , 1 6 にそれぞれ逆バイアスが印加されているが、これに限らず、所定数のフレーム毎または所定数のフィールド毎に T F T 1 5 , 1 6 にそれぞれ逆バイアスを印加してもよい。

20

【 0 0 3 5 】

また、上記実施例では、好ましい構成として、第 2 の T F T 特性補正期間に、第 1 駆動回路 1 2 が駆動 T F T 1 6 のゲートに印加する逆バイアス電圧 V_{DAT} をデータ線 D_Q を介して供給する構成が採用されている。この構成の代わりに、逆バイアス電圧を伝達する電源電極群を形成し、この電源電極を通じて、駆動 T F T 1 6 のゲートに印加する逆バイアス電圧を供給し得る構成を採用してもよい。さらには、各表示セル C L が逆バイアス印加用 T F T を含み、第 2 駆動回路 1 1 から逆バイアス印加用 T F T のゲートに供給される選択信号を伝達する選択電極を形成し、逆バイアス印加用 T F T のソースを前記電源電極に接続し、且つ逆バイアス印加用 T F T のドレインを駆動 T F T 1 6 のゲートに接続することで得られる構成を採用することもできる。この構成によれば、第 2 の T F T 特性補正期間に、逆バイアス印加用 T F T をオンにする電圧を選択電極に供給して逆バイアス印加用 T F T のゲートに印加する一方、電源電極を通じて供給された逆バイアス電圧を逆バイアス印加用 T F T のソースとドレイン間を介して駆動 T F T 1 6 のゲートに印加することが可能である。

30

【 0 0 3 6 】

ところで、表示セル C L の回路は、図 6 に示した等価回路に限らない。本実施例の如き駆動法を、T F T の閾値電圧シフトを補償し得る回路に適用することもできる。図 8 は、表示セル C L の等価回路の他の例を概略的に示す図である。図 8 を参照すると、この表示セル C L は、5 個の p チャンネル T F T 4 1 , 4 2 , 4 3 , 4 4 , 4 5 と、キャパシタ C_S と、O L E D 3 0 とを含む。これら T F T 4 1 ~ 4 5 のうち、T F T 4 1 , 4 3 が選択 T F T であり、T F T 4 2 , 4 4 が駆動 T F T である。また、T F T 4 5 は、駆動トランジスタ 4 2 への逆バイアス印加用の選択 T F T である。

40

【 0 0 3 7 】

第 1 の走査線（選択電極） $S A_P$ （P は 1 ~ N のいずれか）は選択 T F T 4 1 , 4 3 の各ゲート（各制御端子）に接続され、第 2 の走査線（選択電極） $S B_P$ は逆バイアス印加用選択 T F T 4 5 のゲート（制御端子）に接続され、第 3 の走査線（選択電極） $S C_P$ は駆動 T F T 4 4 のゲート（制御端子）に接続されている。これら第 1 ~ 第 3 の走査線 $S A$

50

S_{BP} , S_{CP} を束ねた線が走査線 S_P (図4)である。また、データ線 D_Q (Q は1~ M のいずれか)は選択TFT43のソース(被制御端子)に、電源線 K_P は逆バイアス印加用選択TFT45のソース(被制御端子)にそれぞれ接続されている。データ線 D_Q は、データ電流 I_{DAT} を与える電流源46と接続している。そして、表示部14の外に配設された電源から電源電圧 V_{DD} が供給されており、電源電圧 V_{DD} を伝達する電源線 CV が駆動TFT44のソース(被制御端子)に接続されている。

【0038】

駆動TFT42のソース(被制御端子)は選択TFT43のドレイン(被制御端子)およびTFT44のドレイン(被制御端子)の双方に、駆動TFT42のゲート(制御端子)は逆バイアス印加用選択TFT45のドレイン(被制御端子)に、駆動TFT42のドレイン(被制御端子)はOLED30のアノードに、それぞれ接続される。選択TFT41のソース(被制御端子)は駆動TFT42のゲート(制御端子)に、選択TFT41のドレイン(被制御端子)は駆動TFT42のドレイン(被制御端子)にそれぞれ接続される。キャパシタ C_S の一方の端子は駆動TFT42のソースに、キャパシタ C_S の他方の端子は駆動TFT42のゲートにそれぞれ接続されている。OLED30のカソードには共通電位が与えられている。

【0039】

上記素子駆動回路を持つ表示セル CL を用いた駆動法(電流プログラム駆動法)を以下に概説する。図8に示す回路の動作期間は、選択期間とEL発光期間とTFT特性補正期間とに大別される。選択期間においては、第2駆動回路11は、走査線 S_{BP} を介して正極性のレベルの電圧を逆バイアス印加用選択TFT45のゲートに印加することでTFT45をオフにし、TFT45のソースとドレイン間を非導通にする。また、第2駆動回路11は、走査線 S_{CP} を介して正極性のレベルの電圧 V_{GP} を駆動TFT44のゲートに印加することで駆動TFT44をオフにし、同時に、走査線 S_{AP} を介して負極性のレベルの電圧 V_{SEL} を選択TFT41, 43の各ゲートに印加することで選択TFT41, 43をオンにする。この結果、駆動TFT42のソースとドレイン間およびOLED30にデータ電流 I_{DAT} が流れるとともに、キャパシタ C_S にはデータ電流 I_{DAT} に対応するデータ電圧が蓄積される。

【0040】

この選択期間において、第2駆動回路11は、走査線 S_{CP} を介して駆動TFT44のゲートに逆バイアスを印加することで駆動TFT44の閾値電圧シフトを補正することが可能である。

【0041】

次のEL発光期間においては、第2駆動回路11は、走査線 S_{CP} を介して負極性のレベルの電圧 V_{GP} を駆動TFT44のゲートに印加することで駆動TFT44をオンにし、同時に、走査線 S_{AP} を介して正極性のレベルの電圧 V_{SEL} を選択TFT41, 43の各ゲートに印加することで選択TFT41, 43をオフにする。よって、駆動TFT44のソースとドレイン間を介して駆動TFT42のソースに電源電圧 V_{DD} が印加され、駆動TFT42のソースとドレイン間を介してOLED30に順バイアスが印加される。ここで、前記キャパシタ C_S に蓄積されたデータ電圧が、駆動TFT42に印加されるゲート電圧 V_{GS} となる。この結果、データ電流 I_{DAT} と等しい電流がOLED30に流れ、OLED30は発光する。

【0042】

このEL発光期間において、第2駆動回路11は、走査線 S_{AP} を介して選択TFT41, 43の各ゲートに逆バイアスを印加することで選択TFT41, 43の各閾値電圧シフトを補正することが可能である。

【0043】

次のTFT特性補正期間においては、第2駆動回路11は、走査線 S_{BP} を介して負極性のレベルの電圧を逆バイアス印加用選択TFT45のゲートに印加することでTFT45をオンにし、TFT45のソースとドレイン間を介して、電源線 K_P から与えられる補

10

20

30

40

50

正電圧（逆バイアス） V_{CP} を駆動TFT42のゲートに印加する。これにより、駆動TFT42の閾値電圧シフトの補正が可能になる。ここで、駆動TFT42のゲートに逆バイアスを印加する期間には、駆動TFT42のゲートとソース間の電圧を安定化して素子特性を良好に回復させる観点からは、駆動TFT44をオンにしてキャパシタ C_s に電源電圧 V_{DD} を印加するのが好ましい。

【0044】

上記の如く、図8の素子駆動回路を用いた電流プログラム駆動法は、各フレーム表示期間毎または各フィールド表示期間毎に、選択TFT41, 43、逆バイアス印加用選択TFT45および駆動TFT42, 44の閾値電圧シフトを補正するので、それら閾値電圧シフトを最小範囲に抑えることができる。したがって、OLEDの発光輝度のバラツキやTFTの動作不能を回避でき、消費電力の抑制が可能である。 10

【0045】

なお、本実施例では、各フレーム表示期間毎または各フィールド表示期間毎にTFT41~45にそれぞれ逆バイアスが印加されているが、これに限らず、所定数のフレーム毎または所定数のフィールド毎にTFT41~45にそれぞれ逆バイアスを印加してもよい。

【0046】

次に、本発明に係る他の実施例の表示装置1Aについて説明する。図9は、他の実施例の表示装置1Aを概略的に示すブロック図である。図9と図4において同一符号を付された構成要素は互いに同じ機能を有するものとして、それら構成要素の詳細な説明を省略する。表示装置1Aの構成は、入力部22とAPL測定部23とを有する点を除いて表示装置1（図4）の構成と同じである。 20

【0047】

入力部22は、入力キー（図示せず）や入力スイッチ22aを備えており、ユーザー（製造者と製品販売者を含む。）は、入力部22を操作して、閾値電圧シフト補正のために印加すべき逆バイアスのパルス幅（印加時間）および振幅の値を設定することができる。信号制御部20は、システムの起動時に入力部22から設定値 I_s を読み込み、これら設定値 I_s に基づいてルックアップテーブル20tの記憶内容を定める。ユーザーは、たとえば製品出荷時に、入力部22を操作して、表示装置1Aが組み込まれる機器の種類に応じて逆バイアスのパルス幅および振幅の値を設定することが可能である。たとえば、携帯 30
電話機器と、地上波放送の映像を表示するテレビ機器との間では表示画像の内容が異なり、TFTの平均駆動時間に差があるので、表示装置1Aが組み込まれる機器の種類、すなわち表示装置1Aの用途に応じて最適な値を設定することができる。

【0048】

また、入力部22は、ユーザーによる入力操作に応じて、逆バイアスのパルス幅および振幅のうち少なくとも一方の設定値を切り替える入力スイッチ22aを有している。ユーザーは、入力スイッチ22aを操作することにより、予め決められた値の中から、表示装置1Aの用途に応じて最適な設定値を選択することができる。

【0049】

APL測定部23は、画像データ信号 D_s の平均輝度レベル（APL；Average Peak Level）を、たとえば、数十~数百フレームに亘ってリアルタイムに測定し、その測定結果を示す信号 S_{APL} を信号制御部20に供給する。信号制御部20は、その測定結果に応じて駆動TFTまたは選択TFTに逆バイアスを印加し得る。たとえば、信号制御部20は、平均輝度レベルが所定レベルを超えていれば、TFTの閾値電圧シフトは小さい範囲内にあると予想して閾値電圧シフト補正用の逆バイアスを発生せず、一方、平均輝度レベルが所定レベル以下であれば、TFTの閾値電圧シフトが大きいと予想して閾値電圧シフト補正用の逆バイアスを発生することができる。

【0050】

あるいは、信号制御部20は、平均輝度レベルが大きいほどに閾値電圧シフト補正用の逆バイアスのパルス幅または振幅を大きくし、平均輝度レベルが小さいほどに閾値電圧シ 50

フト補正用の逆バイアスのパルス幅または振幅を小さくすることができる。このように平均輝度レベルをリアルタイムに監視することでTFTの閾値電圧シフトの大きさを判断し、逆バイアスのパルス幅または振幅を最適な値に調整することが可能である。したがって、TFTの閾値電圧シフトを最小範囲に抑制できる。

【図面の簡単な説明】

【0051】

【図1】OLEDを駆動する等価回路の一例を示す図である。

【図2】ゲート電圧とドレイン電流との間の関係を示すグラフである。

【図3】典型的な有機TFTの断面を概略的に示す図である。

【図4】本発明に係る実施例である表示装置を概略的に示すブロック図である。

10

【図5】pチャンネル有機TFTの閾値電圧シフトを例示するグラフである。

【図6】表示セルの等価回路の一例を示す図である。

【図7】図6に示した等価回路に与えられる信号の波形を概略的に示すタイミングチャートである。

【図8】表示セルの等価回路の他の例を概略的に示す図である。

【図9】本発明に係る他の実施例の表示装置を概略的に示すブロック図である。

【符号の説明】

【0052】

1, 1A 表示装置

10 基板

20

11 第2駆動回路

12 第1駆動回路

13 電流供給回路(第3駆動回路)

14 表示部

15, 41, 43 選択TFT

45 逆バイアス印加用選択TFT

16, 42, 44 駆動TFT

20 信号制御部

21 電源回路

22 入力部

30

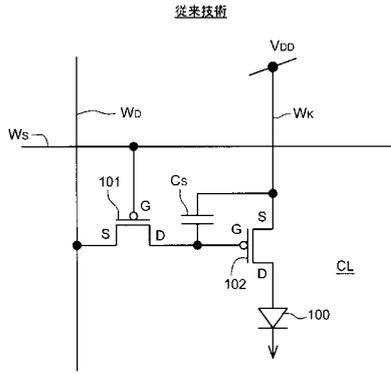
22a スイッチ(SW)

23 APL測定部

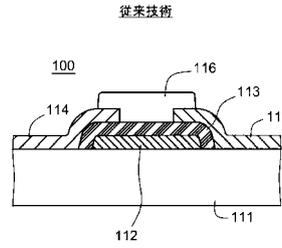
30 OLED(有機EL素子)

46 電流源

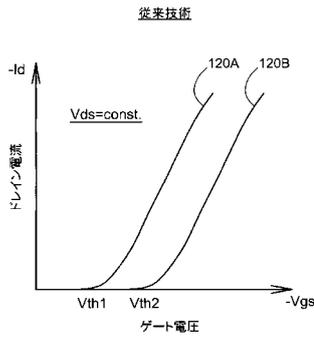
【 図 1 】



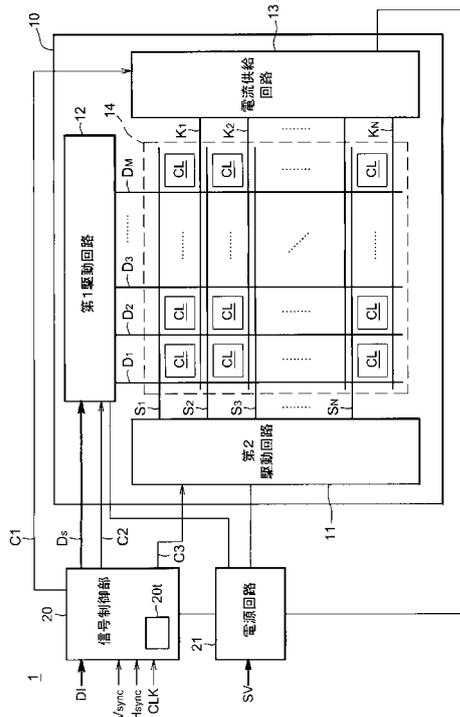
【 図 3 】



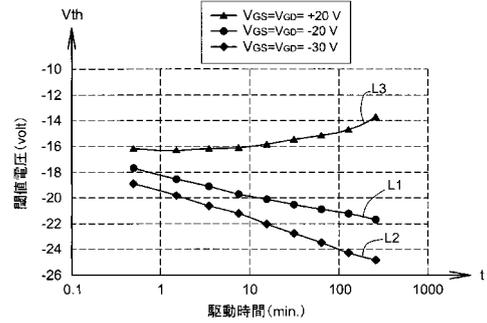
【 図 2 】



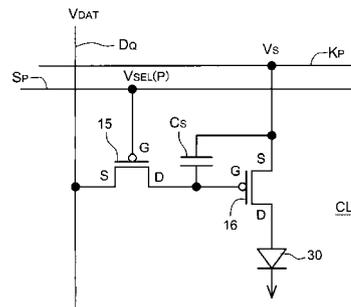
【 図 4 】



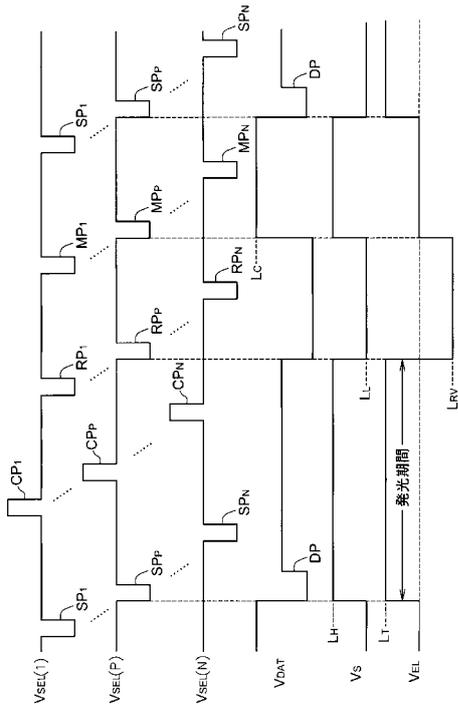
【 図 5 】



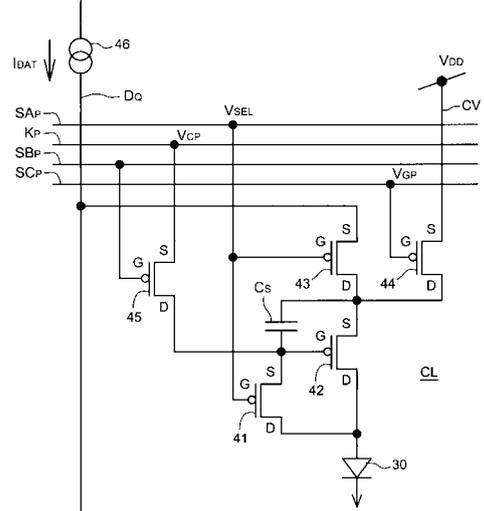
【 図 6 】



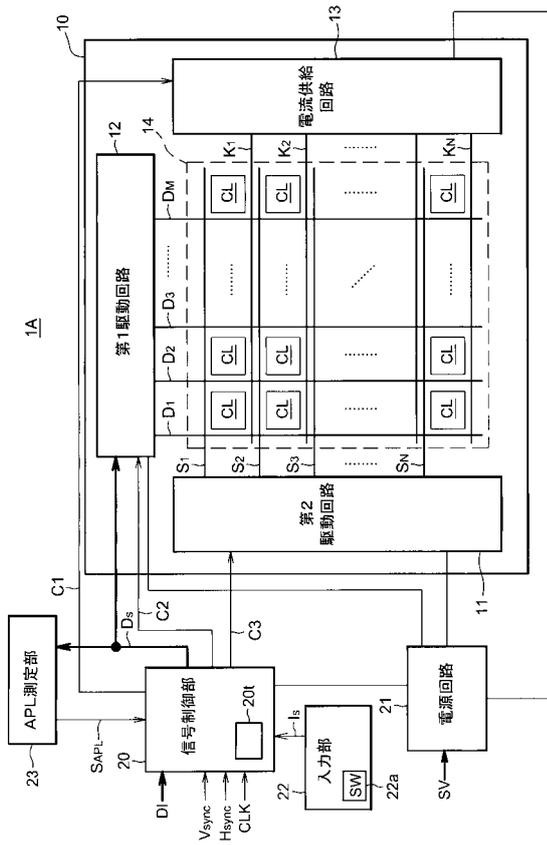
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14

A