

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6001900号  
(P6001900)

(45) 発行日 平成28年10月5日(2016.10.5)

(24) 登録日 平成28年9月9日(2016.9.9)

(51) Int.Cl. F I  
**H03K 19/173 (2006.01)** H03K 19/173 I O I  
**H03K 3/02 (2006.01)** H03K 3/02 E

請求項の数 4 (全 62 頁)

(21) 出願番号 特願2012-75637 (P2012-75637)  
 (22) 出願日 平成24年3月29日(2012.3.29)  
 (65) 公開番号 特開2012-257201 (P2012-257201A)  
 (43) 公開日 平成24年12月27日(2012.12.27)  
 審査請求日 平成26年12月29日(2014.12.29)  
 (31) 優先権主張番号 特願2011-94774 (P2011-94774)  
 (32) 優先日 平成23年4月21日(2011.4.21)  
 (33) 優先権主張国 日本国(JP)  
 (31) 優先権主張番号 特願2011-108894 (P2011-108894)  
 (32) 優先日 平成23年5月14日(2011.5.14)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 松崎 隆徳  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 白井 孝治

最終頁に続く

(54) 【発明の名称】 信号処理回路

(57) 【特許請求の範囲】

【請求項1】

電源電圧が選択的に供給され、第1の高電源電位が選択的に与えられる第1のノードを有する回路と、前記第1のノードの電位を保持する記憶回路とを有し、

前記記憶回路は、チャンネルが酸化物半導体層に形成される第1のトランジスタと、前記第1のトランジスタがオフ状態となることによってフローティングとなる第2のノードとを有し、

前記第1のノードは、前記第1のトランジスタを介して前記第2のノードと電気的に接続され、

前記回路は、チャンネルがシリコン層に形成される第2のトランジスタを有し、

前記第1のトランジスタはエンハンスメント型のnチャンネル型のトランジスタであり、

前記第1のトランジスタのゲートには、第2の高電源電位または接地電位が入力され、前記第2の高電源電位がゲートに入力されたとき前記第1のトランジスタはオン状態となり、前記接地電位がゲートに入力されたとき前記第1のトランジスタはオフ状態となり、

前記電源電圧が前記回路に供給されないとき、前記第1のトランジスタのゲートには前記接地電位が入力されて前記第1のトランジスタはオフ状態を維持し、

前記第2の高電源電位は、前記第1の高電源電位に前記第1のトランジスタのしきい値電圧を加算した電位よりも高く、

前記第2のトランジスタの上方に、絶縁層を有し、

前記絶縁層の上方に、前記酸化物半導体層を有することを特徴とする信号処理回路。

10

20

## 【請求項 2】

電源電圧が選択的に供給され、第 1 の高電源電位が選択的に与えられる第 1 のノードを有する回路と、前記第 1 のノードの電位を保持する記憶回路とを有し、

前記記憶回路は、チャンネルが酸化物半導体層に形成される第 1 のトランジスタと、前記第 1 のトランジスタがオフ状態となることによってフローティングとなる第 2 のノードとを有し、

前記第 1 のノードは、前記第 1 のトランジスタを介して前記第 2 のノードと電氣的に接続され、

前記回路は、チャンネルがシリコン層に形成される第 2 のトランジスタを有し、

前記第 1 のトランジスタはエンハンスメント型の n チャンネル型のトランジスタであり、

前記第 1 のトランジスタのゲートには、第 2 の高電源電位または接地電位が入力され、前記第 2 の高電源電位がゲートに入力されたとき前記第 1 のトランジスタはオン状態となり、前記接地電位がゲートに入力されたとき前記第 1 のトランジスタはオフ状態となり、

前記電源電圧が前記回路に供給されないとき、前記第 1 のトランジスタのゲートには前記接地電位が入力されて前記第 1 のトランジスタはオフ状態を維持し、

前記第 2 の高電源電位は、前記第 1 の高電源電位に前記第 1 のトランジスタのしきい値電圧を加算した電位よりも高く、

前記第 2 のトランジスタの上方に、絶縁層を有し、

前記絶縁層の上方に、前記酸化物半導体層を有し、

前記酸化物半導体層は、前記絶縁層の上面に垂直な方向に沿うように c 軸配向した結晶を有することを特徴とする信号処理回路。

## 【請求項 3】

電源電圧が選択的に供給され、第 1 の高電源電位が選択的に与えられる第 1 のノードを有する回路と、前記第 1 のノードの電位を保持する記憶回路とを有し、

前記記憶回路は、チャンネルが酸化物半導体層に形成される第 1 のトランジスタと、前記第 1 のトランジスタがオフ状態となることによってフローティングとなる第 2 のノードとを有し、

前記第 1 のノードは、前記第 1 のトランジスタを介して前記第 2 のノードと電氣的に接続され、

前記回路は、チャンネルがシリコン層に形成される第 2 のトランジスタを有し、

前記第 1 のトランジスタはエンハンスメント型の n チャンネル型のトランジスタであり、

前記第 1 のトランジスタのゲートには、第 2 の高電源電位または低電源電位が入力され、前記第 2 の高電源電位がゲートに入力されたとき前記第 1 のトランジスタはオン状態となり、前記低電源電位がゲートに入力されたとき前記第 1 のトランジスタはオフ状態となり、

前記電源電圧が前記回路に供給されないとき、前記第 1 のトランジスタのゲートには前記低電源電位が入力されて前記第 1 のトランジスタはオフ状態を維持し、

前記第 2 の高電源電位は、前記第 1 の高電源電位に前記第 1 のトランジスタのしきい値電圧を加算した電位よりも高く、

前記第 2 のトランジスタの上方に、絶縁層を有し、

前記絶縁層の上方に、前記酸化物半導体層を有することを特徴とする信号処理回路。

## 【請求項 4】

電源電圧が選択的に供給され、第 1 の高電源電位が選択的に与えられる第 1 のノードを有する回路と、前記第 1 のノードの電位を保持する記憶回路とを有し、

前記記憶回路は、チャンネルが酸化物半導体層に形成される第 1 のトランジスタと、前記第 1 のトランジスタがオフ状態となることによってフローティングとなる第 2 のノードとを有し、

前記第 1 のノードは、前記第 1 のトランジスタを介して前記第 2 のノードと電氣的に接続され、

前記回路は、チャンネルがシリコン層に形成される第 2 のトランジスタを有し、

10

20

30

40

50

前記第 1 のトランジスタはエンハンスメント型の n チャンネル型のトランジスタであり、前記第 1 のトランジスタのゲートには、第 2 の高電源電位または低電源電位が入力され、前記第 2 の高電源電位がゲートに入力されたとき前記第 1 のトランジスタはオン状態となり、前記低電源電位がゲートに入力されたとき前記第 1 のトランジスタはオフ状態となり、

前記電源電圧が前記回路に供給されないとき、前記第 1 のトランジスタのゲートには前記低電源電位が入力されて前記第 1 のトランジスタはオフ状態を維持し、

前記第 2 の高電源電位は、前記第 1 の高電源電位に前記第 1 のトランジスタのしきい値電圧を加算した電位よりも高く、

前記第 2 のトランジスタの上方に、絶縁層を有し、

前記絶縁層の上方に、前記酸化物半導体層を有し、

前記酸化物半導体層は、前記絶縁層の上面に垂直な方向に沿うように c 軸配向した結晶を有することを特徴とする信号処理回路。

【発明の詳細な説明】

【技術分野】

【0001】

電源を切っても記憶している論理状態が消えない記憶回路に関する。また、当該記憶回路を用いた記憶装置や信号処理回路に関する。また、記憶装置や信号処理回路を用いた電子機器に関する。

【背景技術】

【0002】

中央演算処理装置 (CPU: Central Processing Unit) などの信号処理回路は、その用途によって多種多様な構成を有しているが、一般的に、データやプログラムを記憶するためのメインメモリの他に、レジスタやキャッシュメモリなど、各種の記憶回路が設けられている。

【0003】

レジスタやキャッシュメモリ等の記憶回路は、メインメモリよりも高速でデータの読み書きを行う必要がある。よって、通常は、レジスタとしてフリップフロップが、キャッシュメモリとして SRAM (Static Random Access Memory) 等が用いられる。つまり、これらのレジスタ、キャッシュメモリ等には、電源電圧の供給が途絶えるとデータを消失してしまう揮発性の記憶回路が用いられている。

【0004】

消費電力を抑えるため、データの入出力が行われない期間において信号処理回路への電源電圧の供給を一時的に停止するという方法が提案されている。その方法では、レジスタ、キャッシュメモリ等の揮発性の記憶回路の周辺に不揮発性の記憶回路を配置し、上記データをその不揮発性の記憶回路に一時的に記憶させる。こうして、信号処理回路において電源電圧の供給を停止する間も、レジスタ、キャッシュメモリ等はデータを保持する (例えば、特許文献 1 参照)。

【0005】

また、信号処理回路において長時間の電源電圧の供給停止を行う際には、電源電圧の供給停止の前に、揮発性の記憶回路内のデータをハードディスク、フラッシュメモリ等の外部記憶装置に移すことで、データの消失を防ぐこともできる。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開平 10 - 078836 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献 1 に開示されたような信号処理回路では、不揮発性の記憶回路を構成する記憶

10

20

30

40

50

素子として強誘電体が用いられている。強誘電体を用いた記憶素子では、データの書き込みを繰り返すことによって、強誘電体材料が疲労し、書き込み不良となる等の問題があり、書き換え回数が制限される。

【0008】

また、不揮発性の記憶回路としてフラッシュメモリを用いた場合、高電圧を印加してトンネル電流により電子を注入または放出する動作を行うため、データの書き換えを繰り返すことによる各記憶素子の劣化が激しい等の問題があり、書き換え回数が制限される。

【0009】

上述の課題に鑑み、本発明は、新たな構成の不揮発性の記憶回路（電源電圧の供給を停止しても記憶している論理状態が消えない構成の記憶回路）を用いた信号処理回路を提供することを目的の一つとする。

【0010】

特に、電源電圧として接地電位（0V）と高電源電位（接地電位よりも高い電位）の電位差が与えられ、電源電圧の供給を停止した後、即ち高電源電位の供給が停止した後も、記憶している論理状態が消えない、新たな構成の記憶回路を用いた信号処理回路を提供することを目的の一つとする。

【課題を解決するための手段】

【0011】

本発明の信号処理回路の一態様は、第1の高電源電位（接地電位よりも高い電位）が選択的に与えられるノードを有する回路と、当該ノードの電位を保持する不揮発性の記憶回路とを有する。当該回路としては、例えば、演算回路や揮発性の記憶回路とすることができる。そして当該ノードとしては、例えば、入力端子や出力端子（つまり、演算回路の入力端子や出力端子、揮発性の記憶回路の入力端子や出力端子）とすることができる。ここで、回路への第1の高電源電位の供給を停止することによって、回路への電源電圧の供給を停止し、回路へ第1の高電源電位を供給することによって、回路へ電源電圧を供給する。また、信号処理回路には、第1の高電源電位と接地電位（0V：低電源電位に相当）との差に相当する電源電圧が選択的に供給される。信号処理回路への第1の高電源電位の供給を停止することによって、信号処理回路への電源電圧の供給を停止し、信号処理回路へ第1の高電源電位を供給することによって、信号処理回路へ電源電圧を供給する。

【0012】

本発明の信号処理回路の一態様は、第1の高電源電位（接地電位よりも高い電位）と接地電位（0V：低電源電位に相当）との差に相当する電源電圧が選択的に供給される回路と、当該回路の出力電位を保持する不揮発性の記憶回路とを有する。当該回路としては、例えば、演算回路や揮発性の記憶回路とすることができる。ここで、回路への第1の高電源電位の供給を停止することによって、回路への電源電圧の供給を停止し、回路へ第1の高電源電位を供給することによって、回路へ電源電圧を供給する。また、信号処理回路には、第1の高電源電位と接地電位（0V：低電源電位に相当）との差に相当する電源電圧が選択的に供給される。信号処理回路への第1の高電源電位の供給を停止することによって、信号処理回路への電源電圧の供給を停止し、信号処理回路へ第1の高電源電位を供給することによって、信号処理回路へ電源電圧を供給する。

【0013】

本発明の信号処理回路の一態様は、第1の高電源電位と接地電位（0V：低電源電位に相当）との差に相当する電源電圧が選択的に供給される揮発性の記憶回路と、当該揮発性の記憶回路に保持されたデータを記憶する不揮発性の記憶回路と、の組を有する。ここで、揮発性の記憶回路への第1の高電源電位の供給を停止することによって、揮発性の記憶回路への電源電圧の供給を停止し、揮発性の記憶回路へ第1の高電源電位を供給することによって、揮発性の記憶回路へ電源電圧を供給する。また、信号処理回路には、第1の高電源電位と接地電位（0V：低電源電位に相当）との差に相当する電源電圧が選択的に供給される。信号処理回路への第1の高電源電位の供給を停止することによって、信号処理回路への電源電圧の供給を停止し、信号処理回路へ第1の高電源電位を供給することによ

10

20

30

40

50

って、信号処理回路へ電源電圧を供給する。

【0014】

上記不揮発性の記憶回路は、オフ電流が極めて小さいトランジスタと、当該トランジスタがオフ状態となることによってフローティングとなるノード（以下、保持ノードともいう）に一对の電極のうち的一方が電氣的に接続された容量素子とを有する構成とする。なお、容量素子を設ける代わりに別のトランジスタのゲート容量等を用いることもできる。例えば、保持ノードが、信号処理回路に含まれる演算回路や記憶回路を構成するトランジスタのゲートに電氣的に接続された構成とすることができる。このとき、一对の電極のうち的一方が保持ノードに電氣的に接続される容量素子は、必ずしも必要ない。

【0015】

このような不揮発性の記憶回路では、ゲートに第2の高電源電位を入力することによって、オフ電流が極めて小さいトランジスタをオン状態とする。ここで、第2の高電源電位は、第1の高電源電位よりも高い。例えば、オフ電流が極めて小さいトランジスタのしきい値電圧を  $V_{th}$  とすると、（第2の高電源電位） $>$ （第1の高電源電位） $+ V_{th}$  とする。そして、オン状態となった当該トランジスタを介して、所定の電位を保持ノードに入力する。その後、ゲートに接地電位（0V、低電源電位に相当）を入力することによって、当該トランジスタをオフ状態として、当該所定の電位を保持する。なお、オフ電流が極めて小さいトランジスタは、エンハンスメント型（ノーマリオフ型）のnチャンネル型のトランジスタとする。そして、信号処理回路全体や当該信号処理回路に含まれる一部回路への電源電圧の供給が停止した際、当該トランジスタのゲートには接地電位（0V）が入力され続ける構成とする。例えば、当該トランジスタのゲートが抵抗等の負荷を介して接地される構成とする。こうして、信号処理回路全体や当該信号処理回路に含まれる一部回路への電源電圧の供給が停止した後も、当該トランジスタのオフ状態を維持することができ、保持ノードの電位を長期間に渡って保持することが可能となる。

【0016】

また、このような不揮発性の記憶回路では、データに対応する信号電位を保持ノードに入力し、オフ電流が極めて小さいトランジスタをオフ状態として、保持ノードをフローティング状態とすることにより、データを記憶する構成である。そのため、当該不揮発性の記憶回路において、データの書き換えを繰り返すことによる疲労は少なく、データの書き換え可能な回数を多くすることができる。

【0017】

本発明の信号処理回路の一態様は、上記構成に加えて、第1の高電源電位を昇圧して第2の高電源電位を生成する昇圧回路を有していてもよい。昇圧回路は、互いに直列に電氣的に接続された第1のトランジスタ乃至第  $(n+1)$ （ $n$  は自然数）のトランジスタと、これらトランジスタのうち第  $i$ （ $i$  は  $n$  以下の自然数）のトランジスタと第  $(i+1)$  のトランジスタの接続部分に一对の電極のうち的一方が電氣的に接続された第  $i$  の容量素子とを有する構成とすることができる。そして、第1のトランジスタ乃至第  $(n+1)$  のトランジスタの一部または全ては、オフ電流が極めて小さいトランジスタとしてもよい。このように、オフ電流が極めて小さいトランジスタを昇圧回路に用いることによって、電源電圧の供給が停止しても、昇圧された電圧（第  $i$  の容量素子に保持された電圧）を長時間にわたって保持することが可能となる。そのため、電源電圧の供給が選択された後、昇圧回路は第2の高電源電位を速く生成することができる。こうして、電源電圧の供給が選択された後、不揮発性の記憶回路中のオフ電流が極めて小さいトランジスタを速くオン状態とすることができる。

【0018】

また例えば、昇圧回路は、ブートストラップ回路を用いて構成することもできる。なお、信号処理回路は、上記不揮発性の記憶回路を複数有し、不揮発性の記憶回路毎に、ブートストラップ回路を用いて構成される昇圧回路を設けてもよい。

【0019】

オフ電流が極めて小さいトランジスタとしては、シリコンよりも広いバンドギャップを

10

20

30

40

50

有する半導体でなる層や基板中にチャネルが形成されるトランジスタを用いることができる。シリコンよりも広いバンドギャップを有する半導体として化合物半導体があり、例えば、酸化物半導体、窒化物半導体などがある。例えば、オフ電流が極めて小さいトランジスタとして、チャネルが酸化物半導体層に形成されるトランジスタを用いることができる。

【0020】

なお、揮発性の記憶回路としては、少なくとも2つの演算回路を有し、一方の演算回路の出力が他方の演算回路に入力され、他方の演算回路の出力が一方の演算回路に入力されるような、帰還ループを有する構成とすることができる。このような構成の記憶回路としては、フリップフロップ回路や、ラッチ回路がある。

10

【0021】

また、演算回路としては、インバータ、クロックドインバータ、スリーステートバッファ、NAND回路、NOR回路等を用いることができる。

【0022】

なお、CPU、マイクロプロセッサ、画像処理回路、DSP(Digital Signal Processor)、FPGA(Field Programmable Gate Array)等のLSI(Large Scale Integrated Circuit)等が、本発明の信号処理回路の範疇に含まれる。

【0023】

上記信号処理回路において、必要な場合にのみ電源電圧を供給する(以下、ノーマリオフともいう)駆動方法を採用することができる。

20

【0024】

ノーマリオフの駆動方法を採用する場合における、信号処理回路の駆動方法の一態様は以下のとおりである。

【0025】

電源電圧が供給されている間に、信号処理回路中の所定のノード(例えば、演算回路の入力端子や出力端子、揮発性の記憶回路の入力端子や出力端子等)の電位を不揮発性の記憶回路に入力して記憶させる(以下、データ格納ともいう)。具体的には、不揮発性の記憶回路において、第2の高電源電位をゲートに入力し、オフ電流が極めて小さいトランジスタをオン状態とする。そして、オン状態となった当該トランジスタを介して、信号処理回路中の所定のノード(例えば、演算回路の入力端子や出力端子、揮発性の記憶回路の入力端子や出力端子等)の電位を保持ノードに入力する。ここで、オフ電流が極めて小さいトランジスタをオン状態とするためにゲートに入力される電位(第2の高電源電位)は、第1の高電源電位よりも高く、例えば、(第1の高電源電位) +  $V_{th}$ よりも高い電位とする。

30

【0026】

ここで信号処理回路中の所定のノード(例えば、演算回路の入力端子や出力端子、揮発性の記憶回路の入力端子や出力端子等)には、第1の高電源電位が選択的に与えられる。仮に、所定のノードの電位が第1の高電源電位であったときに、オフ電流が極めて小さいトランジスタをオン状態とするためにゲートに入力される電位(第2の高電源電位)が、第1の高電源電位と同じ電位である場合を考える。このとき、保持ノードに入力される電位は、第1の高電源電位から $V_{th}$ 分目減りした電位となってしまう。

40

【0027】

一方、オフ電流が極めて小さいトランジスタをオン状態とするためにゲートに入力される電位(第2の高電源電位)を第1の高電源電位よりも高く、例えば、(第1の高電源電位) +  $V_{th}$ よりも高い電位とすることによって、この目減りを抑制することができる。そのため、信号処理回路中の所定のノード(例えば、演算回路の入力端子や出力端子、揮発性の記憶回路の入力端子や出力端子等)の電位を、保持ノードに正確に入力することができる。こうして、不揮発性の記憶回路に、正確に、上記所定のノードの電位を記憶することができる。

50

## 【0028】

そして、保持ノードの電位が上記所定のノードの電位によって変動しないような状態とする（以下、データ待機ともいう）。具体的には、ゲートに接地電位（0V、低電源電位に相当）を入力することによって、オフ電流が極めて小さいトランジスタをオフ状態とする。こうして、不揮発性の記憶回路において、保持ノードをフローティング状態とする。なお、オフ電流が極めて小さいトランジスタのゲートが抵抗等の負荷を介して接地される構成とすることによって、当該トランジスタのゲートに第2の高電源電位が入力されないときに、当該ゲートに接地電位（0V、低電源電位に相当）が入力されるようにすることができる。

## 【0029】

データ待機の後、上記所定のノードを有する回路への電源電圧の供給を停止する。電源電圧の供給が停止した後も、オフ電流が極めて小さいトランジスタのゲートには接地電位（0V）が入力され続ける構成とすることによって、上記所定のノードの電位を不揮発性の記憶回路によって保持することができる。

## 【0030】

そして、必要に応じて、上記所定のノードを有する回路に選択的に電源電圧の供給を行う。つまり、上記所定のノードを有する回路に選択的に第1の高電源電位を供給する。上記所定のノードを有する回路において電源電圧の供給が選択された後、不揮発性の記憶回路に保持していた電位を元のノードに移動する（以下、データ供給ともいう）。こうして、電源電圧供給が選択された回路において、所定の動作を行うことができる。なお、データ供給は、例えば、ゲートに第2の高電源電位を入力することによって、オフ電流が極めて小さいトランジスタをオン状態として行うことができる。このとき、オフ電流が極めて小さいトランジスタをオン状態とするためにゲートに入力される電位（第2の高電源電位）を第1の高電源電位よりも高く、例えば、（第1の高電源電位）+  $V_{th}$  よりも高い電位とすることによって、不揮発性の記憶回路に保持されたデータに対応する信号電位を、元のノードに正確に戻すことができる。こうして、元のノードに、正確に、不揮発性の記憶回路に保持された電位を供給することができる。電源電圧供給が選択された回路において、不揮発性の記憶回路から供給された電位を用いて、所定の動作を行う。

## 【0031】

特に、揮発性の記憶回路と不揮発性の記憶回路との組でなる記憶回路と有する信号処理回路において、ノーマリオフの駆動方法を採用する場合の駆動方法の一態様は以下のとおりである。

## 【0032】

電源電圧が供給されている間に、揮発性の記憶回路に保持されたデータを不揮発性の記憶回路に入力して記憶させる（データ格納）。具体的には、不揮発性の記憶回路において、第2の高電源電位をゲートに入力し、オフ電流が極めて小さいトランジスタをオン状態とする。そして、オン状態となった当該トランジスタを介して、揮発性の記憶回路に保持されたデータに対応する信号電位を保持ノードに入力する。ここで、オフ電流が極めて小さいトランジスタをオン状態とするためにゲートに入力される電位（第2の高電源電位）は、第1の高電源電位よりも高く、例えば、（第1の高電源電位）+  $V_{th}$  よりも高い電位とする。

## 【0033】

ここで、揮発性の記憶回路に保持されたデータに対応する信号電位は、第1の高電源電位または接地電位（0V、低電源電位に相当）となる。仮に、揮発性の記憶回路に保持されたデータに対応する信号電位が第1の高電源電位であったときに、オフ電流が極めて小さいトランジスタをオン状態とするためにゲートに入力される電位（第2の高電源電位）が、第1の高電源電位と同じ電位である場合を考える。このとき、保持ノードに入力される電位は、第1の高電源電位から  $V_{th}$  分目減りした電位となってしまう。

## 【0034】

一方、オフ電流が極めて小さいトランジスタをオン状態とするためにゲートに入力され

10

20

30

40

50

る電位（第2の高電源電位）を第1の高電源電位よりも高く、例えば、（第1の高電源電位）+  $V_{th}$ よりも高い電位とすることによって、この目減りを抑制することができる。そのため、揮発性の記憶回路に保持されたデータに対応する信号電位を、保持ノードに正確に入力することができる。こうして、不揮発性の記憶回路に、正確に、揮発性の記憶回路に保持されたデータを格納することができる。

**【0035】**

上記データ格納は、揮発性の記憶回路が所定のデータを保持すると同時に行うこともできるし、その後に行うこともできる。そして、不揮発性の記憶回路に記憶されたデータが揮発性の記憶回路からの信号によって変動しないような状態とする（データ待機）。具体的には、ゲートに接地電位（0V、低電源電位に相当）を入力することによって、オフ電流が極めて小さいトランジスタをオフ状態とする。こうして、不揮発性の記憶回路において保持ノードをフローティング状態とする。なお、オフ電流が極めて小さいトランジスタのゲートが抵抗等の負荷を介して接地される構成とすることによって、当該トランジスタのゲートに第2の高電源電位が入力されないときに、当該ゲートに接地電位（0V、低電源電位に相当）が入力されるようにすることができる。

10

**【0036】**

データ待機の後、揮発性の記憶回路への電源電圧の供給を停止する。電源電圧の供給が停止した後も、オフ電流が極めて小さいトランジスタのゲートには接地電位（0V）が入力され続ける構成とすることによって、揮発性の記憶回路のデータを不揮発性の記憶回路によって保持することができる。

20

**【0037】**

そして、必要に応じて、揮発性の記憶回路に選択的に電源電圧の供給を行う。つまり、揮発性の記憶回路に選択的に第1の高電源電位を供給する。揮発性の記憶回路において電源電圧の供給が選択された後、不揮発性の記憶回路に保持していたデータを揮発性の記憶回路に移動する（データ供給）。こうして、電源電圧供給が選択された揮発性の記憶回路において、所定の動作を行うことができる。なお、データ供給は、例えば、ゲートに第2の高電源電位を入力することによって、オフ電流が極めて小さいトランジスタをオン状態として行うことができる。このとき、オフ電流が極めて小さいトランジスタをオン状態とするためにゲートに入力される電位（第2の高電源電位）を第1の高電源電位よりも高く、例えば、（第1の高電源電位）+  $V_{th}$ よりも高い電位とすることによって、不揮発性の記憶回路に保持されたデータに対応する信号電位を、揮発性の記憶回路に正確に戻すことができる。こうして、揮発性の記憶回路に、正確に、不揮発性の記憶回路に保持されたデータを供給することができる。揮発性の記憶回路は、不揮発性の記憶回路から供給されたデータを用いて、所定の動作を行う。

30

**【発明の効果】****【0038】**

本発明の信号処理回路では、信号処理回路中の所定のノードの電位を不揮発性の記憶回路に格納することができる。また、不揮発性の記憶回路に保持された電位を正確に元のノードに供給することができる。こうして、ノーマリオフの駆動方法を採用した場合に、データ格納やデータ供給における書き込み不良や読み出し不良を低減することができる。それ故、消費電力を大幅に低減し、且つ信頼性の高い信号処理回路を供給することができる。また、不揮発性の記憶回路として、書き込み可能な回数が多く信頼性の高い回路を用いるため、信号処理回路の耐久性、信頼性を向上させることができる。

40

**【0039】**

なお、本発明の特徴の1つは、オフ電流が極めて小さいトランジスタをオン状態とするためにゲートに入力される電位が、当該トランジスタのソースまたはドレインに入力される電位よりも高く、例えば当該トランジスタのしきい値電圧分よりも更に高くすることによって、当該トランジスタを介して正確に信号電位を伝達できることにある。よって、本発明は、オン状態とするためにゲートに入力される電位が、ソースまたはドレインに入力される電位よりも高く、例えばしきい値電圧分よりも更に高くするトランジスタを用いた

50



半導体装置であれば、信号処理回路に限定されない。当該トランジスタを用いることによって、半導体装置の品質を向上させることができる。例えば、本発明は、当該トランジスタを各画素に用いた表示装置とすることができる。表示装置としては、液晶表示装置やエレクトロルミネッセンス表示装置とすることができる。つまり、当該トランジスタを液晶素子やエレクトロルミネッセンス素子への信号電圧の入力を制御するトランジスタとして用いてもよい。こうして、表示品質の向上した表示装置が得られる。また例えば、本発明は、当該トランジスタをメモリセルに用いた記憶装置とすることもできる。こうして、信頼性の高い記憶装置が得られる。また例えば、本発明は、当該トランジスタを各撮像素子に用いたイメージセンサやタッチパネルとすることもできる。こうして、信頼性の高いイメージセンサやタッチパネルが得られる。

10

【図面の簡単な説明】

【0040】

【図1】信号処理回路のブロック図、及び昇圧回路の回路図。

【図2】信号処理回路の一部と、不揮発性の記憶回路の構成を示す図。

【図3】揮発性の記憶回路と不揮発性の記憶回路との組の構成を示す図。

【図4】信号処理回路の作製工程を示す図。

【図5】信号処理回路の作製工程を示す図。

【図6】信号処理回路の作製工程を示す図。

【図7】酸化半導体層にチャンネルが形成されるトランジスタの構成を示す断面図。

【図8】酸化半導体層にチャンネルが形成されるトランジスタの構成を示す断面図。

20

【図9】携帯用の電子機器のブロック図。

【図10】電子書籍のブロック図。

【図11】酸化半導体の一例。

【図12】酸化半導体の一例。

【図13】酸化半導体の一例。

【図14】トランジスタのオフ電流の温度依存性。

【図15】ゲート電圧と電界効果移動度の関係。

【図16】ゲート電圧とドレイン電流の関係。

【図17】ゲート電圧とドレイン電流の関係。

【図18】ゲート電圧とドレイン電流の関係。

30

【図19】トランジスタの特性。

【図20】トランジスタの特性。

【図21】トランジスタの特性。

【発明を実施するための形態】

【0041】

以下では、実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0042】

40

なお、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れかわることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れかえて用いることができるものとする。

【0043】

「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限はない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

50

## 【 0 0 4 4 】

回路図上は独立している構成要素どうしが電氣的に接続しているように図示されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

## 【 0 0 4 5 】

「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

10

## 【 0 0 4 6 】

図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

## 【 0 0 4 7 】

「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の混同を避けるために付すものである。

## 【 0 0 4 8 】

## (実施の形態 1)

本発明の信号処理回路の一態様を図 1 (A) に示す。図 1 (A) において、信号処理回路 300 は、回路ブロック 300 A、回路ブロック 300 B、回路ブロック 300 C と、電源回路 301 とを有する。信号処理回路 300 に入力された第 1 の高電源電位 (以下、VDD とともいう) は、電源回路 301 に入力される。電源回路 301 は、各回路ブロック (回路ブロック 300 A、回路ブロック 300 B、回路ブロック 300 C) に選択的に第 1 の高電源電位 (VDD) を供給する。動作させたい回路ブロックにのみ選択的に第 1 の高電源電位 (VDD) を供給、即ち電源電圧を供給する、ノーマリオフの駆動方法を採用することによって、信号処理回路の消費電力を低減することができる。また、昇圧回路 301 にも第 1 の高電源電位 (VDD) を供給する。昇圧回路 301 は、第 1 の高電源電位 (VDD) を昇圧して第 2 の高電源電位 (以下、VDDH とともいう) を生成する。生成された第 2 の高電源電位 (VDDH) は、各回路ブロック (回路ブロック 300 A、回路ブロック 300 B、回路ブロック 300 C) に選択的に入力される。なお、図 1 (A) では、回路ブロックを 3 つ設ける例を示したがその数はこれに限定されない。また、回路ブロック 300 A、回路ブロック 300 B、及び回路ブロック 300 C に共通に 1 つの昇圧回路 301 を設ける例を示したがこれに限定されず、回路ブロック毎に昇圧回路を設けてもよいし、複数の回路ブロック毎に昇圧回路を設けてもよい。

20

30

## 【 0 0 4 9 】

## (回路ブロックの構成 1)

各回路ブロック (回路ブロック 300 A、回路ブロック 300 B、回路ブロック 300 C) は、第 1 の高電源電位が選択的に与えられるノードを有する回路と、当該ノードの電位を保持する不揮発性の記憶回路とを有する構成とすることができる。当該回路と、不揮発性の記憶回路との構成の一態様について、図 2 を用いて説明する。

40

## 【 0 0 5 0 】

図 2 (A) において、第 1 の高電源電位が選択的に与えられるノード (図中、M と表記、以下、ノード M という) を有する回路 400 と、ノード M の電位を保持する不揮発性の記憶回路 10 を示す。各回路ブロック (回路ブロック 300 A、回路ブロック 300 B、回路ブロック 300 C) は、回路 400 と不揮発性の記憶回路 10 との組を複数有する構成とすることができる。回路 400 は、例えば演算回路とし、ノード M は当該演算回路の入力端子または出力端子とすることができる。演算回路としては、インバータ、クロックドインバータ、スリーステートバッファ、NAND 回路、NOR 回路等を用いることができる。また例えば、回路 400 は、フリップフロップ回路やラッチ回路等の揮発性の記憶

50

回路とし、ノードMは当該揮発性の記憶回路の入力端子または出力端子とすることができる。

【0051】

図2(A)における不揮発性の記憶回路10の構成を図3(A)に示す。図3(A)において、不揮発性の記憶回路10は、トランジスタ11と容量素子12とを有する。なお、図3(A)では、トランジスタ11のチャンネルが酸化物半導体層に形成されていることを示すため、「OS」の符号を付している。トランジスタ11のゲートは端子Wと電氣的に接続され、トランジスタ11のソース及びドレインの一方は端子Bと電氣的に接続される。トランジスタ11のソース及びドレインの他方は、容量素子12の一对の電極のうち的一方と電氣的に接続される。容量素子12の一对の電極のうち他方は、端子Cと電氣的に接続される。容量素子12の一对の電極のうち一方を、保持ノードとよび、図中、FNで示す。図2(A)において、不揮発性の記憶回路10の端子Bは、回路400における第1の高電源電位が選択的に与えられるノードMと電氣的に接続される。不揮発性の記憶回路10の端子Wには制御信号OSGが入力されている。なお、不揮発性の記憶回路10の端子Cには、一定の電位、例えば、接地電位(0V、低電源電位に相当)が入力される構成とすることができる。

10

【0052】

回路400には、第1の高電源電位(VDD)と接地電位(0V、低電源電位に相当)との差に相当する電源電圧が選択的に供給され、ノードMには、第1の高電源電位(VDD)が選択的に与えられる。また、トランジスタ11のゲート(端子W)には、第2の高電源電位(VDDH)または接地電位(0V、低電源電位に相当)となる制御信号OSGが入力される。なお、トランジスタ11は、エンハンスメント型(ノーマリオフ型)のnチャンネル型のトランジスタとする。制御信号OSGが第2の高電源電位(VDDH)であるときトランジスタ11はオン状態となり、制御信号OSGが接地電位(0V、低電源電位に相当)であるときトランジスタ11はオフ状態となる。なお、トランジスタ11のゲートが抵抗等の負荷を介して接地される構成とすることによって、トランジスタ11のゲートに第2の高電源電位(VDDH)が入力されないときに、当該ゲートに接地電位(0V、低電源電位に相当)が入力されるようにすることができる。ここで、図1(A)において説明した様に、第2の高電源電位(VDDH)は、昇圧回路301によって第1の高電源電位(VDD)を昇圧することによって生成され、第1の高電源電位(VDD)よりも高い電位である。例えば、トランジスタ11のしきい値電圧をVthとすると、 $VDDH > VDD + Vth$ とする。

20

30

【0053】

なお、図2(A)に示した構成において、不揮発性の記憶回路10中の保持ノードFNは、信号処理回路に含まれる別の回路と電氣的に接続されていてもよい。この構成を図2(B)に示す。図2(B)では、回路400と回路401の間に、不揮発性の記憶回路10が設けられている。図2(B)における不揮発性の記憶回路10は、図3(C)に示す構成とすることができる。保持ノードFNに電氣的に接続された端子Fは、回路401のノードMと電氣的に接続されている。回路401において、ノードMには第1の高電源電位が選択的に与えられる。回路400は、例えば演算回路とし、ノードMは当該演算回路の入力端子または出力端子とすることができる。演算回路としては、インバータ、クロックドインバータ、スリーステートバッファ、NAND回路、NOR回路等を用いることができる。また例えば、回路400は、フリップフロップ回路やラッチ回路等の揮発性の記憶回路とし、ノードMは当該揮発性の記憶回路の入力端子または出力端子とすることができる。回路401は、例えば演算回路とし、ノードMは当該演算回路の入力端子または出力端子とすることができる。演算回路としては、インバータ、クロックドインバータ、スリーステートバッファ、NAND回路、NOR回路等を用いることができる。また例えば、回路401は、フリップフロップ回路やラッチ回路等の揮発性の記憶回路とし、ノードMは当該揮発性の記憶回路の入力端子または出力端子とすることができる。

40

【0054】

50

回路400及び回路401には、第1の高電源電位(VDD)と接地電位(0V、低電源電位に相当)との差に相当する電源電圧が選択的に供給され、ノードMには、第1の高電源電位(VDD)が選択的に与えられる。また、トランジスタ11のゲート(端子W)には、第2の高電源電位(VDDH)または接地電位(0V、低電源電位に相当)となる制御信号OSGが入力される。なお、トランジスタ11は、エンハンスメント型(ノーマリオフ型)のnチャンネル型のトランジスタとする。制御信号OSGが第2の高電源電位(VDDH)であるときトランジスタ11はオン状態となり、制御信号OSGが接地電位(0V、低電源電位に相当)であるときトランジスタ11はオフ状態となる。なお、トランジスタ11のゲートが抵抗等の負荷を介して接地される構成とすることによって、トランジスタ11のゲートに第2の高電源電位(VDDH)が入力されないときに、当該ゲートに接地電位(0V、低電源電位に相当)が入力されるようにすることができる。ここで、図1(A)において説明した様に、第2の高電源電位(VDDH)は、昇圧回路301によって第1の高電源電位(VDD)を昇圧することによって生成され、第1の高電源電位(VDD)よりも高い電位である。例えば、トランジスタ11のしきい値電圧を $V_{th}$ とすると、 $V_{DDH} > V_{DD} + V_{th}$ とする。

10

## 【0055】

なお、図2(A)及び図2(B)に示した構成において、容量素子12は必ずしも設ける必要は無い。例えば、保持ノードFNを、信号処理回路が有するトランジスタのゲートと電気的に接続し、当該トランジスタのゲート容量を利用することによって、容量素子12を省略することも可能である。例えば、図2(B)に示した構成において、回路401のノードMが回路401に含まれるトランジスタのゲートと電気的に接続される場合に、容量素子12を省略することもできる。

20

## 【0056】

図2(C)は、図2(B)において、回路400として演算回路201を用い、回路400のノードMを演算回路201の出力端子(図中、outと表記)とし、回路401として演算回路202を用い、回路401のノードMを演算回路202の入力端子(図中、inと表記)とし、容量素子12を省略した例である。

## 【0057】

図2(D)は、図2(B)において、回路400として揮発性の記憶回路200aを用い、回路400のノードMを揮発性の記憶回路200aの出力端子(図中、outと表記)とし、回路401として揮発性の記憶回路200bを用い、回路401のノードMを揮発性の記憶回路200bの入力端子(図中、inと表記)とし、容量素子12を省略した例である。

30

## 【0058】

図2で示した不揮発性の記憶回路10では、トランジスタ11のオフ電流が極めて小さいため、トランジスタ11をオフ状態とすることにより、電源電圧の供給が停止した後も保持ノードFNの電位を長期間に渡って保持することが可能となる。また、不揮発性の記憶回路10では、信号電位を保持ノードFNに入力し、トランジスタ11をオフ状態として、保持ノードFNをフローティング状態とすることにより、信号電位(データ)を記憶する構成である。そのため、不揮発性の記憶回路10において、データの書き換えを繰り返すことによる疲労は少なく、データの書き換え可能な回数を多くすることができる。

40

## 【0059】

図1(A)における各回路ブロック(回路ブロック300A、回路ブロック300B、回路ブロック300C)は、図2(A)または図2(B)に示した構成を含むものとして、ノーマリオフの駆動方法を採用する場合における、図1(A)に示した信号処理回路の駆動方法の一態様は以下のとおりである。

## 【0060】

(データ格納の動作)

電源回路30によって、任意の回路ブロック(例えば、回路ブロック300A)に電源電圧が供給されている間に、当該回路ブロックに含まれる回路400のノードMの電位を

50

不揮発性の記憶回路10に入力して記憶させる(データ格納)。具体的には、不揮発性の記憶回路10において、第2の高電源電位(VDDH)をゲートに入力し、トランジスタ11をオン状態とする。そして、トランジスタ11を介して、信号処理回路300中の回路400のノードMの電位を保持ノードFNに入力する。ここで、トランジスタ11をオン状態とするためにゲートに入力される第2の高電源電位(VDDH)は、第1の高電源電位(VDD)よりも高く、例えば、 $VDD + V_{th}$ よりも高い電位である。こうして、不揮発性の記憶回路10に、正確に、回路400のノードMの電位を格納することができる。

**【0061】**

(データ待機の動作)

データ格納の後、不揮発性の記憶回路10のトランジスタ11をオフ状態とすることによって、不揮発性の記憶回路10に記憶されたデータが揮発性の回路400からの信号によって変動しないような状態とする。こうしてデータの待機を行うことができる。不揮発性の記憶回路10では、トランジスタ11のオフ電流が極めて小さいため、トランジスタ11をオフ状態とすることにより、電源電圧の供給が停止した後も保持ノードの電位、即ちノードMの電位を長期間に渡って保持することが可能となる。

**【0062】**

以上のとおり、データの待機を行った後、回路400を有する回路ブロックへの電源電圧の供給を停止する。また、昇圧回路301への第1の高電源電位(VDD)の入力を停止することもできる。

**【0063】**

(データ供給の動作)

電源回路30によって、任意の回路ブロック(例えば、回路ブロック300A)に電源電圧を再び供給する。また、昇圧回路301に第1の高電源電位(VDD)が入力された状態とする。その後、当該回路ブロックに含まれる不揮発性の記憶回路10において、制御信号OSGを昇圧回路301から出力される第2の高電源電位(VDDH)とすることによって、トランジスタ11をオン状態とする。こうして、回路400のノードMに、不揮発性の記憶回路10の保持ノードFNの電位(またはそれに対応する電荷量)を入力する。こうして、不揮発性の記憶回路10に保持されていた電位を、回路400のノードMに戻すことができる。

**【0064】**

この際、第2の高電源電位(VDDH)は、第1の高電源電位(VDD)よりも高く、例えば、 $VDD + V_{th}$ よりも高い電位であるため、不揮発性の記憶回路10に保持された電位を、回路400のノードMに正確に入力することができる。

**【0065】**

以上が、図2(A)または図2(B)に示した構成を含む回路ブロックを採用した信号処理回路におけるノーマリオフの駆動方法についての説明である。

**【0066】**

(回路ブロックの構成2)

各回路ブロック(回路ブロック300A、回路ブロック300B、回路ブロック300C)は、揮発性の記憶回路と、不揮発性の記憶回路と、の組でなる記憶回路を有する構成とすることができる。揮発性の記憶回路と、不揮発性の記憶回路と、の組でなる記憶回路の構成の一態様について、図3を用いて説明する。

**【0067】**

(揮発性の記憶回路と不揮発性の記憶回路との組の構成1)

図3(B)において、揮発性の記憶回路200と、不揮発性の記憶回路10と、の組でなる記憶回路の一態様を示す。各回路ブロック(回路ブロック300A、回路ブロック300B、回路ブロック300C)は、当該記憶回路を複数有する構成とすることができる。

**【0068】**

図3(B)における不揮発性の記憶回路10の構成を図3(A)に示す。図3(A)に示す不揮発性の記憶回路10の構成については、前述したとおりである。

【0069】

不揮発性の記憶回路10では、保持ノードFNの電位(またはそれに対応する電荷量)をデータに応じて制御することによって、データを記憶する。例えば、容量素子12に所定の電荷が充電された状態を「1」に対応させ、容量素子12に電荷が充電されていない状態を「0」に対応させることによって、1ビットのデータを記憶することができる。不揮発性の記憶回路10では、トランジスタ11のオフ電流が極めて小さいため、トランジスタ11をオフ状態とすることにより、電源電圧の供給が停止した後も保持ノードFNの電位、即ちデータを長期間に渡って保持することが可能となる。また、不揮発性の記憶回路10では、データに対応する信号電位を保持ノードFNに入力し、トランジスタ11をオフ状態として、保持ノードFNをフローティング状態とすることにより、データを記憶する構成である。そのため、不揮発性の記憶回路10において、データの書き換えを繰り返すことによる疲労は少なく、データの書き換え可能な回数を多くすることができる。

10

【0070】

図3(B)における揮発性の記憶回路200は、演算回路201及び演算回路202を有し、演算回路201の出力が演算回路202に入力され、演算回路202の出力が演算回路201に入力されるような、帰還ループを有する。揮発性の記憶回路200としては、フリップフロップ回路やラッチ回路がある。なお、演算回路201及び演算回路202の一方または両方において、クロック信号が入力される構成であってもよい。

20

【0071】

図3(B)において、不揮発性の記憶回路10の端子Bは、演算回路202の入力端子と演算回路201の出力端子との間に存在するノードMと電氣的に接続される。また揮発性の記憶回路200は、ノードMと演算回路201の出力端子との電氣的接続を選択するスイッチ203を有し、スイッチ203は制御信号SEL0によって導通状態または非導通状態が選択される。なお、演算回路201が制御信号(例えば、クロック信号等)によって選択的に信号を出力する回路の場合には、スイッチ203を必ずしも設ける必要はなく、省略することも可能である。不揮発性の記憶回路10の端子Wには制御信号OSGが入力されている。なお、不揮発性の記憶回路10の端子Cには、一定の電位、例えば、接地電位(0V、低電源電位に相当)が入力される構成とすることができる。

30

【0072】

揮発性の記憶回路200の演算回路201及び演算回路202には、第1の高電源電位(VDD)と接地電位(0V、低電源電位に相当)との差に相当する電源電圧が選択的に供給され、トランジスタ11のゲート(端子W)には、第2の高電源電位(VDDH)または接地電位(0V、低電源電位に相当)となる制御信号OSGが入力される。なお、トランジスタ11は、エンハンスメント型(ノーマリオフ型)のnチャネル型のトランジスタとする。制御信号OSGが第2の高電源電位(VDDH)であるときトランジスタ11はオン状態となり、制御信号OSGが接地電位(0V、低電源電位に相当)であるときトランジスタ11はオフ状態となる。なお、トランジスタ11のゲートが抵抗等の負荷を介して接地される構成とすることによって、トランジスタ11のゲートに第2の高電源電位(VDDH)が入力されないときに、当該ゲートに接地電位(0V、低電源電位に相当)が入力されるようにすることができる。ここで、図1(A)において説明した様に、第2の高電源電位(VDDH)は、昇圧回路301によって第1の高電源電位(VDD)を昇圧することによって生成され、第1の高電源電位(VDD)よりも高い電位である。例えば、トランジスタ11のしきい値電圧を $V_{th}$ とすると、 $VDDH > VDD + V_{th}$ とする。

40

【0073】

図1(A)における各回路ブロック(回路ブロック300A、回路ブロック300B、回路ブロック300C)は、図3(B)に示した揮発性の記憶回路200と不揮発性の記憶回路10との組を含むものとして、ノーマリオフの駆動方法を採用する場合における、

50

図1(A)に示した信号処理回路の駆動方法の一態様は以下のとおりである。

【0074】

(電源電圧供給時の動作)

電源回路30によって、任意の回路ブロック(例えば、回路ブロック300A)に電源電圧が供給されている間は、当該回路ブロックに含まれる図3(B)に示した組において、制御信号SEL0によってスイッチ203は導通状態である。こうして、当該組において、揮発性の記憶回路200は、演算回路201及び演算回路202でなる帰還ループによってデータを保持する。つまり、図3(B)に示す組において、入力されるデータは揮発性の記憶回路200の帰還ループによって保持され、また揮発性の記憶回路200の帰還ループからデータが出力される。このような揮発性の記憶回路200の帰還ループによるデータの保持及び出力は、高速に行うことが可能である。

10

【0075】

(データ格納の動作)

上記のとおり、揮発性の記憶回路200の帰還ループによるデータの保持が行われると同時に、または当該データの保持が行われた後に、制御信号SEL0によってスイッチ203を導通状態としたまま、制御信号OSGを昇圧回路301から出力される第2の高電源電位(VDDH)とすることによって、不揮発性の記憶回路10のトランジスタ11をオン状態とする。こうして、揮発性の記憶回路200のノードMの電位を、不揮発性の記憶回路10の保持ノードFNに入力して、揮発性の記憶回路200に保持されたデータを不揮発性の記憶回路10に記憶させることができる。こうしてデータの格納を行うことができる。

20

【0076】

この際、第2の高電源電位(VDDH)は、第1の高電源電位(VDD)よりも高く、例えば、 $VDD + V_{th}$ よりも高い電位である。ここで、揮発性の記憶回路200に保持されたデータに対応する信号電位は、第1の高電源電位(VDD)または接地電位(0V、低電源電位に相当)となる。仮に、揮発性の記憶回路200に保持されたデータに対応する信号電位が第1の高電源電位(VDD)であったときに、トランジスタ11をオン状態とするためにゲートに入力される電位が、第1の高電源電位と同じ電位である場合を考える。このとき、保持ノードFNに入力される電位は、第1の高電源電位(VDD)から $V_{th}$ 分目減りした電位となってしまう。

30

【0077】

一方、第2の高電源電位(VDDH)を第1の高電源電位(VDD)よりも高く、例えば、 $VDD + V_{th}$ よりも高い電位とすることによって、この目減りを抑制することができる。そのため、揮発性の記憶回路200に保持されたデータに対応する信号電位を、保持ノードFNに正確に入力することができる。こうして、不揮発性の記憶回路10に、正確に、揮発性の記憶回路200に保持されたデータを格納することができる。

【0078】

(データ待機の動作)

データ格納の後、不揮発性の記憶回路10のトランジスタ11をオフ状態とすることによって、不揮発性の記憶回路10に記憶されたデータが揮発性の記憶回路200からの信号によって変動しないような状態とする。こうしてデータの待機を行うことができる。不揮発性の記憶回路10では、トランジスタ11のオフ電流が極めて小さいため、トランジスタ11をオフ状態とすることにより、電源電圧の供給が停止した後も保持ノードFNの電位、即ちデータを長期間に渡って保持することが可能となる。

40

【0079】

以上のとおり、データの待機を行った後、当該組を有する回路ブロックへの電源電圧の供給を停止する。また、昇圧回路301への第1の高電源電位(VDD)の入力を停止することもできる。

【0080】

(データ供給の動作)

50

電源回路30によって、任意の回路ブロック（例えば、回路ブロック300A）に電源電圧を再び供給する。また、昇圧回路301に第1の高電源電位（VDD）が入力された状態とする。その後、当該回路ブロックに含まれる組において、制御信号SEL0によってスイッチ203を非導通状態とし、且つ制御信号OSGを昇圧回路301から出力される第2の高電源電位（VDDH）とすることによって、不揮発性の記憶回路10のトランジスタ11をオン状態とする。こうして、揮発性の記憶回路200のノードMに、不揮発性の記憶回路10の保持ノードFNの電位（またはそれに対応する電荷量）を入力する。その後、制御信号SEL0によってスイッチ203を導通状態とする。こうして、不揮発性の記憶回路10に保持されていたデータを、揮発性の記憶回路200に入力し、帰還ループによって保持させることができる。このように揮発性の記憶回路200にデータを供給することができる。

10

## 【0081】

この際、第2の高電源電位（VDDH）は、第1の高電源電位（VDD）よりも高く、例えば、 $VDD + V_{th}$ よりも高い電位であるため、不揮発性の記憶回路10に保持されたデータに対応する信号電位を、揮発性の記憶回路200のノードMに正確に入力することができる。こうして、揮発性の記憶回路200に、正確に、不揮発性の記憶回路10に保持されたデータを供給することができる。

## 【0082】

ここで、揮発性の記憶回路200は、不揮発性の記憶回路10よりもデータ書き込み及び読み出しのスピードが速い。よって、電源電圧供給が選択された組における動作速度を速くすることが可能である。

20

## 【0083】

なお、演算回路201を制御信号（例えば、クロック信号等）によって選択的に信号を出力する回路として、スイッチ203を省略する構成を採用した場合には、上記説明においてスイッチ203が非導通状態となる際に、演算回路201の出力が無い（不定となる）ように演算回路201を制御する。演算回路201以外の駆動方法は上記と同様とすることができる。

## 【0084】

以上が、図3（B）に示す揮発性の記憶回路200と不揮発性の記憶回路10との組でなる記憶回路を有する回路ブロックを採用した信号処理回路におけるノーマリオフの駆動方法についての説明である。

30

## 【0085】

（揮発性の記憶回路と不揮発性の記憶回路との組の構成2）

揮発性の記憶回路と不揮発性の記憶回路との組でなる記憶回路は、図3（B）に示した構成に限定されない。例えば、図3（E）に示す構成とすることができる。図3（E）における揮発性の記憶回路200では、図3（B）におけるスイッチ203は必ずしも必要ないため、設けられていない。図3（E）における不揮発性の記憶回路10の端子Fは、図3（C）に示すように、容量素子12の一对の電極のうち的一方と電氣的に接続されている。図3（E）では、不揮発性の記憶回路10の端子Fは演算回路204及びスイッチ205を介して、揮発性の記憶回路の演算回路202の出力端子及び演算回路201の入力端子と電氣的に接続されている。演算回路204として、例えばインバータ224を用いることができる。また、スイッチ205は制御信号SELRによって、導通状態または非導通状態が選択される。

40

## 【0086】

図1（A）における各回路ブロック（回路ブロック300A、回路ブロック300B、回路ブロック300C）は、図3（E）に示した揮発性の記憶回路200と不揮発性の記憶回路10との組を含むものとして、ノーマリオフの駆動方法を採用する場合における、図1（A）に示した信号処理回路の駆動方法の一態様は以下のとおりである。

## 【0087】

（電源電圧供給時の動作）

50



電源回路 30 によって、任意の回路ブロック（例えば、回路ブロック 300A）に電源電圧が供給されている間は、当該回路ブロックに含まれる図 3（E）に示した組において、制御信号 SELR によってスイッチ 205 は非導通状態である。こうして、当該組において、揮発性の記憶回路 200 は、演算回路 201 及び演算回路 202 でなる帰還ループによってデータを保持する。つまり、図 3（E）に示す組において、入力されるデータは揮発性の記憶回路 200 の帰還ループによって保持され、また揮発性の記憶回路 200 の帰還ループからデータが出力される。このような揮発性の記憶回路 200 の帰還ループによるデータの保持及び出力は、高速に行うことが可能である。

#### 【0088】

（データ格納の動作）

上記のとおり、揮発性の記憶回路 200 の帰還ループによるデータの保持が行われると同時に、または当該データの保持が行われた後に、制御信号 SELR によってスイッチ 205 は非導通状態としたまま、制御信号 OSG を昇圧回路 301 から出力される第 2 の高電源電位（VDDH）とすることによって、不揮発性の記憶回路 10 のトランジスタ 11 をオン状態とする。こうして、揮発性の記憶回路 200 のノード M の電位を、不揮発性の記憶回路 10 の保持ノード FN に入力して、揮発性の記憶回路 200 に保持されたデータを不揮発性の記憶回路 10 に記憶させることができる。こうしてデータの格納を行うことができる。

#### 【0089】

この際、第 2 の高電源電位（VDDH）は、第 1 の高電源電位（VDD）よりも高く、例えば、 $VDD + V_{th}$  よりも高い電位である。ここで、揮発性の記憶回路 200 に保持されたデータに対応する信号電位は、第 1 の高電源電位（VDD）または接地電位（0V、低電源電位に相当）となる。仮に、揮発性の記憶回路 200 に保持されたデータに対応する信号電位が第 1 の高電源電位（VDD）であったときに、トランジスタ 11 をオン状態とするためにゲートに入力される電位が、第 1 の高電源電位と同じ電位である場合を考える。このとき、保持ノード FN に入力される電位は、第 1 の高電源電位（VDD）から  $V_{th}$  分目減りした電位となってしまう。

#### 【0090】

一方、第 2 の高電源電位（VDDH）を第 1 の高電源電位（VDD）よりも高く、例えば、 $VDD + V_{th}$  よりも高い電位とすることによって、この目減りを抑制することができる。そのため、揮発性の記憶回路 200 に保持されたデータに対応する信号電位を、保持ノード FN に正確に入力することができる。こうして、不揮発性の記憶回路 10 に、正確に、揮発性の記憶回路 200 に保持されたデータを格納することができる。

#### 【0091】

（データ待機の動作）

データ格納の後、制御信号 OSG を接地電位（0V、低電源電位に相当）として不揮発性の記憶回路 10 のトランジスタ 11 をオフ状態とすることによって、不揮発性の記憶回路 10 に記憶されたデータが揮発性の記憶回路 200 からの信号によって変動しないような状態とする。こうしてデータの待機を行うことができる。不揮発性の記憶回路 10 では、トランジスタ 11 のオフ電流が極めて小さいため、トランジスタ 11 をオフ状態とすることにより、電源電圧の供給が停止した後も保持ノード FN の電位、即ちデータを長期間に渡って保持することが可能となる。

#### 【0092】

以上のとおり、データの待機を行った後、当該組を有する回路ブロックへの電源電圧の供給を停止する。また、昇圧回路 301 への第 1 の高電源電位（VDD）の入力を停止することもできる。

#### 【0093】

（データ供給の動作）

電源回路 30 によって、任意の回路ブロック（例えば、回路ブロック 300A）に電源電圧を再び供給する。また、昇圧回路 301 に第 1 の高電源電位（VDD）が入力された

10

20

30

40

50

状態とする。その後、当該回路ブロックに含まれる組において、制御信号SELRによって、スイッチ205を導通状態とする。こうして、揮発性の記憶回路200のノードMbに、不揮発性の記憶回路10の保持ノードFNの電位（またはそれに対応する電荷量）に対応する信号をインバータ224によって反転させて入力することができる。こうして、不揮発性の記憶回路10に保持されていたデータを、揮発性の記憶回路200に入力し、帰還ループによって保持させることができる。このように揮発性の記憶回路200にデータを供給することができる。この際、演算回路204の電流駆動能力を演算回路202の電流駆動能力よりも大きくすることによって、データを揮発性の記憶回路200に速く戻すことができる。ここで、揮発性の記憶回路200は、不揮発性の記憶回路10よりもデータ書き込み及び読み出しのスピードが速い。よって、電源電圧供給が選択された組における動作速度を速くすることが可能である。

10

## 【0094】

なお、演算回路204を制御信号（例えば、クロック信号等）によって選択的に信号を出力する回路として、スイッチ205を省略する構成を採用することもできる。この場合には、上記説明においてスイッチ205が非導通状態となる際に、演算回路204の出力が無い（不定となる）ように演算回路204を制御する。演算回路204以外の駆動方法は上記と同様とすることができる。

## 【0095】

以上が、図3(E)に示す揮発性の記憶回路200と不揮発性の記憶回路10との組でなる記憶回路を有する回路ブロックを採用した信号処理回路におけるノーマリオフの駆動方法についての説明である。

20

## 【0096】

（揮発性の記憶回路と不揮発性の記憶回路との組の構成3）

揮発性の記憶回路と不揮発性の記憶回路との組でなる記憶回路は、図3(B)や図3(E)に示した構成に限定されない。例えば、図3(D)に示す構成とすることもできる。図3(D)に示した記憶回路では、揮発性の記憶回路200内に不揮発性の記憶回路10が含まれる。図3(D)における不揮発性の記憶回路10の端子Fは、図3(C)に示すように、保持ノードFNと電氣的に接続されている。

## 【0097】

図1(A)における各回路ブロック（回路ブロック300A、回路ブロック300B、回路ブロック300C）は、図3(D)に示した揮発性の記憶回路200と不揮発性の記憶回路10との組を含むものとして、ノーマリオフの駆動方法を採用する場合における、図1(A)に示した信号処理回路の駆動方法の一態様は以下のとおりである。

30

## 【0098】

（電源電圧供給時の動作）

電源回路30によって、任意の回路ブロック（例えば、回路ブロック300A）に電源電圧が供給されている間は、当該回路ブロックに含まれる図3(D)に示した組において、制御信号OSGを昇圧回路301から出力される第2の高電源電位(VDDH)とすることによって、不揮発性の記憶回路10のトランジスタ11はオン状態である。こうして、揮発性の記憶回路200は、演算回路201及び演算回路202でなる帰還ループによってデータを保持する。つまり、図3(D)に示す組において、入力されるデータは揮発性の記憶回路200の帰還ループによって保持され、また揮発性の記憶回路200の帰還ループからデータが出力される。このような揮発性の記憶回路200の帰還ループによるデータの保持及び出力は、高速に行うことが可能である。

40

## 【0099】

この際、第2の高電源電位(VDDH)は、第1の高電源電位(VDD)よりも高く、例えば、 $VDD + V_{th}$ よりも高い電位である。ここで、演算回路201の出力に対応する信号電位は、第1の高電源電位(VDD)または接地電位(0V、低電源電位に相当)となる。仮に、演算回路201の出力に対応する信号電位が第1の高電源電位(VDD)であったときに、トランジスタ11をオン状態とするためにゲートに入力される電位が、

50

第1の高電源電位と同じ電位である場合を考える。このとき、保持ノードFNに入力される電位は、第1の高電源電位(VDD)からVth分目減りした電位となってしまう。

【0100】

一方、第2の高電源電位(VDDH)を第1の高電源電位(VDD)よりも高く、例えば、 $VDD + Vth$ よりも高い電位とすることによって、この目減りを抑制することができる。そのため、演算回路201の出力に対応する信号電位を、保持ノードFNに正確に入力することができる。こうして、不揮発性の記憶回路10に、正確に、揮発性の記憶回路200に保持されたデータを格納することができる。また、揮発性の記憶回路200の帰還ループにおいて、より正確にデータを保持することができる。

【0101】

(データ格納の動作)

上記のとおり、揮発性の記憶回路200の帰還ループによるデータの保持が行われると同時に、演算回路201の出力に対応する信号電位は、不揮発性の記憶回路10の保持ノードFNに入力され、揮発性の記憶回路200に保持されたデータを不揮発性の記憶回路10に記憶させることができる。こうしてデータの格納を行うことができる。

【0102】

(データ待機の動作)

データ格納の後、制御信号OSGを接地電位(0V、低電源電位に相当)として不揮発性の記憶回路10のトランジスタ11をオフ状態とすることによって、不揮発性の記憶回路10に記憶されたデータが揮発性の記憶回路200の演算回路201からの信号によって変動しないような状態とする。こうしてデータの待機を行うことができる。

【0103】

以上のとおり、データの待機を行った後、当該組を有する回路ブロックへの電源電圧の供給を停止する。また、昇圧回路301への第1の高電源電位(VDD)の入力を停止することもできる。

【0104】

(データ供給の動作)

電源回路30によって、任意の回路ブロック(例えば、回路ブロック300A)に電源電圧を再び供給する。また、昇圧回路301に第1の高電源電位(VDD)が入力された状態とする。その後、当該回路ブロックに含まれる組において、制御信号OSGを昇圧回路301から出力される第2の高電源電位(VDDH)とすることによって、不揮発性の記憶回路10のトランジスタ11をオン状態とする。こうして、揮発性の記憶回路200のノードMに、不揮発性の記憶回路10の保持ノードFNの電位(または対応する電荷)を入力する。こうして、不揮発性の記憶回路10に保持されていたデータを、揮発性の記憶回路200の帰還ループによって保持させることができる。このように揮発性の記憶回路200にデータを供給することができる。

【0105】

この際、第2の高電源電位(VDDH)は、第1の高電源電位(VDD)よりも高く、例えば、 $VDD + Vth$ よりも高い電位であるため、不揮発性の記憶回路10に保持されたデータに対応する信号電位を、揮発性の記憶回路200のノードMに正確に入力することができる。こうして、揮発性の記憶回路200に、正確に、不揮発性の記憶回路10に保持されたデータを供給することができる。

【0106】

なお、上記データ供給を行う際、電源電圧供給が選択された後、制御信号OSGによって不揮発性の記憶回路10のトランジスタ11をオン状態とするとき、演算回路201から信号が出力されない(演算回路201の出力が不定である)構成とすることが好ましい。例えば、演算回路201として、制御信号(例えば、クロック信号等)によって選択的に信号を出力する回路を用いることが好ましい。また例えば、演算回路201の出力端子と、不揮発性の記憶回路100の端子Bとの間にスイッチ等を設ける構成として、電源電圧供給が選択された後、制御信号OSGによって不揮発性の記憶回路10のトランジスタ

10

20

30

40

50

11をオン状態とする際に、当該スイッチを非導通状態とすることが好ましい。

【0107】

以上が、図3(D)に示す揮発性の記憶回路200と不揮発性の記憶回路10との組なる記憶回路を有する回路ブロックを採用した信号処理回路におけるノーマリオフの駆動方法についての説明である。

【0108】

以上のとおり、ノーマリオフの駆動方法を採用した場合に、データ格納やデータ供給における書き込み不良や読み出し不良を低減することができる。それ故、消費電力を大幅に低減し、且つ信頼性の高い信号処理回路を供給することができる。また、不揮発性の記憶回路として、書き込み可能な回数が多く信頼性の高い回路を用いるため、信号処理回路の耐久性、信頼性を向上させることができる。

10

【0109】

なお、本発明の特徴の1つは、オフ電流が極めて小さいトランジスタをオン状態とするためにゲートに入力される電位が、当該トランジスタのソースまたはドレインに入力される電位よりも高く、例えば当該トランジスタのしきい値電圧分よりも更に高くすることによって、当該トランジスタを介して正確に信号電位を伝達できることにある。よって、本発明は、オン状態とするためにゲートに入力される電位が、ソースまたはドレインに入力される電位よりも高く、例えばしきい値電圧分よりも更に高くするトランジスタを用いた半導体装置であれば、信号処理回路に限定されない。当該トランジスタを用いることによって、半導体装置の品質を向上させることができる。例えば、本発明は、当該トランジスタを各画素に用いた表示装置とすることができる。表示装置としては、液晶表示装置やエレクトロルミネッセンス表示装置とすることができる。つまり、当該トランジスタを液晶素子やエレクトロルミネッセンス素子への信号電圧の入力を制御するトランジスタとして用いてもよい。こうして、表示品質の向上した表示装置が得られる。例えば、本発明は、当該トランジスタをメモリセルに用いた記憶装置とすることもできる。こうして、信頼性の高い記憶装置が得られる。例えば、本発明は、当該トランジスタを撮像素素に用いたイメージセンサやタッチパネルとすることもできる。こうして、信頼性の高いイメージセンサやタッチパネルが得られる。

20

【0110】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

30

【0111】

(実施の形態2)

本実施の形態では、実施の形態1において示した図1(A)中の昇圧回路301の一態様について説明する。

【0112】

昇圧回路301の一態様を図1(B)に示す。図1(B)では、4段の昇圧を行う昇圧回路の一例を示す。なお、一般に $n$ ( $n$ は自然数)段の昇圧を行う昇圧回路を適用することができる。第1のトランジスタ1300の入力端子(ここでは、ソース端子またはドレイン端子であって、ゲート端子と電気的に接続されている端子をいう)には第1の高電源電位(VDD)が供給される。第1のトランジスタ1300の出力端子(ここでは、ソース端子またはドレイン端子であって、ゲート端子と電気的に接続されていない端子をいう)には第2のトランジスタ1310の入力端子及び第1の容量素子1350の一对の電極のうち的一方が電気的に接続されている。同様に、第2のトランジスタ1310の出力端子には第3のトランジスタ1320の入力端子及び第2の容量素子1360の一对の電極のうち的一方が電気的に接続されている。以下、同様であるため詳細な説明は省略するが、第 $i$ ( $i$ は $n$ 以下の自然数)のトランジスタの出力端子には第 $i$ の容量素子の一对の電極のうち的一方が接続されているということもできる。図1(B)においては、最終段のトランジスタ(第5のトランジスタ1340)の出力端子には、トランジスタ1390のソース及びドレインの一方が電気的に接続され、トランジスタ1390のソース及びドレインの他方には、第1の高電源電位(VDD)が入力されているが、この構成に限定され

40

50

ない。例えば、最終段のトランジスタ（第5のトランジスタ1340）の出力端子には、容量素子の一对の電極のうち的一方が電氣的に接続され、容量素子の一对の電極のうち他方には接地電位（0V、低電源電位に相当）が入力されていてもよい。なお、図1（B）においては、第5のトランジスタ1340の出力が、昇圧回路301の出力、即ち第2の高電源電位（VDDH）となる。

【0113】

さらに、第2の容量素子1360の一对の電極のうち他方及び第4の容量素子1380の一对の電極のうち他方には、クロック信号CP\_CLKが入力される。また、第1の容量素子1350の一对の電極のうち他方及び第3の容量素子1370の一对の電極のうち他方には、クロック信号CP\_CLKを反転させたクロック信号が入力される。すなわち、第2k（kは自然数）の容量素子の一对の電極のうち他方にはクロック信号CP\_CLKが入力され、第（2k-1）の容量素子の一对の電極のうち他方にはその反転クロック信号が入力されるといえる。もちろん、クロック信号CP\_CLKと反転クロック信号とは、入れ替えて用いることができる。

10

【0114】

クロック信号CP\_CLKがロウレベルである場合、つまり反転クロック信号がハイレベルである場合には、第1の容量素子1350および第3の容量素子1370が充電され、反転クロック信号が入力される配線（または電極）と容量結合するノードN1およびノードN3の電位は、所定の電圧（クロック信号CP\_CLKのハイレベルとロウレベルの電位差に相当する電圧）分だけ引き上げられる。一方で、クロック信号CP\_CLKが入力される配線（または電極）と容量結合するノードN2およびノードN4の電位は、上記所定の電圧分だけ引き下げられる。

20

【0115】

これにより、第1のトランジスタ1300、第3のトランジスタ1320、第5のトランジスタ1340、を通じて電荷が移動し、ノードN2およびノードN4の電位が所定の値まで引き上げられる。

【0116】

次にクロック信号CP\_CLKがハイレベルになり、反転クロック信号がロウレベルになると、ノードN2及びノードN4の電位がさらに引き上げられる。一方で、ノードN1、ノードN3、ノードN5の電位は、所定の電圧分だけ引き下げられる。

30

【0117】

これにより、第2のトランジスタ1310、第4のトランジスタ1330を通じて電荷が移動し、その結果、ノードN3及びノードN5の電位が所定の電位まで引き上げられることになる。このように、それぞれのノードにおける電位が $V_{N5} > V_{N4} (CP\_CLK = Low) > V_{N3} (CP\_CLK = High) > V_{N2} (CP\_CLK = Low) > V_{N1} (CP\_CLK = High) > VDD$ となることにより、昇圧が行われる。ここで、 $V_{N5}$ は、ノードN5の電位を示す。 $V_{N4} (CP\_CLK = Low)$ は、クロック信号CP\_CLKがロウレベルのときのノードN4の電位を示す。 $V_{N3} (CP\_CLK = High)$ は、クロック信号CP\_CLKがハイレベルのときのノードN3の電位を示す。 $V_{N2} (CP\_CLK = Low)$ は、クロック信号CP\_CLKがロウレベルのときのノードN2の電位を示す。 $V_{N1} (CP\_CLK = High)$ は、クロック信号CP\_CLKがハイレベルのときのノードN1の電位を示す。

40

【0118】

昇圧回路301の有するトランジスタ（図1（B）における、第1のトランジスタ1300、第2のトランジスタ1310、第3のトランジスタ1320、第4のトランジスタ1330、第5のトランジスタ1340、トランジスタ1390）の一部または全ては、オフ電流が極めて小さいトランジスタとしてもよい。オフ電流が極めて小さいトランジスタとしては、例えば、酸化物半導体層にチャンネルが形成されるトランジスタを用いることができる。このように、オフ電流が極めて小さいトランジスタを昇圧回路301に用いることによって、第1の高電源電位（VDD）の供給が停止し、電源電圧の供給が停止して

50

も、昇圧された電圧（ノードN1乃至ノードN5の電圧）を長時間にわたって保持することが可能となる。そのため、第1の高電源電位（VDD）の供給が再選択され、即ち電源電圧の供給が選択された後、昇圧回路301は第2の高電源電位（VDDH）を速く生成することができる。こうして、実施の形態1において説明したデータ供給の動作を速く行うことができるため、信号処理回路は電源電圧供給停止前の状態に速く復帰することができる。

【0119】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0120】

（実施の形態3）

信号処理回路の作製方法について説明する。本実施の形態では、図3に示した揮発性の記憶回路200と不揮発性の記憶回路10との組のうち、チャンネルが酸化物半導体層に形成されるトランジスタ11、容量素子12、及び演算回路201や演算回路202を構成するトランジスタ133を例に挙げて、信号処理回路の作製方法について説明する。ここで、トランジスタ133は、チャンネルがシリコン層に形成されるトランジスタである場合を例に挙げる。

【0121】

なお、昇圧回路301の有するトランジスタ（図1（B）における、第1のトランジスタ1300、第2のトランジスタ1310、第3のトランジスタ1320、第4のトランジスタ1330、第5のトランジスタ1340、トランジスタ1390）は、トランジスタ11と同様に作製することができる。また、昇圧回路301の有する容量素子（図1（B）における、第1の容量素子1350、第2の容量素子1360、第3の容量素子1370、第4の容量素子1380）は、容量素子12と同様に作製することができる。

【0122】

まず、図4（A）に示すように、基板700上に絶縁膜701と、単結晶の半導体基板から分離された半導体膜702とを形成する。

【0123】

基板700として使用することができる素材に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板700には、フュージョン法やフロート法で作製されるガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。

【0124】

また、本実施の形態では、半導体膜702が単結晶のシリコンである場合を例に挙げて、以下、トランジスタ133の作製方法について説明する。なお、具体的な単結晶の半導体膜702の作製方法の一例について、簡単に説明する。まず、単結晶の半導体基板であるボンド基板に、電界で加速されたイオンでなるイオンビームを注入し、ボンド基板の表面から一定の深さの領域に、結晶構造が乱されることで局所的に脆弱化された脆化層を形成する。脆化層が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。そして、ボンド基板と、絶縁膜701が形成された基板700とを、間に当該絶縁膜701が挟まるように貼り合わせる。貼り合わせは、ボンド基板と基板700とを重ね合わせた後、ボンド基板と基板700の一部に、 $1\text{ N/cm}^2$ 以上 $500\text{ N/cm}^2$ 以下、好ましくは $11\text{ N/cm}^2$ 以上 $20\text{ N/cm}^2$ 以下程度の圧力を加える。圧力を加えると、その部分からボンド基板と絶縁膜701とが接合を開始し、最終的には密着した面全体に接合がおよぶ。次いで、加熱処理を行うことで、脆化層に存在する微小ポイドどうしが結合して、微小ポイドの体積が増大する。その結果、脆化層においてボンド基板の一部である単結晶半導体膜が、ボンド基板から分離する。上記加熱処理の温度は、基板700の歪み点を越えない温度とする。そして、上記単結晶半導体膜をエッチング等により所望の形状に加工することで、半導体膜702を形成することができる。

10

20

30

40

50

## 【 0 1 2 5 】

半導体膜 702 には、閾値電圧を制御するために、硼素、アルミニウム、ガリウムなどの p 型の導電性を付与する不純物元素、若しくはリン、砒素などの n 型の導電性を付与する不純物元素を添加しても良い。閾値電圧を制御するための不純物元素の添加は、所定の形状にエッチング加工する前の半導体膜に対して行っても良いし、所定の形状にエッチング加工した後の半導体膜 702 に対して行っても良い。また、閾値電圧を制御するための不純物元素の添加を、ボンド基板に対して行っても良い。若しくは、不純物元素の添加を、閾値電圧を大まかに調整するためにボンド基板に対して行った上で、閾値電圧を微調整するために、所定の形状にエッチング加工する前の半導体膜に対して、又は所定の形状にエッチング加工した後の半導体膜 702 に対して行っても良い。

10

## 【 0 1 2 6 】

なお、本実施の形態では、単結晶の半導体膜を用いる例について説明しているが、本発明はこの構成に限定されない。例えば、STI (Shallow Trench Isolation) 等により素子分離したバルクの半導体基板を用いてもよい。例えば、絶縁膜 701 上に気相成長法を用いて形成された多結晶、微結晶、非晶質の半導体膜を用いても良いし、上記半導体膜を公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプ加熱結晶化法、触媒元素を用いる結晶化法、950 程度の高温加熱法

20

## 【 0 1 2 7 】

次に、図 4 ( B ) に示すように、半導体膜 702 を用いて半導体層 704 を形成する。そして、半導体層 704 上にゲート絶縁膜 703 を形成する。

## 【 0 1 2 8 】

ゲート絶縁膜 703 は、例えば、プラズマ CVD 法又はスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム又は酸化タンタル、酸化イットリウム、ハフニウムシリケート ( $HfSi_xO_y$  ( $x > 0$ 、 $y > 0$ ))、窒素が添加されたハフニウムシリケート ( $HfSi_xO_yN_z$  ( $x > 0$ 、 $y > 0$ 、 $z > 0$ ))、窒素が添加されたハフニウムアルミネート ( $HfAl_xO_yN_z$  ( $x > 0$ 、 $y > 0$ 、 $z > 0$ )) 等を含む膜を、単層で、又は積層させることで、形成することができる。

30

## 【 0 1 2 9 】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

## 【 0 1 3 0 】

ゲート絶縁膜 703 の厚さは、例えば、1 nm 以上 100 nm 以下、好ましくは 10 nm 以上 50 nm 以下とすることができる。本実施の形態では、プラズマ CVD 法を用いて、酸化珪素を含む単層の絶縁膜を、ゲート絶縁膜 703 として用いる。

40

## 【 0 1 3 1 】

次いで、図 4 ( C ) に示すように、ゲート電極 707 を形成する。

## 【 0 1 3 2 】

ゲート電極 707 は、導電膜を形成した後、該導電膜を所定の形状に加工することで、形成することができる。上記導電膜の形成には CVD 法、スパッタリング法、蒸着法、スピコート法などを用いることができる。また、導電膜は、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、クロム (Cr)、ニオブ (Nb) 等を用いることができる。上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。又は、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成して

50

も良い。

【0133】

なお、本実施の形態ではゲート電極707を単層の導電膜で形成しているが、本実施の形態はこの構成に限定されない。ゲート電極707は積層された複数の導電膜で形成されていても良い。

【0134】

2つの導電膜の組み合わせとして、1層目に窒化タンタル又はタンタルを、2層目にタングステンをを用いることができる。上記例の他に、2つの導電膜の組み合わせとして、窒化タングステンとタングステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型の導電性を付与する不純物元素がドーピングされた珪素とニッケルシリサイド、n型の導電性を付与する不純物元素がドーピングされた珪素とタングステンシリサイド等も用いることができる。

10

【0135】

3つの導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【0136】

また、ゲート電極707に酸化インジウム、酸化インジウム酸化スズ、酸化インジウム酸化亜鉛、酸化亜鉛、酸化亜鉛アルミニウム、酸化窒化亜鉛アルミニウム、又は酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

20

【0137】

なお、マスクを用いずに、液滴吐出法を用いて選択的にゲート電極707を形成しても良い。液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出又は噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

【0138】

また、ゲート電極707は、導電膜を形成後、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング条件(コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等)を適宜調節することにより、所望のテーパ形状を有するようにエッチングすることができる。また、テーパ形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガス又は酸素を適宜用いることができる。

30

【0139】

次に、図4(D)に示すように、ゲート電極707をマスクとして一導電性を付与する不純物元素を半導体層704に添加することで、ゲート電極707と重なるチャネル形成領域710と、チャネル形成領域710を間に挟む一対の不純物領域709とが、半導体層704に形成される。

【0140】

本実施の形態では、半導体層704にp型を付与する不純物元素(例えばボロン)を添加する場合を例に挙げる。

40

【0141】

次いで、図5(A)に示すように、ゲート絶縁膜703、ゲート電極707を覆うように、絶縁膜712、絶縁膜713を形成する。具体的に、絶縁膜712、絶縁膜713は、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、窒化酸化アルミニウムなどの無機の絶縁膜を用いることができる。特に、絶縁膜712、絶縁膜713に誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁膜712、絶縁膜713に、上記材料を用いた多孔性の絶縁膜を適用しても良い。多孔性の絶縁膜では、密度の

50



高い絶縁膜と比較して誘電率が低下するため、電極や配線に起因する寄生容量を更に低減することが可能である。

【0142】

本実施の形態では、絶縁膜712として酸化窒化珪素、絶縁膜713として窒化酸化珪素を用いる場合を例に挙げる。また、本実施の形態では、ゲート電極707上に絶縁膜712、絶縁膜713を形成している場合を例示しているが、本発明はゲート電極707上に絶縁膜を1層だけ形成していても良いし、3層以上の複数の絶縁膜を積層するように形成していても良い。

【0143】

次いで、図5(B)に示すように、絶縁膜713にCMP(化学的機械研磨)処理やエッチング処理を行うことにより、絶縁膜713の上面を平坦化する。なお、後に形成されるトランジスタ11の特性を向上させるために、絶縁膜713の表面は可能な限り平坦にしておくことが好ましい。

10

【0144】

以上の工程により、トランジスタ133を形成することができる。

【0145】

次いで、トランジスタ11の作製方法について説明する。まず、図5(C)に示すように、絶縁膜713上に酸化物半導体層716を形成する。

【0146】

酸化物半導体層としては、少なくともIn、Ga、Sn及びZnから選ばれた一種以上の元素を含有する。例えば、四元系金属の酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体や、三元系金属の酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体、Al-Ga-Zn-O系酸化物半導体、Sn-Al-Zn-O系酸化物半導体、Hf-In-Zn-O系酸化物半導体や、二元系金属の酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体や、In-Ga-O系酸化物半導体、一元系金属の酸化物であるIn-O系酸化物半導体、Sn-O系酸化物半導体、Zn-O系酸化物半導体などを用いることができる。また、上記酸化物半導体にInとGaとSnとZn以外の元素、例えばSiO<sub>2</sub>を含ませてもよい。

20

30

【0147】

例えば、In-Sn-Zn-O系酸化物半導体とは、インジウム(In)、錫(Sn)、亜鉛(Zn)を有する酸化物半導体、という意味であり、その組成比は問わない。また例えば、In-Ga-Zn-O系酸化物半導体とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物半導体、という意味であり、その組成比は問わない。

【0148】

また、酸化物半導体として、In-Sn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、In:Sn:Zn=1:2:2、In:Sn:Zn=2:1:3、In:Sn:Zn=1:1:1などとすればよい。

40

【0149】

また、酸化物半導体層は、化学式InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)で表記される薄膜を用いることができる。ここで、Mは、Zn、Ga、Al、Mn及びCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。

【0150】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、In:Zn=50:1~1:2(モル数比に換算するとIn<sub>2</sub>O<sub>3</sub>:ZnO=25:1~1:4)、好ましくはIn:Zn=20:1~1:1(モル数比に換算するとIn<sub>2</sub>O<sub>3</sub>:ZnO=10:1~1:2)、さらに好ましくはIn:Zn=

50

15 : 1 ~ 1.5 : 1 (モル数比に換算すると  $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2 \sim 3 : 4$ ) とする。例えば、In - Zn - O系酸化物半導体の形成に用いるターゲットは、原子数比が  $\text{In} : \text{Zn} : \text{O} = X : Y : Z$  のとき、 $Z > 1.5X + Y$  とする。

【0151】

なお、酸化物半導体層716は、電子供与体(ドナー)となる水分又は水素などの不純物が低減されて高純度化されることが好ましい。これにより、酸化物半導体層716にチャネルが形成されない状態において生じる電流を低減することが可能となるからである。具体的には、高純度化された酸化物半導体層716は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)による水素濃度の測定値が、 $5 \times 10^{19} / \text{cm}^3$  以下、好ましくは  $5 \times 10^{18} / \text{cm}^3$  以下、より好ましくは  $5 \times 10^{17} / \text{cm}^3$  以下、更に好ましくは  $1 \times 10^{16} / \text{cm}^3$  以下である。また、ホール効果測定により測定できる酸化物半導体層のキャリア密度は、 $1 \times 10^{14} / \text{cm}^3$  未満、好ましくは  $1 \times 10^{12} / \text{cm}^3$  未満、更に好ましくは  $1 \times 10^{11} / \text{cm}^3$  未満である。

10

【0152】

ここで、酸化物半導体層中の、水素濃度の分析について触れておく。半導体層中の水素濃度測定は、二次イオン質量分析法で行う。SIMS分析は、その原理上、試料表面近傍や、材質が異なる層との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、層中における水素濃度の厚さ方向の分布をSIMSで分析する場合、対象となる層が存在する範囲において、値に極端な変動がなく、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる層の厚さが小さい場合、隣接する層内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該層が存在する領域における、水素濃度の極大値又は極小値を、当該層中の水素濃度として採用する。更に、当該層が存在する領域において、極大値を有する山型のピーク、極小値を有する谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。

20

【0153】

酸化物半導体層716は、絶縁膜713上に形成した酸化物半導体膜を所望の形状に加工することで、形成することができる。上記酸化物半導体膜の膜厚は、2nm以上200nm以下、好ましくは3nm以上50nm以下、更に好ましくは3nm以上20nm以下とする。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタリング法により成膜する。また、酸化物半導体膜は、希ガス(例えばアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(例えばアルゴン)及び酸素混合雰囲気下においてスパッタリング法により形成することができる。

30

【0154】

スパッタリング法を用いて酸化物半導体層716を作製する場合には、ターゲット中の水素濃度のみならず、チャンバー内に存在する水、水素を極力低減しておくことが重要である。具体的には、当該形成以前にチャンバー内をベークする、チャンバー内に導入されるガス中の水、水素濃度を低減する、及びチャンバーからガスを排気する排気系における逆流を防止するなどを行うことが効果的である。

40

【0155】

また、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、絶縁膜713の表面に付着している塵埃を除去してもよい。逆スパッタリングとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【0156】

また、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために

50

、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁膜 7 1 2 及び絶縁膜 7 1 3 までが形成された基板 7 0 0 を予備加熱し、基板 7 0 0 に吸着した水分又は水素などの不純物を脱離し排気してもよい。なお、予備加熱の温度は、1 0 0 以上 4 0 0 以下、好ましくは 1 5 0 以上 3 0 0 以下である。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。また、この予備加熱は、後に行われるゲート絶縁膜 7 2 1 の成膜前に、導電層 7 1 9、導電層 7 2 0 まで形成した基板 7 0 0 にも同様に行ってもよい。

#### 【 0 1 5 7 】

本実施の形態では、In (インジウム)、Ga (ガリウム)、及びZn (亜鉛)を含むターゲットを用いたスパッタリング法により得られる膜厚 3 0 nm の In - Ga - Zn - O 系酸化物半導体の薄膜を、酸化物半導体膜として用いる。上記ターゲットとして、例えば、各金属の組成比が In : Ga : Zn = 1 : 1 : 0 . 5、In : Ga : Zn = 1 : 1 : 1、又は In : Ga : Zn = 1 : 1 : 2 であるターゲットを用いることができる。また、In、Ga、及びZnを含むターゲットの充填率は 9 0 % 以上 1 0 0 % 以下、好ましくは 9 5 % 以上 1 0 0 % 未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

10

#### 【 0 1 5 8 】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタリングガスを導入し、上記ターゲットを用いて酸化物半導体膜を成膜する。成膜時に、基板温度を 1 0 0 以上 6 0 0 以下、好ましくは 2 0 0 以上 4 0 0 以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水 (H<sub>2</sub>O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

20

#### 【 0 1 5 9 】

成膜条件の一例としては、基板とターゲットの間との距離を 1 0 0 mm、圧力 0 . 6 Pa、直流 (DC) 電源 0 . 5 kW、酸素 (酸素流量比率 1 0 0 %) 雰囲気下の条件が適用される。なお、パルス直流 (DC) 電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

30

#### 【 0 1 6 0 】

また、スパッタリング装置の処理室のリークレートを  $1 \times 10^{-10}$  Pa · m<sup>3</sup> / 秒以下とすることで、スパッタリング法による成膜途中における酸化物半導体膜への、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として上述した吸着型の真空ポンプを用いることで、排気系からのアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。

40

#### 【 0 1 6 1 】

また、ターゲットの純度を、99 . 99 % 以上とすることで、酸化物半導体膜に混入するアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等を低減することができる。また、当該ターゲットを用いることで、酸化物半導体膜において、リチウム、ナトリウム、カリウム等のアルカリ金属の濃度を低減することができる。

#### 【 0 1 6 2 】

なお、酸化物半導体層は、アモルファス (非晶質) であってもよいし、結晶性を有していてもよい。後者の場合、単結晶でもよいし、多結晶でもよいし、一部分が結晶性を有する構成でもよいし、アモルファス中に結晶性を有する部分を含む構造でもよいし、非アモルファスでもよい。例えば、酸化物半導体層として、c 軸配向し、かつ a b 面、表面また

50

は界面の方向から見て三角形または六角形の原子配列を有し、c軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab面においてはa軸またはb軸の向きが異なる(c軸を中心に回転した)結晶を有する酸化物半導体(CAAC-OS: C Axis Aligned Crystalline Oxide Semiconductorともいう。)を用いることができる。

【0163】

CAAC-OSは単結晶ではないが、非晶質のみから形成されているものでもない。また、CAAC-OSは結晶化した部分(結晶部分)を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0164】

CAAC-OSに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAAC-OSを構成する個々の結晶部分のc軸は一定の方向(例えば、CAAC-OSが形成される基板面、CAAC-OSの表面などに垂直な方向)に揃っていてもよい。または、CAAC-OSを構成する個々の結晶部分のab面の法線は一定の方向(例えば、CAAC-OSが形成される基板面、CAAC-OSの表面などに垂直な方向)を向いていてもよい。

【0165】

CAAC-OSは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0166】

このようなCAAC-OSの例として、膜状に形成され、膜表面または基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子(または窒素原子)の層状配列が認められる結晶を挙げることができる。

【0167】

CAAC-OSを用いた酸化物半導体膜(以下、CAAC-OS膜ともいう)は、スパッタリング法によって作製することができる。スパッタリング法を用いてCAAC-OS膜を成膜する場合には、雰囲気中の酸素ガス比が高い方が好ましい。例えば、アルゴン及び酸素の混合ガス雰囲気中でスパッタリング法を行う場合には、酸素ガス比を30%以上とすることが好ましく、40%以上とすることがより好ましい。雰囲気中からの酸素の補充によって、CAAC-OS膜の結晶化が促進されるからである。

【0168】

また、スパッタリング法を用いてCAAC-OS膜を成膜する場合には、CAAC-OS膜が成膜される基板を150℃以上に加熱しておくことが好ましく、170℃以上に加熱しておくことがより好ましい。基板温度の上昇に伴って、CAAC-OSの結晶化が促進されるからである。

【0169】

また、CAAC-OS膜に対して、窒素雰囲気中又は真空中において熱処理を行った後には、酸素雰囲気中又は酸素と他のガスとの混合雰囲気中において熱処理を行うことが好ましい。先の熱処理で生じる酸素欠損を後の熱処理における雰囲気中からの酸素供給によって復元することができるからである。

【0170】

また、CAAC-OS膜が成膜される膜表面(被成膜面)は平坦であることが好ましい。CAAC-OS膜は、当該被成膜面に概略垂直となるc軸を有するため、当該被成膜面に存在する凹凸は、CAAC-OS膜における結晶粒界の発生を誘発することになるからである。よって、CAAC-OS膜が成膜される前に当該被成膜表面に対して化学機械研磨(Chemical Mechanical Polishing: CMP)などの平坦化処理を行うことが好ましい。また、当該被成膜面の平均ラフネスは、0.5nm以下であることが好ましく、0.3nm以下であることがより好ましい。

10

20

30

40

50

## 【0171】

上述のように形成した酸化物半導体でなる膜をエッチングして酸化物半導体層716を形成する。酸化物半導体層716を形成するためのエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ $\text{Cl}_2$ ）、三塩化硼素（ $\text{BCl}_3$ ）、四塩化珪素（ $\text{SiCl}_4$ ）、四塩化炭素（ $\text{CCl}_4$ ）など）が好ましい。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ $\text{CF}_4$ ）、六弗化硫黄（ $\text{SF}_6$ ）、三弗化窒素（ $\text{NF}_3$ ）、トリフルオロメタン（ $\text{CHF}_3$ ）など）、臭化水素（ $\text{HBr}$ ）、酸素（ $\text{O}_2$ ）、これらのガスにヘリウム（ $\text{He}$ ）やアルゴン（ $\text{Ar}$ ）などの希ガスを添加したガス、などを用いることができる。

10

## 【0172】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

## 【0173】

ウェットエッチングに用いるエッチング液として、燐酸と酢酸と硝酸を混ぜた溶液、クエン酸やシュウ酸などの有機酸を用いることができる。本実施の形態では、ITO-07N（関東化学社製）を用いる。

20

## 【0174】

酸化物半導体層716を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

## 【0175】

なお、次工程の導電膜を形成する前に逆スパッタリングを行い、酸化物半導体層716及び絶縁膜713の表面に付着しているレジスト残渣などを除去することが好ましい。

## 【0176】

なお、スパッタリング等で成膜された酸化物半導体膜中には、不純物としての水分又は水素（水酸基を含む）が含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分又は水素などの不純物を低減（脱水化または脱水素化）するために、酸化物半導体層716に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）雰囲気下で、酸化物半導体層716に加熱処理を施す。

30

## 【0177】

酸化物半導体層716に加熱処理を施すことで、酸化物半導体層716中の水分又は水素を脱離させることができる。具体的には、250以上750以下、好ましくは400以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、500、3分間以上6分間以下で行えばよい。加熱処理にRTA法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

40

## 【0178】

本実施の形態では、加熱処理装置の一つである電気炉を用いる。

## 【0179】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal An

50

neal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

#### 【0180】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

10

#### 【0181】

なお、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウム(Na)のようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えたと指摘されている(神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol.44、pp.621-633.)。しかし、このような指摘は適切でない。アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体層に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散してNa<sup>+</sup>となる。また、Naは、酸化物半導体層内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタの特性の劣化と、特性のばらつきは、酸化物半導体層中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体層中の水素濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{17} / \text{cm}^3$ 以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法によるNa濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、Li濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。

20

30

#### 【0182】

以上の工程により、酸化物半導体層716中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体層の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体層を形成することができる。このため、大面積基板を用いてトランジスタを作製することができ、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体層を用いることで、耐圧性が高く、オフ電流の著しく低いトランジスタを作製することができる。上記加熱処理は、酸化物半導体層の成膜以降であれば、いつでも行うことができる。

40

#### 【0183】

次いで、図6(A)に示すように、酸化物半導体層716と接する導電層719と、酸化物半導体層716と接する導電層720とを形成する。導電層719及び導電層720は、ソース電極又はドレイン電極として機能する。

#### 【0184】

具体的に、導電層719及び導電層720は、スパッタリング法や真空蒸着法で導電膜を形成した後、該導電膜を所定の形状に加工することで、形成することができる。

#### 【0185】

50

導電層 719 及び導電層 720 となる導電膜は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タングステンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウム又は銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジウム、スカンジウム、イットリウム等を用いることができる。

【0186】

また、導電層 719 及び導電層 720 となる導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、更にその上にチタン膜を成膜する3層構造などが挙げられる。また、Cu-Mg-Al合金、Mo-Ti合金、Ti、Mo、は、酸化膜との密着性が高い。よって、下層にCu-Mg-Al合金、Mo-Ti合金、Ti、或いはMoで構成される導電膜、上層にCuで構成される導電膜を積層し、上記積層された導電膜を導電層 719 及び導電層 720 に用いることで、酸化膜である絶縁膜と、導電層 719 及び導電層 720 との密着性を高めることができる。

10

【0187】

また、導電層 719 及び導電層 720 となる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ、酸化インジウム酸化亜鉛又は前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

20

【0188】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0189】

なお、導電膜のエッチングの際に、酸化物半導体層 716 ができるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、酸化物半導体層 716 の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

30

【0190】

本実施の形態では、導電膜にチタン膜を用いる。そのため、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、選択的に導電膜をウェットエッチングすることができる。具体的には、31重量%の過酸化水素水と、28重量%のアンモニア水と水とを、体積比5：2：2で混合したアンモニア過水を用いる。或いは、塩素（Cl<sub>2</sub>）、塩化硼素（BCl<sub>3</sub>）などを含むガスを用いて、導電膜をドライエッチングしても良い。

【0191】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことで更に形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

40

【0192】

また、酸化物半導体層 716 と、ソース電極又はドレイン電極として機能する導電層 719 及び導電層 720 との間に、ソース領域及びドレイン領域として機能する酸化物導電膜を設けるようにしても良い。酸化物導電膜の材料としては、酸化亜鉛を成分として含む

50

ものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電膜として、酸化亜鉛、酸化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。

【0193】

例えば、酸化物導電膜を形成する場合、酸化物導電膜を形成するためのエッチング加工と、導電層719及び導電層720を形成するためのエッチング加工とを一括で行うようにしても良い。

【0194】

ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、酸化物半導体層716と導電層719及び導電層720の間の抵抗を下げるができるので、トランジスタの高速動作を実現させることができる。また、ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、トランジスタの耐圧を高めることができる。

10

【0195】

次いで、 $N_2O$ 、 $N_2$ 、又はArなどのガスを用いたプラズマ処理を行うようにしても良い。このプラズマ処理によって露出している酸化物半導体層の表面に付着した水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0196】

なお、プラズマ処理を行った後、図6(B)に示すように、導電層719及び導電層720と、酸化物半導体層716とを覆うように、ゲート絶縁膜721を形成する。そして、ゲート絶縁膜721上において、酸化物半導体層716と重なる位置にゲート電極722を形成する。

20

【0197】

そして、ゲート電極722が形成された後にゲート電極722をマスクとして酸化物半導体層716にn型の導電性を付与するドーパントを添加し、一对の高濃度領域908を形成する。なお、酸化物半導体層716のうち、ゲート絶縁膜721を間に挟んでゲート電極722と重なる領域がチャネル形成領域となる。酸化物半導体層716では、一对の高濃度領域908の間にチャネル形成領域が設けられている。高濃度領域908を形成するためのドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの15族原子などを用いることができる。例えば、窒素をドーパントとして用いた場合、高濃度領域908中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。n型の導電性を付与するドーパントが添加されている高濃度領域908は、酸化物半導体層716中の他の領域に比べて導電性が高くなる。よって、高濃度領域908を酸化物半導体層716に設けることで、ソース電極とドレイン電極(導電層719と導電層720)の間の抵抗を下げるができる。

30

【0198】

そして、ソース電極とドレイン電極(導電層719と導電層720)の間の抵抗を下げることで、トランジスタ11の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ11の微細化により、信号処理回路300を小型化することができる。

40

【0199】

また、In-Ga-Zn-O系酸化物半導体を酸化物半導体層716に用いた場合、窒素を添加した後、300以上600以下で1時間程度加熱処理を施すことにより、高濃度領域908中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。高濃度領域908中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域908の導電性を高め、ソース電極とドレイン電極(導電層719と導電層720)の間の抵抗を下げるができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極とドレイン電極(導電層719と導電層720)の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域908中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上7atoms%以下とすることが望ましい。しかし、窒

50



素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。

#### 【0200】

ゲート絶縁膜721は、ゲート絶縁膜703と同様の材料、同様の積層構造を用いて形成することが可能である。なお、ゲート絶縁膜721は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。ゲート絶縁膜721に水素が含まれると、その水素が酸化物半導体層716へ侵入し、又は水素が酸化物半導体層716中の酸素を引き抜き、酸化物半導体層716が低抵抗化(n型化)してしまい、寄生チャンネルが形成されるおそれがある。よって、ゲート絶縁膜721はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記ゲート絶縁膜721には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、酸化物半導体層716に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、導電層719及び導電層720及び酸化物半導体層716と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、酸化物半導体層716内、ゲート絶縁膜721内、或いは、酸化物半導体層716と他の絶縁膜の界面とその近傍に、水分又は水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体層716に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接、酸化物半導体層716に接するのを防ぐことができる。

#### 【0201】

本実施の形態では、スパッタリング法で形成された膜厚200nmの酸化珪素膜上に、スパッタリング法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、ゲート絶縁膜721を形成する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。

#### 【0202】

なお、ゲート絶縁膜721を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、超乾燥空気、又は希ガス(アルゴン、ヘリウムなど)の雰囲気下において、好ましくは200以上400以下、例えば250以上350以下で行う。上記ガスは、水の含有量が20ppm以下、好ましくは1ppm以下、より好ましくは10ppb以下であることが望ましい。本実施の形態では、例えば、窒素雰囲気下で250、1時間の加熱処理を行う。或いは、導電層719及び導電層720を形成する前に、水分又は水素を低減させるための酸化物半導体層に対して行った先の加熱処理と同様に、高温短時間のRTA処理を行っても良い。酸素を含むゲート絶縁膜721が設けられた後に、加熱処理が施されることによって、酸化物半導体層716に対して行った先の加熱処理により、酸化物半導体層716に酸素欠損が発生していたとしても、ゲート絶縁膜721から酸化物半導体層716に酸素が供与される。そして、酸化物半導体層716に酸素が供与されることで、酸化物半導体層716において、ドナーとなる酸素欠損を低減し、化学量論的組成比を満たすことが可能である。酸化物半導体層716には、化学量論的組成比を超える量の酸素が含まれていることが好ましい。その結果、酸化物半導体層716をi型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。この加熱処理を行うタイミングは、ゲート絶縁膜721の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、酸化物半導体層716をi型に近づけることができる。

#### 【0203】

また、酸素雰囲気下で酸化物半導体層716に加熱処理を施すことで、酸化物半導体に酸素を添加し、酸化物半導体層716中においてドナーとなる酸素欠損を低減させても良

10

20

30

40

50

い。加熱処理の温度は、例えば100 以上350 未満、好ましくは150 以上250 未満で行う。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する酸素ガスの純度を、6N(99.999%)以上、好ましくは7N(99.9999%)以上、(即ち酸素中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0204】

或いは、イオン注入法又はイオンドーピング法などを用いて、酸化物半導体層716に酸素を添加することで、ドナーとなる酸素欠損を低減させても良い。例えば、2.45GHzのマイクロ波でプラズマ化した酸素を酸化物半導体層716に添加すれば良い。

【0205】

また、ゲート電極722は、ゲート絶縁膜721上に導電膜を形成した後、該導電膜をエッチング加工することで形成することができる。ゲート電極722は、ゲート電極707、或いは導電層719及び導電層720と同様の材料を用いて形成することが可能である。

【0206】

ゲート電極722の膜厚は、10nm~400nm、好ましくは100nm~200nmとする。本実施の形態では、タングステナーゲットを用いたスパッタリング法により150nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工することで、ゲート電極722を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソグラフィーを使用しないため、製造コストを低減できる。

【0207】

以上の工程により、トランジスタ11が形成される。

【0208】

トランジスタ11は、ソース電極及びドレイン電極(導電層719及び導電層720)と、ゲート電極722とが重なっていない。すなわち、ソース電極及びドレイン電極(導電層719及び導電層720)とゲート電極722との間には、ゲート絶縁膜721の膜厚よりも大きい間隔が設けられている。よって、トランジスタ11は、ソース電極及びドレイン電極とゲート電極との間に形成される寄生容量を小さく抑えることができるので、高速動作を実現することができる。

【0209】

なお、トランジスタ11として、チャネルが酸化物半導体層に形成されるトランジスタに限定されず、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料を、チャネル形成領域に含むトランジスタを用いることもできる。このような半導体材料としては、酸化物半導体の他に、例えば、炭化シリコン、窒化ガリウムなどが挙げられる。このような半導体材料をチャネル形成領域に含むことで、オフ電流が極めて低いトランジスタを実現することができる。

【0210】

また、トランジスタ11はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電氣的に接続された複数のゲート電極を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【0211】

なお、酸化物半導体層716に接する絶縁膜(本実施の形態においては、ゲート絶縁膜721が該当する。)は、第13族元素及び酸素を含む絶縁材料を用いるようにしても良い。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁膜に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

【0212】

第13族元素を含む絶縁材料とは、絶縁材料に一又は複数の第13族元素を含むことを意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニ

10

20

30

40

50

ウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子％）よりアルミニウムの含有量（原子％）が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子％）がアルミニウムの含有量（原子％）以上のものを示す。

【0213】

例えば、ガリウムを含有する酸化物半導体層に接して絶縁膜を形成する場合に、絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体層と絶縁膜の界面特性を良好に保つことができる。例えば、酸化物半導体層と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体層と絶縁膜の界面における水素のパイルアップを低減することができる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

10

【0214】

また、酸化物半導体層716に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドーピングなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーピングとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーピングには、プラズマ化した酸素をバルクに添加する酸素プラズマドーピングが含まれる。また、酸素ドーピングは、イオン注入法又はイオンドーピング法を用いてもよい。

20

【0215】

例えば、酸化物半導体層716に接する絶縁膜として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムの組成を  $Ga_2O_x$  ( $X = 3 +$ 、 $0 < < 1$ ) とすることができる。

【0216】

また、酸化物半導体層716に接する絶縁膜として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化アルミニウムの組成を  $Al_2O_x$  ( $X = 3 +$ 、 $0 < < 1$ ) とすることができる。

【0217】

また、酸化物半導体層716に接する絶縁膜として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を  $Ga_xAl_{2-x}O_3$  ( $0 < X < 2$ 、 $0 < < 1$ ) とすることができる。

30

【0218】

酸素ドーピング処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体層が接することにより、絶縁膜中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、又は酸化物半導体層と絶縁膜の界面における酸素欠陥を低減し、酸化物半導体層を *i* 型化又は *i* 型に限りなく近くすることができる。

40

【0219】

なお、化学量論的組成比より酸素が多い領域を有する絶縁膜は、酸化物半導体層716に接する絶縁膜のうち、上層に位置する絶縁膜又は下層に位置する絶縁膜のうち、どちらか一方のみに用いても良いが、両方の絶縁膜に用いる方が好ましい。化学量論的組成比より酸素が多い領域を有する絶縁膜を、酸化物半導体層716に接する絶縁膜の、上層及び下層に位置する絶縁膜に用い、酸化物半導体層716を挟む構成とすることで、上記効果をより高めることができる。

【0220】

また、酸化物半導体層716の上層又は下層に用いる絶縁膜は、上層と下層で同じ構成元素を有する絶縁膜としても良いし、異なる構成元素を有する絶縁膜としても良い。例え

50

ば、上層と下層とも、組成が  $Ga_2O_x$  ( $X = 3 + \delta$ 、 $0 < \delta < 1$ ) の酸化ガリウムとしても良いし、上層と下層の一方を組成が  $Ga_2O_x$  ( $X = 3 + \delta$ 、 $0 < \delta < 1$ ) の酸化ガリウムとし、他方を組成が  $Al_2O_x$  ( $X = 3 + \delta$ 、 $0 < \delta < 1$ ) の酸化アルミニウムとしても良い。

#### 【0221】

また、酸化物半導体層 716 に接する絶縁膜は、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。例えば、酸化物半導体層 716 の上層に組成が  $Ga_2O_x$  ( $X = 3 + \delta$ 、 $0 < \delta < 1$ ) の酸化ガリウムを形成し、その上に組成が  $Ga_xAl_{2-x}O_{3+\delta}$  ( $0 < X < 2$ 、 $0 < \delta < 1$ ) の酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を形成してもよい。なお、酸化物半導体層 716 の下層を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良いし、酸化物半導体層 716 の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。

10

#### 【0222】

次に、図 6 (C) に示すように、ゲート絶縁膜 721、ゲート電極 722 を覆うように、絶縁膜 724 を形成する。絶縁膜 724 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁膜 724 には、誘電率の低い材料や、誘電率の低い構造(多孔性の構造など)を用いることが望ましい。絶縁膜 724 の誘電率を低くすることにより、配線や電極などの間に生じる寄生容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁膜 724 を単層構造としているが、本発明の一態様はこれに限定されず、2層以上の積層構造としても良い。

20

#### 【0223】

次に、ゲート絶縁膜 721、絶縁膜 724 に開口部を形成し、導電層 720 の一部を露出させる。その後、絶縁膜 724 上に、上記開口部において導電層 720 と接する配線 726 を形成する。

#### 【0224】

配線 726 は、PVD 法や、CVD 法を用いて導電膜を形成した後、当該導電膜をエッチング加工することによって形成される。また、導電膜の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガ、マグネシウム、ジルコニウム、ベリリウム、ネオジウム、スカンジウムのいずれか、又はこれらを複数組み合わせた材料を用いてもよい。

30

#### 【0225】

より具体的には、例えば、絶縁膜 724 の開口を含む領域に PVD 法によりチタン膜を薄く(5nm 程度)形成した後に、開口部に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、被形成面の酸化膜(自然酸化膜など)を還元し、下部電極など(ここでは導電層 720)との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

40

#### 【0226】

次に、図 6 (D) に示すように、配線 726 を覆うように絶縁膜 727 を形成する。更に絶縁膜 727 上に導電膜を形成し、当該導電膜をエッチング加工することによって導電層 7301 を形成する。その後、導電層 7301 を覆うように絶縁膜 7302 を形成し、絶縁膜 7302 上に導電膜 7303 を形成する。こうして容量素子 12 を形成することができる。容量素子 12 の一对の電極のうち的一方が導電層 7301 に対応し、一对の電極のうち他方が導電膜 7303 に対応し、誘電体層が絶縁膜 7302 に対応する。ここで、絶縁膜 727、導電層 7301、絶縁膜 7302、導電膜 7303 の材料は、その他絶

50

縁膜や導電層と同様の材料を用いることができる。

【0227】

上述した一連の工程により、信号処理回路を作製することができる。

【0228】

上述の工程を用いることによって、信号処理回路が有する不揮発性の記憶回路10を含むトランジスタ11及び容量素子12は、揮発性の記憶回路200を構成するトランジスタ133と重ねて配置することができる。こうして、信号処理回路を小型化することができる。また、不揮発性の記憶回路10と揮発性の記憶回路200の間の、電気的接続を容易にすることができる。

【0229】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0230】

(実施の形態4)

本実施の形態では、実施の形態3とは異なる構造を有した、酸化物半導体層を用いたトランジスタ11について説明する。なお、図6と同じ部分は同じ符号を用いて示し、説明は省略する。

【0231】

図7(A)に示すトランジスタ11は、ゲート電極722が酸化物半導体層716の上に形成されているトップゲート型であり、なおかつ、ソース電極及びドレイン電極(導電層719及び導電層720)が酸化物半導体層716の下に形成されているボトムコンタクト型である。

【0232】

また、酸化物半導体層716は、ゲート電極722が形成された後に酸化物半導体層716にn型の導電性を付与するドーパントを添加することで得られる、一对の高濃度領域918を有する。また、酸化物半導体層716のうち、ゲート絶縁膜721を間に挟んでゲート電極722と重なる領域がチャンネル形成領域919である。酸化物半導体層716では、一对の高濃度領域918の間にチャンネル形成領域919が設けられている。

【0233】

高濃度領域918は、実施の形態3において説明した高濃度領域908と同様に形成することができる。

【0234】

図7(B)に示すトランジスタ11は、ゲート電極722が酸化物半導体層716の上に形成されているトップゲート型であり、なおかつ、ソース電極及びドレイン電極(導電層719及び導電層720)が酸化物半導体層716の上に形成されているトップコンタクト型である。そして、ゲート電極722の側部に設けられた、絶縁膜で形成されたサイドウォール930を有する。

【0235】

また、酸化物半導体層716は、ゲート電極722が形成された後に酸化物半導体層716にn型の導電性を付与するドーパントを添加することで得られる、一对の高濃度領域928と、一对の低濃度領域929とを有する。また、酸化物半導体層716のうち、ゲート絶縁膜721を間に挟んでゲート電極722と重なる領域がチャンネル形成領域931である。酸化物半導体層716では、一对の高濃度領域928の間に一对の低濃度領域929が設けられ、一对の低濃度領域929の間にチャンネル形成領域931が設けられている。そして、一对の低濃度領域929は、酸化物半導体層716中の、ゲート絶縁膜721を間に挟んでサイドウォール930と重なる領域に設けられている。

【0236】

高濃度領域928及び低濃度領域929は、実施の形態3において説明した高濃度領域908と同様に形成することができる。

【0237】

図7(C)に示すトランジスタ11は、ゲート電極722が酸化物半導体層716の上

10

20

30

40

50

に形成されているトップゲート型であり、なおかつ、ソース電極及びドレイン電極（導電層 719 及び導電層 720）が酸化物半導体層 716 の下に形成されているボトムコンタクト型である。そして、ゲート電極 722 の側部に設けられた、絶縁膜で形成されたサイドウォール 950 を有する。

【0238】

また、酸化物半導体層 716 は、ゲート電極 722 が形成された後に酸化物半導体層 716 に n 型の導電性を付与するドーパントを添加することで得られる、一对の高濃度領域 948 と、一对の低濃度領域 949 とを有する。また、酸化物半導体層 716 のうち、ゲート絶縁膜 721 を間に挟んでゲート電極 722 と重なる領域がチャネル形成領域 951 である。酸化物半導体層 716 では、一对の高濃度領域 948 の間に一对の低濃度領域 949 が設けられ、一对の低濃度領域 949 の間にチャネル形成領域 951 が設けられている。そして、一对の低濃度領域 949 は、酸化物半導体層 716 中の、ゲート絶縁膜 721 を間に挟んでサイドウォール 950 と重なる領域に設けられている。

10

【0239】

高濃度領域 948 及び低濃度領域 949 は、実施の形態 3 において説明した高濃度領域 908 と同様に形成することができる。

【0240】

なお、酸化物半導体を用いたトランジスタにおいて、ソース領域またはドレイン領域として機能する高濃度領域をセルフアラインプロセスにて作製する方法の一つとして、酸化物半導体層の表面を露出させて、アルゴンプラズマ処理をおこない、酸化物半導体層のプラズマにさらされた領域の抵抗率を低下させる方法が開示されている (S. Jeon et al. "180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Applications", IEDM Tech. Dig., pp. 504 - 507, 2010.)。

20

【0241】

しかしながら、上記作製方法では、ゲート絶縁膜を形成した後に、ソース領域またはドレイン領域となるべき部分を露出するべく、ゲート絶縁膜を部分的に除去する必要がある。よって、ゲート絶縁膜が除去される際に、下層の酸化物半導体層も部分的にオーバーエッチングされ、ソース領域またはドレイン領域となるべき部分の膜厚が小さくなってしま

30

う。その結果、ソース領域またはドレイン領域の抵抗が増加し、また、オーバーエッチングによるトランジスタの特性不良が起こりやすくなる。

【0242】

トランジスタの微細化を進めるには、加工精度の高いドライエッチング法を採用する必要がある。しかし、上記オーバーエッチングは、酸化物半導体層とゲート絶縁膜の選択比が十分に確保できないドライエッチング法を採用する場合に、顕著に起こりやすい。

【0243】

例えば、酸化物半導体層が十分な厚さであればオーバーエッチングも問題にはならないが、チャネル長を 200nm 以下とする場合には、短チャネル効果を防止する上で、チャネル形成領域となる部分の酸化物半導体層の厚さは 20nm 以下、好ましくは 10nm 以下であることが求められる。そのような薄い酸化物半導体層を扱う場合には、酸化物半導体層のオーバーエッチングは、上述したような、ソース領域またはドレイン領域の抵抗が増加、トランジスタの特性不良を生じさせるため、好ましくない。

40

【0244】

しかし、本発明の一態様のように、酸化物半導体層へのドーパントの添加を、酸化物半導体層を露出させず、ゲート絶縁膜を残したまま行うことで、酸化物半導体層のオーバーエッチングを防ぎ、酸化物半導体層への過剰なダメージを軽減することができる。また、加えて、酸化物半導体層とゲート絶縁膜の界面も清浄に保たれる。従って、トランジスタの特性及び信頼性を高めることができる。

【0245】

50

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【0246】

(実施の形態5)

本実施の形態では、実施の形態3や実施の形態4とは異なる構造を有した、酸化物半導体層を用いたトランジスタについて説明する。なお、図6と同じ部分は同じ符号を用いて示し、説明は省略する。本実施の形態において示すトランジスタ11は、ゲート電極722が導電層719及び導電層720と重なる様に設けられている。また、実施の形態3や実施の形態4に示したトランジスタ11とは異なり、酸化物半導体層716に対して、ゲート電極722をマスクとした導電型を付与する不純物元素の添加が行われていない点が異なる。

10

【0247】

図8(A)に示すトランジスタ11は、導電層719及び導電層720の下方に酸化物半導体層716が設けられる例であり、図8(B)に示すトランジスタ11は、導電層719及び導電層720の上方に酸化物半導体層716が設けられる例である。なお、図8(A)及び図8(B)において、絶縁膜724の上面が平坦化されていない構成を示したがこれに限定されない。絶縁膜724の上面が平坦化されていてもよい。

【0248】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【0249】

(実施の形態6)

酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)とを含むことが好ましい。特にInとZnを含むことが好ましい。

20

【0250】

また、InとZnを含む酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、又はランタノイドから選ばれた一種又は複数種を有することが好ましい。

【0251】

ランタノイドとして、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)がある。

30

【0252】

なお、InとZnを含む酸化物半導体において、InとZnの比率は問わない。また、InとZn以外の金属元素を含有させても良い。

【0253】

例えば、 $In : Ga : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ あるいは $In : Ga : Zn = 2 : 2 : 1 (= 2/5 : 2/5 : 1/5)$ の原子比のIn-Ga-Zn-O系酸化物やその組成の近傍の酸化物を用いることができる。

【0254】

あるいは、 $In : Sn : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ 、 $In : Sn : Zn = 2 : 1 : 3 (= 1/3 : 1/6 : 1/2)$ あるいは $In : Sn : Zn = 2 : 1 : 5 (= 1/4 : 1/8 : 5/8)$ の原子比のIn-Sn-Zn-O系酸化物やその組成の近傍の酸化物を用いても良い。

40

【0255】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0256】

50

酸化物半導体は単結晶でも、非単結晶でもよい。

【0257】

非単結晶の場合、非晶質でも、多結晶でもよい。また、非晶質中に結晶性を有する部分を含む構造でもよい。なお、アモルファスは欠陥が多いため、非アモルファスが好ましい。

【0258】

本実施の形態の内容の一部又は全部は、他の全ての実施の形態又は実施例と組み合わせ実施することができる。

【0259】

(実施の形態7)

図11乃至図13を用いて、CAAC-Osに含まれる結晶構造の一例について説明する。

【0260】

なお、図11乃至図13において、上方向がc軸方向であり、c軸方向と直交する面がab面である。

【0261】

本実施の形態において、上半分、下半分とは、ab面を境にした場合の上半分、下半分をいう。

【0262】

図11(A)に、1個の6配位のInと、Inに近接の6個の4配位の酸素原子(以下4配位のO)と、を有する構造Aを示す。

【0263】

ここでは、金属原子が1個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。

【0264】

構造Aは、八面体構造をとるが、簡単のため平面構造で示している。

【0265】

なお、構造Aは上半分および下半分にはそれぞれ3個ずつ4配位のOがある。構造Aに示す小グループは電荷が0である。

【0266】

図11(B)に、1個の5配位のGaと、Gaに近接の3個の3配位の酸素原子(以下3配位のO)と、Gaに近接の2個の4配位のOと、を有する構造Bを示す。

【0267】

3配位のOは、いずれもab面に存在する。構造Bの上半分および下半分にはそれぞれ1個ずつ4配位のOがある。

【0268】

また、Inも5配位をとるため、構造Bをとりうる。構造Bの小グループは電荷が0である。

【0269】

図11(C)に、1個の4配位のZnと、Znに近接の4個の4配位のOと、を有する構造Cを示す。

【0270】

構造Cの上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。構造Cの小グループは電荷が0である。

【0271】

図11(D)に、1個の6配位のSnと、Snに近接の6個の4配位のOと、を有する構造Dを示す。

【0272】

構造Dの上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。

【0273】

10

20

30

40

50



構造 D の小グループは電荷が + 1 となる。

【 0 2 7 4 】

図 1 1 ( E ) に、2 個の  $Z_n$  を含む構造 E を示す。

【 0 2 7 5 】

構造 E の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。構造 E の小グループは電荷が - 1 となる。

【 0 2 7 6 】

本実施の形態では複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ ( ユニットセルともいう。 ) と呼ぶ。

【 0 2 7 7 】

ここで、これらの小グループ同士が結合する規則について説明する。

【 0 2 7 8 】

$I_n$  の上半分の 3 個の O は下方向に 3 個の近接  $I_n$  を有し、下半分の 3 個の O は上方向に 3 個の近接  $I_n$  を有する。

【 0 2 7 9 】

$G_a$  の上半分の 1 個の O は下方向に 1 個の近接  $G_a$  を有し、下半分の 1 個の O は上方向に 1 個の近接  $G_a$  を有する。

【 0 2 8 0 】

$Z_n$  の上半分の 1 個の O は下方向に 1 個の近接  $Z_n$  を有し、下半分の 3 個の O は上方向に 3 個の近接  $Z_n$  を有する。

【 0 2 8 1 】

この様に、金属原子の上方向の 4 配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の O の数と、その O の上方向にある近接金属原子の数は等しい。

【 0 2 8 2 】

O は 4 配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は 4 になる。

【 0 2 8 3 】

従って、金属原子の上方向にある 4 配位の O の数と、別の金属原子の下方向にある 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は結合することができる。

【 0 2 8 4 】

例えば、6 配位の金属原子 ( $I_n$  または  $S_n$ ) が上半分の 4 配位の O を介して結合する場合、4 配位の O が 3 個であるため、5 配位の金属原子 ( $G_a$  または  $I_n$ ) または 4 配位の金属原子 ( $Z_n$ ) のいずれかと結合することになる。

【 0 2 8 5 】

これらの配位数を有する金属原子は、c 軸方向において、4 配位の O を介して結合する。

【 0 2 8 6 】

また、このほかにも、層構造の合計の電荷が 0 となるように複数の小グループが結合して中グループを構成する。

【 0 2 8 7 】

図 1 2 ( A ) に、 $I_n - S_n - Z_n - O$  系の層構造を構成する中グループ A のモデル図を示す。

【 0 2 8 8 】

図 1 2 ( B ) に、3 つの中グループで構成される大グループ B を示す。

【 0 2 8 9 】

なお、図 1 2 ( C ) は、図 1 2 ( B ) の層構造を c 軸方向から観察した場合の原子配列を示す。

【 0 2 9 0 】

10

20

30

40

50

中グループAでは、3配位のOは省略し、4配位のOは個数のみである。

【0291】

例えば、 $S_n$ の上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。

【0292】

同様に、中グループAにおいて、 $I_n$ の上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。

【0293】

また、中グループAにおいて、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがある $Z_n$ と、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある $Z_n$ とを示している。

10

【0294】

中グループAにおいて、 $I_n - S_n - Z_n - O$ 系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にある $S_n$ が、4配位のOが1個ずつ上半分および下半分にある $I_n$ と結合する。

【0295】

その $I_n$ が、上半分に3個の4配位のOがある $Z_n$ と結合する。

【0296】

その $Z_n$ の下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にある $I_n$ と結合する。

20

【0297】

その $I_n$ が、上半分に1個の4配位のOがある $Z_n$ 2個からなる小グループと結合する。

【0298】

この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にある $S_n$ と結合している構成である。

【0299】

この中グループが複数結合して大グループを構成する。

【0300】

ここで、3配位のOおよび4配位のOの場合、結合1本当たりの電荷はそれぞれ $-0.667$ 、 $-0.5$ と考えることができる。

30

【0301】

例えば、 $I_n$  (6配位または5配位)、 $Z_n$  (4配位)、 $S_n$  (5配位または6配位)の電荷は、それぞれ $+3$ 、 $+2$ 、 $+4$ である。従って、 $S_n$ を含む小グループは電荷が $+1$ となる。

【0302】

そのため、 $S_n$ を含む層構造を形成するためには、電荷 $+1$ を打ち消す電荷 $-1$ が必要となる。

【0303】

電荷 $-1$ をとる構造として、構造Eに示すように、2個の $Z_n$ を含む小グループが挙げられる。

40

【0304】

例えば、 $S_n$ を含む小グループが1個に対し、2個の $Z_n$ を含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

【0305】

具体的には、大グループBが繰り返されることで、 $I_n - S_n - Z_n - O$ 系の結晶 ( $I_{n_2} S_n Z_{n_3} O_8$ )を得ることができる。

【0306】

得られる $I_n - S_n - Z_n - O$ 系の層構造は、 $I_{n_2} S_n Z_{n_2} O_7 (Z_n O)_m$  ( $m$ は0または自然数。)とする組成式で表すことができる。

50

## 【0307】

In - Sn - Zn - O系の結晶は、mの数が大きいと結晶性が向上するため、好ましい。

## 【0308】

In - Sn - Zn - O系以外の酸化物半導体を用いた場合も同様である。

## 【0309】

例えば、図13(A)に、In - Ga - Zn - O系の層構造を構成する中グループLのモデル図を示す。

## 【0310】

中グループLにおいて、In - Ga - Zn - O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合する。

10

## 【0311】

そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合する。

## 【0312】

そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合する。

## 【0313】

この中グループが複数結合して大グループを構成する。

20

## 【0314】

図13(B)に3つの中グループで構成される大グループMを示す。

## 【0315】

なお、図13(C)は、図13(B)の層構造をc軸方向から観察した場合の原子配列を示している。

## 【0316】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。

## 【0317】

そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

30

## 【0318】

また、In - Ga - Zn - O系の層構造を構成する中グループは、中グループLに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

## 【0319】

本実施の形態の内容の一部又は全部は、他の全ての実施の形態又は実施例と組み合わせで実施することができる。

## 【0320】

(実施の形態8)

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。

40

## 【0321】

移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

## 【0322】

半導体本来の移動度を $\mu_0$ 、測定される電界効果移動度を $\mu$ とし、半導体中に何らかのポテンシャル障壁(粒界等)が存在すると仮定すると、数1で表される。

50

【数 1】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【0323】

E はポテンシャル障壁の高さであり、k がボルツマン定数、T は絶対温度である。

【0324】

また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、数2で表される。

【数 2】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

10

【0325】

e は電気素量、N はチャネル内の単位面積当たりの平均欠陥密度、 $\mu$  は半導体の誘電率、n は単位面積当たりのチャネルに含まれるキャリア数、 $C_{ox}$  は単位面積当たりの容量、 $V_g$  はゲート電圧、t はチャネルの厚さである。

【0326】

なお、厚さ30nm以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同じとして差し支えない。

20

【0327】

線形領域におけるドレイン電流  $I_d$  は、数3で表される。

【数 3】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【0328】

ここで、L はチャネル長、W はチャネル幅であり、ここでは、 $L = W = 10 \mu m$  である。

【0329】

また、 $V_d$  はドレイン電圧である。

30

【0330】

数3の両辺を  $V_g$  で割り、更に両辺の対数を取ると、数4で表される。

【数 4】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

【0331】

数4の右辺は  $V_g$  の関数である。

【0332】

数4からわかるように、縦軸を  $\ln(I_d / V_g)$ 、横軸を  $1 / V_g$  として実測値をプロットして得られるグラフの直線の傾きから欠陥密度 N が求められる。

40

【0333】

すなわち、トランジスタの  $I_d - V_g$  特性から、欠陥密度を評価できる。

【0334】

酸化物半導体としては、インジウム (In)、スズ (Sn)、亜鉛 (Zn) の比率が、 $In : Sn : Zn = 1 : 1 : 1$  のものでは欠陥密度 N は  $1 \times 10^{12} / cm^2$  程度である。

【0335】

このようにして求めた欠陥密度等をもとに  $\mu_0 = 120 cm^2 / Vs$  が導出される。

50

## 【0336】

欠陥のある In - Sn - Zn 酸化物で測定される移動度は  $35 \text{ cm}^2 / \text{Vs}$  程度である。

## 【0337】

しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度  $\mu_0$  は  $120 \text{ cm}^2 / \text{Vs}$  となると予想できる。

## 【0338】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面から  $x$  だけ離れた場所における移動度  $\mu_1$  は、数5で表される。

## 【数5】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

## 【0339】

D はゲート方向の電界、B、G は定数である。B および G は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$  (界面散乱が及ぶ深さ) である。

## 【0340】

D が増加する(すなわち、ゲート電圧が高くなる) と数5の第2項が増加するため、移動度  $\mu_1$  は低下することがわかる。

## 【0341】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度  $\mu_2$  の計算結果 E を図15に示す。

## 【0342】

なお、計算にはシノプシス社製のソフトである Sentaurus Device を使用した。

## 【0343】

計算において、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15 nm とした。

## 【0344】

これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

## 【0345】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。

## 【0346】

また、ゲート絶縁膜の厚さは100 nm、比誘電率は4.1とした。チャネル長およびチャネル幅はともに10  $\mu\text{m}$ 、ドレイン電圧  $V_d$  は0.1 V である。

## 【0347】

計算結果 E で示されるように、ゲート電圧1 V 強で移動度  $100 \text{ cm}^2 / \text{Vs}$  以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。

## 【0348】

なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること (Atomic Layer Flatness) が望ましい。

## 【0349】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した。

10

20

30

40

50

## 【0350】

なお、計算に用いたトランジスタは酸化物半導体層に一对のn型半導体領域にチャネル形成領域が挟まれたものを用いた。

## 【0351】

一对のn型半導体領域の抵抗率は $2 \times 10^{-3} \text{ cm}$ として計算した。

## 【0352】

また、チャネル長を33nm、チャネル幅を40nmとして計算した。

## 【0353】

また、ゲート電極の側壁にサイドウォールを有する。

## 【0354】

サイドウォールと重なる半導体領域をオフセット領域として計算した。

10

## 【0355】

計算にはシノプシス社製のソフト、Sentaurus Deviceを使用した。

## 【0356】

図16は、トランジスタのドレイン電流( $I_d$ 、実線)および移動度( $\mu$ 、点線)のゲート電圧( $V_g$ 、ゲートとソースの電位差)依存性の計算結果である。

## 【0357】

ドレイン電流 $I_d$ は、ドレイン電圧(ドレインとソースの電位差)を+1Vとし、移動度 $\mu$ はドレイン電圧を+0.1Vとして計算したものである。

## 【0358】

図16(A)はゲート絶縁膜の厚さを15nmとして計算したものである。

20

## 【0359】

図16(B)はゲート絶縁膜の厚さを10nmと計算したものである。

## 【0360】

図16(C)はゲート絶縁膜の厚さを5nmと計算したものである。

## 【0361】

ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流 $I_d$ (オフ電流)が顕著に低下する。

## 【0362】

一方、移動度 $\mu$ のピーク値やオン状態でのドレイン電流 $I_d$ (オン電流)には目立った変化が無い。

30

## 【0363】

図17は、オフセット長(サイドウォール長) $L_{off}$ を5nmとしたもののドレイン電流 $I_d$ (実線)および移動度 $\mu$ (点線)のゲート電圧 $V_g$ 依存性を示す。

## 【0364】

ドレイン電流 $I_d$ は、ドレイン電圧を+1Vとし、移動度 $\mu$ はドレイン電圧を+0.1Vとして計算したものである。

## 【0365】

図17(A)はゲート絶縁膜の厚さを15nmとして計算したものである。

## 【0366】

図17(B)はゲート絶縁膜の厚さを10nmと計算したものである。

40

## 【0367】

図17(C)はゲート絶縁膜の厚さを5nmと計算したものである。

## 【0368】

図18は、オフセット長(サイドウォール長) $L_{off}$ を15nmとしたもののドレイン電流 $I_d$ (実線)および移動度 $\mu$ (点線)のゲート電圧依存性を示す。

## 【0369】

ドレイン電流 $I_d$ は、ドレイン電圧を+1Vとし、移動度 $\mu$ はドレイン電圧を+0.1Vとして計算したものである。

## 【0370】

50

図18(A)はゲート絶縁膜の厚さを15nmとして計算したものである。

【0371】

図18(B)はゲート絶縁膜の厚さを10nmと計算したものである。

【0372】

図18(C)はゲート絶縁膜の厚さを5nmと計算したものである。

【0373】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度 $\mu$ のピーク値やオン電流には目立った変化が無い。

【0374】

なお、移動度 $\mu$ のピークは、図16では $80\text{ cm}^2/\text{Vs}$ 程度であるが、図17では $60\text{ cm}^2/\text{Vs}$ 程度、図18では $40\text{ cm}^2/\text{Vs}$ と、オフセット長 $L_{off}$ が増加するほど低下する。

10

【0375】

また、オフ電流も同様な傾向がある。

【0376】

一方、オン電流にはオフセット長 $L_{off}$ の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。

【0377】

また、いずれもゲート電圧1V前後で、ドレイン電流はメモリ素子等で必要とされる $10\text{ }\mu\text{A}$ を超えることが示された。

20

【0378】

本実施の形態の内容の一部又は全部は、他の全ての実施の形態又は実施例と組み合わせる実施することができる。

【0379】

(実施の形態9)

一般に、不揮発性のランダムアクセスメモリとして磁気トンネル接合素子(MTJ素子)が知られている。MTJ素子は、絶縁膜を介して上下に配置している膜中のスピンの向きが平行であれば低抵抗状態、反平行であれば高抵抗状態となることで情報を記憶する素子である。一方、上記実施の形態で示す不揮発性の記憶回路は、チャンネルが酸化物半導体層に形成されるトランジスタを利用したものであって、原理が全く異なっている。表1は

30

MTJ素子(表中、「スピントロニクス(MTJ素子)」で示す。)と、上記実施の形態で示す酸化物半導体を用いた不揮発性の記憶回路(表中、「OS/Si」で示す。)との対比を示す。

【0380】

【表 1】

	スピントロニクス(MTJ 素子)	OS/Si
1) 耐熱性	キュリー温度	プロセス温度500°C (信頼性150°C)
2) 駆動方式	電流駆動	電圧駆動
3) 書き込み原理	磁性体のスピンの向きを変える	FET のオン/オフ
4) Si LSI	バイポーラ LSI 向き (バイポーラは高集積化には不向きなため、高集積化回路では MOS の方が好ましい。ただし、W が大きくなる。)	MOSLSI 向き
5) オーバーヘッド	大きい (ジュール熱が大きい)	2~3桁以上小さい (寄生容量の充放電)
6) 不揮発性	スピンを利用	オフ電流が小さいことを利用
7) 読み出し回数	無制限	無制限
8) 3D 化	難(できても二層まで)	容易(何層でも可)
9) 集積化度( $F^2$ )	$4F^2 \sim 15F^2$	3D 化の積層数で決まる (上層 OSFET 工程のプロセス耐熱性の確保が必要)
10) 材料	磁性を有する希土類	OS 材料
11) ビットコスト	高い	低い (OS を構成する材料によっては (In など)、多少コスト高の可能性有り)
12) 磁界耐性	弱い	強い

10

20

30

## 【0381】

MTJ素子は磁性材料を使用するためキュリー温度以上にすると磁性が失われてしまうという欠点がある。また、MTJ素子は電流駆動であるため、シリコンのバイポーラデバイスと相性が良いが、バイポーラデバイスは集積化に不向きである。そして、MTJ素子は書き込み電流が微小とはいえメモリの大容量化によって消費電力が増大してしまうといった問題がある。

## 【0382】

原理的にMTJ素子は磁界耐性に弱く強磁界にさらされるとスピンの向きが狂いやすい。また、MTJ素子に用いる磁性体のナノスケール化によって生じる磁化揺らぎを制御する必要がある。

## 【0383】

さらに、MTJ素子は希土類元素を使用するため、金属汚染を嫌うシリコン半導体のプロセスに組み入れるには相当の注意を要する。MTJ素子はビット当たりの材料コストから見ても高価であると考えられる。

## 【0384】

一方、上記実施の形態で示す不揮発性の記憶回路が有する、酸化物半導体層にチャネルが形成されるトランジスタは、チャネルが形成される領域が金属酸化物でなること以外は

40

50



、素子構造や動作原理がシリコンMOSFETと同様である。また、酸化物半導体層にチャネルが形成されるトランジスタは磁界の影響を受けず、ソフトエラーも生じ得ないといった特質を有する。このことからシリコン集積回路と非常に整合性が良いといえる。

【実施例1】

【0385】

本発明の一態様に係る信号処理回路を利用することで、消費電力の低い電子機器を提供することが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い信号処理回路をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。

【0386】

本発明の一態様に係る信号処理回路は、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る信号処理回路を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。

【0387】

本発明の一態様に係る信号処理回路を、携帯電話、スマートフォン、電子書籍などの携帯用の電子機器に応用した場合について説明する。

【0388】

図9は、携帯用の電子機器のブロック図である。図9に示す携帯用の電子機器はRF回路421、アナログベースバンド回路422、デジタルベースバンド回路423、バッテリー424、電源回路425、アプリケーションプロセッサ426、フラッシュメモリ430、ディスプレイコントローラ431、メモリ回路432、ディスプレイ433、タッチセンサ439、音声回路437、キーボード438などより構成されている。ディスプレイ433は表示部434、ソースドライバ435、ゲートドライバ436によって構成されている。アプリケーションプロセッサ426はCPU427、DSP428、インターフェース429を有している。例えば、CPU427、デジタルベースバンド回路423、メモリ回路432、DSP428、インターフェース429、ディスプレイコントローラ431、音声回路437のいずれかまたは全てに上記実施の形態で示した信号処理回路を採用することによって、消費電力を低減することができる。

【0389】

図10は電子書籍のブロック図である。電子書籍はバッテリー451、電源回路452、マイクロプロセッサ453、フラッシュメモリ454、音声回路455、キーボード456、メモリ回路457、タッチパネル458、ディスプレイ459、ディスプレイコントローラ460によって構成される。マイクロプロセッサ453はCPU461、DSP462、インターフェース463を有している。例えば、CPU461、音声回路455、メモリ回路457、ディスプレイコントローラ460、DSP462、インターフェース463のいずれかまたは全てに上記実施の形態で示した信号処理回路を採用することで、消費電力を低減することが可能になる。

【0390】

本実施例は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【実施例2】

【0391】

In、Sn、Znを含有する酸化物半導体を用いたトランジスタは、酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。

10

20

30

40

50

## 【0392】

なお、In、Sn、Znは組成比でそれぞれ5 atomic %以上含まれていると好ましい。

## 【0393】

In、Sn、Znを含有する酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。

## 【0394】

また、nチャネル型のトランジスタのしきい値電圧をプラスシフトさせることができる。

## 【0395】

nチャネル型のトランジスタのしきい値電圧をプラスシフトさせることにより、nチャネル型のトランジスタのオフ状態を維持するための電圧の絶対値を低くすることができ、低消費電力化が可能となる。

## 【0396】

さらに、nチャネル型のトランジスタのしきい値電圧をプラスシフトさせて、しきい値電圧を0V以上にすれば、ノーマリーオフ型のトランジスタを形成することが可能となる。

## 【0397】

以下、In、Sn、Znを含有する酸化物半導体を用いたトランジスタの特性を示す。

## 【0398】

(サンプルA～C共通条件)

組成比としてIn:Sn:Zn=1:1:1のターゲットを用いて、ガス流量比をAr/O<sub>2</sub>=6/9 sccm、成膜圧力を0.4 Pa、成膜電力100Wとして、15nmの厚さとなるように基板上に酸化物半導体層を成膜した。

## 【0399】

次に、酸化物半導体層を島状になるようにエッチング加工した。

## 【0400】

そして、酸化物半導体層上に50nmの厚さとなるようにタンゲステン層を成膜し、これをエッチング加工してソース電極及びドレイン電極を形成した。

## 【0401】

次に、プラズマCVD法を用いて、シランガス(SiH<sub>4</sub>)と一酸化二窒素(N<sub>2</sub>O)を用いて100nmの厚さとなるように酸化窒化珪素膜(SiON)を形成してゲート絶縁膜とした。

## 【0402】

次に、15nmの厚さとなるように窒化タンタルを形成し、135nmの厚さとなるようにタンゲステンを形成し、これらを実加工してゲート電極を形成した。

## 【0403】

さらに、プラズマCVD法を用いて、300nmの厚さとなるように酸化窒化珪素膜(SiON)を形成し、1.5μmの厚さとなるようにポリイミド膜を形成し層間絶縁膜とした。

## 【0404】

次に、層間絶縁膜にコンタクトホールを形成し、50nmの厚さとなるように第1のチタン膜を形成し、100nmの厚さとなるようにアルミニウム膜を形成し、50nmの厚さとなるように第2のチタン膜を形成し、これらを実加工して測定用のパッドを形成した。

## 【0405】

以上のようにしてトランジスタを有する半導体装置を形成した。

## 【0406】

(サンプルA)

サンプルAは酸化物半導体層の成膜中に基板に意図的な加熱を施さなかった。

10

20

30

40

50

## 【0407】

また、サンプルAは酸化物半導体層の成膜後であって、酸化物半導体層のエッチング加工前に加熱処理を施さなかった。

## 【0408】

(サンプルB)

サンプルBは基板を200℃になるように加熱した状態で酸化物半導体層の成膜を行った。

## 【0409】

また、サンプルBは酸化物半導体層の成膜後であって、酸化物半導体層のエッチング加工前に加熱処理を施さなかった。

10

## 【0410】

基板を加熱した状態で成膜を行った理由は、酸化物半導体層中でドナーとなる水素を追い出すためである。

## 【0411】

(サンプルC)

サンプルCは基板を200℃になるように加熱した状態で酸化物半導体層の成膜を行った。

## 【0412】

さらに、サンプルCは酸化物半導体層の成膜後であって、酸化物半導体層のエッチング加工前に窒素雰囲気中で650℃1時間の加熱処理を施した後、酸素雰囲気中で650℃1時間の加熱処理を施した。

20

## 【0413】

窒素雰囲気中で650℃1時間の加熱処理を施した理由は、酸化物半導体層中でドナーとなる水素を追い出すためである。

## 【0414】

ここで、酸化物半導体層中でドナーとなる水素を追い出すための加熱処理で酸素も離脱し、酸化物半導体層中でキャリアとなる酸素欠損も生じてしまう。

## 【0415】

そこで、酸素雰囲気中で650℃1時間の加熱処理を施すことにより、酸素欠損を低減する効果を狙った。

30

## 【0416】

(サンプルA～Cのトランジスタの特性)

図19(A)にサンプルAのトランジスタの初期特性を示す。

## 【0417】

図19(B)にサンプルBのトランジスタの初期特性を示す。

## 【0418】

図19(C)にサンプルCのトランジスタの初期特性を示す。

## 【0419】

サンプルAのトランジスタの電界効果移動度は $18.8 \text{ cm}^2 / \text{V s e c}$ であった。

## 【0420】

サンプルBのトランジスタの電界効果移動度は $32.2 \text{ cm}^2 / \text{V s e c}$ であった。

40

## 【0421】

サンプルCのトランジスタの電界効果移動度は $34.5 \text{ cm}^2 / \text{V s e c}$ であった。

## 【0422】

ここで、サンプルA～Cと同様の成膜方法で形成した酸化物半導体層の断面を透過型顕微鏡(TEM)で観察したところ、成膜時に基板加熱を行ったサンプルB及びサンプルCと同様の成膜方法で形成したサンプルには結晶性が確認された。

## 【0423】

そして、驚くべきことに、成膜時に基板加熱を行ったサンプルは、結晶性部分と非結晶性部分とを有し、結晶性部分の配向がc軸配向に揃っている結晶性であった。

50

## 【0424】

通常の多結晶では結晶性部分の配向が揃っておらず、ばらばらの方向を向いているため、成膜時に基板加熱を行ったサンプルは新しい構造を有している。

## 【0425】

また、図19(A)~(C)を比較すると、成膜時に基板加熱を行うこと、又は、成膜後に加熱処理を行うことにより、ドナーとなる水素元素を追い出すことができるため、nチャネル型トランジスタのしきい値電圧をプラスシフトできることが理解できる。

## 【0426】

即ち、成膜時に基板加熱を行ったサンプルBのしきい値電圧は、成膜時に基板加熱を行っていないサンプルAのしきい値電圧よりもプラスシフトしている。

10

## 【0427】

また、成膜時に基板加熱を行ったサンプルB及びサンプルCを比較した場合、成膜後に加熱処理を行ったサンプルCの方が、成膜後に加熱処理を行っていないサンプルBよりもプラスシフトしていることがわかる。

## 【0428】

また、水素のような軽元素は加熱処理の温度が高いほど離脱しやすいため、加熱処理の温度が高いほど水素が離脱しやすい。

## 【0429】

よって、成膜時又は成膜後の加熱処理の温度を更に高めればよりプラスシフトが可能であると考察した。

20

## 【0430】

(サンプルBとサンプルCのゲートBTストレス試験結果)

サンプルB(成膜後加熱処理なし)及びサンプルC(成膜後加熱処理あり)とに対してゲートBTストレス試験を行った。

## 【0431】

まず、基板温度を25とし、 $V_{ds}$ を10Vとし、トランジスタの $V_g - I_d$ 特性の測定を行い、加熱及びプラスの高電圧印加を行う前のトランジスタの特性を測定した。

## 【0432】

次に、基板温度を150とし、 $V_{ds}$ を0.1Vとした。

## 【0433】

次に、ゲート絶縁膜に印加される $V_g$ に20Vを印加し、そのまま1時間保持した。

30

## 【0434】

次に、 $V_g$ を0Vとした。

## 【0435】

次に、基板温度25とし、 $V_{ds}$ を10Vとし、トランジスタの $V_g - I_d$ 測定を行い、加熱及びプラスの高電圧印加を行った後のトランジスタの特性を測定した。

## 【0436】

以上のようにして、加熱及びプラスの高電圧印加を行う前後のトランジスタの特性を比較することをプラスBT試験と呼ぶ。

## 【0437】

一方、まず基板温度を25とし、 $V_{ds}$ を10Vとし、トランジスタの $V_g - I_d$ 特性の測定を行い、加熱及びマイナスの高電圧印加を行う前のトランジスタの特性を測定した。

40

## 【0438】

次に、基板温度を150とし、 $V_{ds}$ を0.1Vとした。

## 【0439】

次に、ゲート絶縁膜に $V_g$ に-20Vを印加し、そのまま1時間保持した。

## 【0440】

次に、 $V_g$ を0Vとした。

## 【0441】

50

次に、基板温度 25 とし、 $V_{ds}$  を 10 V とし、トランジスタの  $V_g - I_d$  測定を行い、加熱及びマイナスの高電圧印加を行った後のトランジスタの特性を測定した。

【0442】

以上のようにして、加熱及びマイナスの高電圧印加を行う前後のトランジスタの特性を比較することをマイナス BT 試験と呼ぶ。

【0443】

図 20 (A) はサンプル B のプラス BT 試験結果であり、図 20 (B) はサンプル B のマイナス BT 試験結果である。

【0444】

図 21 (A) はサンプル C のプラス BT 試験結果であり、図 21 (B) はサンプル C の

10

【0445】

プラス BT 試験及びマイナス BT 試験はトランジスタの劣化具合を判別する試験であるが、図 20 (A) 及び図 21 (A) を参照すると少なくともプラス BT 試験の処理を行うことにより、しきい値電圧をプラスシフトさせることができることがわかった。

【0446】

特に、図 20 (A) ではプラス BT 試験の処理を行うことにより、トランジスタがノーマリーオフ型になったことがわかる。

【0447】

よって、トランジスタの作製時の加熱処理に加えて、プラス BT 試験の処理を行うこと

20

【0448】

図 14 はサンプル A のトランジスタのオフ電流と測定時の基板温度 (絶対温度) の逆数との関係を示す。

【0449】

ここでは、測定時の基板温度の逆数に 1000 を掛けた数値 ( $1000 / T$ ) を横軸としている。

【0450】

なお、図 14 ではチャネル幅 1  $\mu\text{m}$  の場合における電流量を図示している。

30

【0451】

基板温度が 125 ( $1000 / T$  が約 2.51) のとき  $1 \times 10^{-19}$  A 以下となっていた。

【0452】

基板温度が 85 ( $1000 / T$  が約 2.79) のとき  $1 \times 10^{-20}$  A 以下となっていた。

【0453】

つまり、シリコン半導体を用いたトランジスタと比較して極めて低いオフ電流であることがわかった。

【0454】

なお、温度が低いほどオフ電流が低下するため、常温であればより低いオフ電流であることは明らかである。

40

【符号の説明】

【0455】

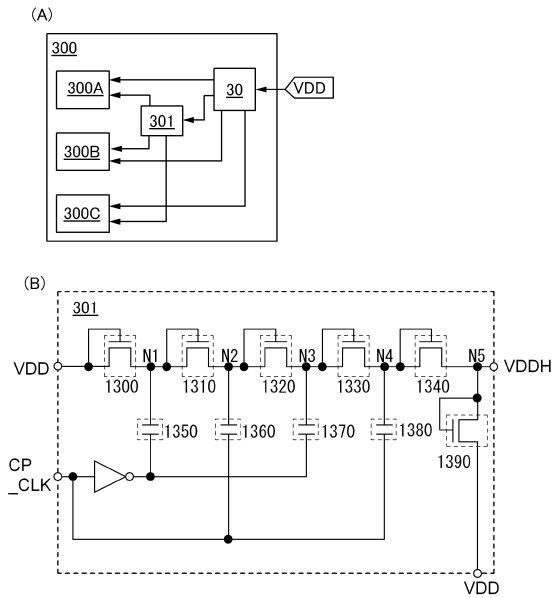
- 10 記憶回路
- 11 トランジスタ
- 12 容量素子
- 30 電源回路
- 100 記憶回路
- 133 トランジスタ

50

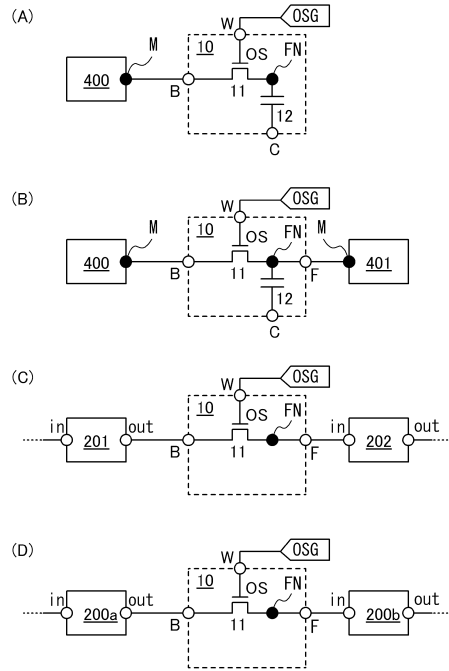
2 0 0	記憶回路	
2 0 0 a	記憶回路	
2 0 0 b	記憶回路	
2 0 1	演算回路	
2 0 2	演算回路	
2 0 3	スイッチ	
2 0 4	演算回路	
2 0 5	スイッチ	
2 2 4	インバータ	
3 0 0	信号処理回路	10
3 0 1	昇圧回路	
4 0 0	回路	
4 0 1	回路	
4 2 1	R F 回路	
4 2 2	アナログベースバンド回路	
4 2 3	デジタルベースバンド回路	
4 2 4	バッテリー	
4 2 5	電源回路	
4 2 6	アプリケーションプロセッサ	
4 2 7	C P U	20
4 2 8	D S P	
4 2 9	インターフェース	
4 3 0	フラッシュメモリ	
4 3 1	ディスプレイコントローラ	
4 3 2	メモリ回路	
4 3 3	ディスプレイ	
4 3 4	表示部	
4 3 5	ソースドライバ	
4 3 6	ゲートドライバ	
4 3 7	音声回路	30
4 3 8	キーボード	
4 3 9	タッチセンサ	
4 5 1	バッテリー	
4 5 2	電源回路	
4 5 3	マイクロプロセッサ	
4 5 4	フラッシュメモリ	
4 5 5	音声回路	
4 5 6	キーボード	
4 5 7	メモリ回路	
4 5 8	タッチパネル	40
4 5 9	ディスプレイ	
4 6 0	ディスプレイコントローラ	
4 6 1	C P U	
4 6 2	D S P	
4 6 3	インターフェース	
7 0 0	基板	
7 0 1	絶縁膜	
7 0 2	半導体膜	
7 0 3	ゲート絶縁膜	
7 0 4	半導体層	50

7 0 7	ゲート電極	
7 0 9	不純物領域	
7 1 0	チャンネル形成領域	
7 1 2	絶縁膜	
7 1 3	絶縁膜	
7 1 6	酸化物半導体層	
7 1 9	導電層	
7 2 0	導電層	
7 2 1	ゲート絶縁膜	
7 2 2	ゲート電極	10
7 2 4	絶縁膜	
7 2 6	配線	
7 2 7	絶縁膜	
9 0 8	高濃度領域	
9 1 8	高濃度領域	
9 1 9	チャンネル形成領域	
9 2 8	高濃度領域	
9 2 9	低濃度領域	
9 3 0	サイドウォール	
9 3 1	チャンネル形成領域	20
9 4 8	高濃度領域	
9 4 9	低濃度領域	
9 5 0	サイドウォール	
9 5 1	チャンネル形成領域	
1 3 0 0	トランジスタ	
1 3 1 0	トランジスタ	
1 3 2 0	トランジスタ	
1 3 3 0	トランジスタ	
1 3 4 0	トランジスタ	
1 3 5 0	容量素子	30
1 3 6 0	容量素子	
1 3 7 0	容量素子	
1 3 8 0	容量素子	
1 3 9 0	トランジスタ	
3 0 0 A	回路ブロック	
3 0 0 B	回路ブロック	
3 0 0 C	回路ブロック	
7 3 0 1	導電層	
7 3 0 2	絶縁膜	
7 3 0 3	導電膜	40

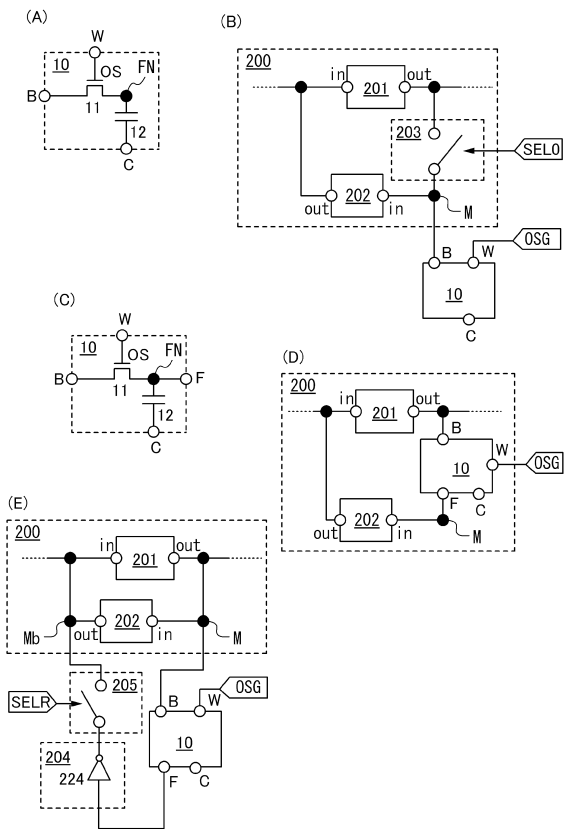
【図1】



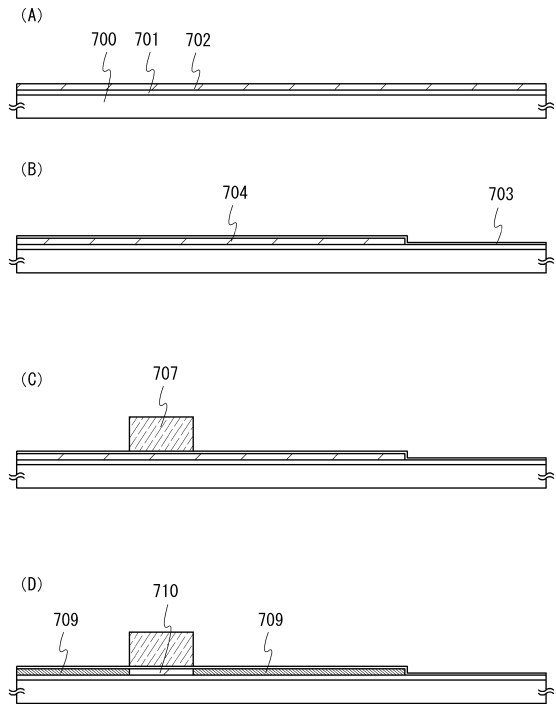
【図2】



【図3】

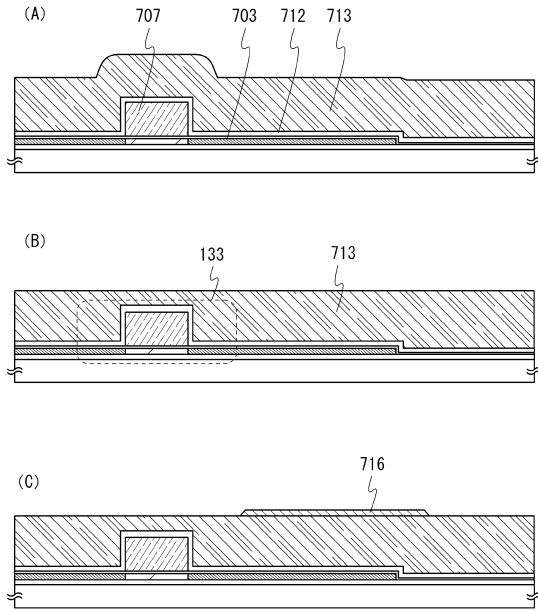


【図4】

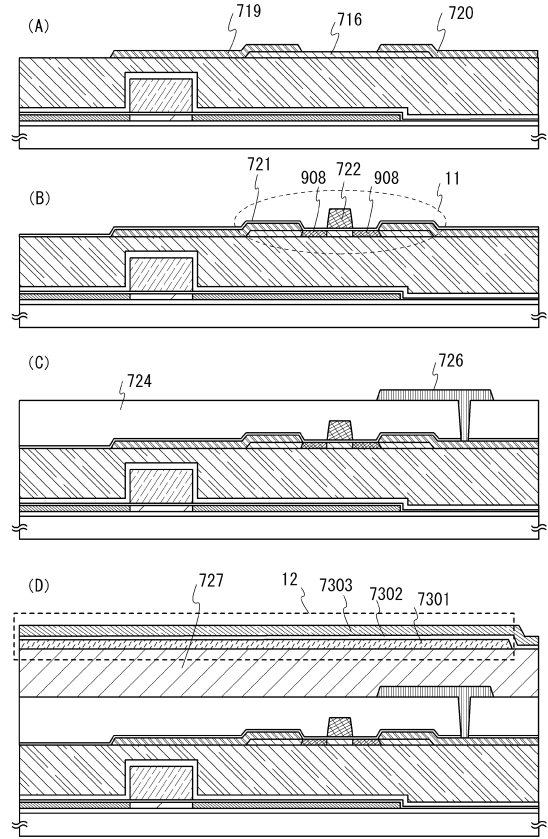




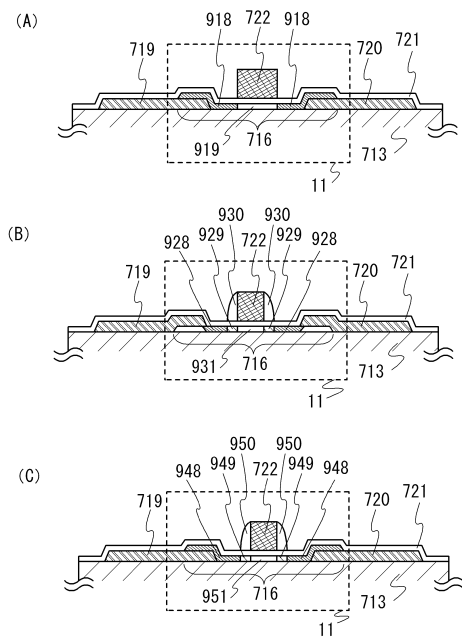
【図5】



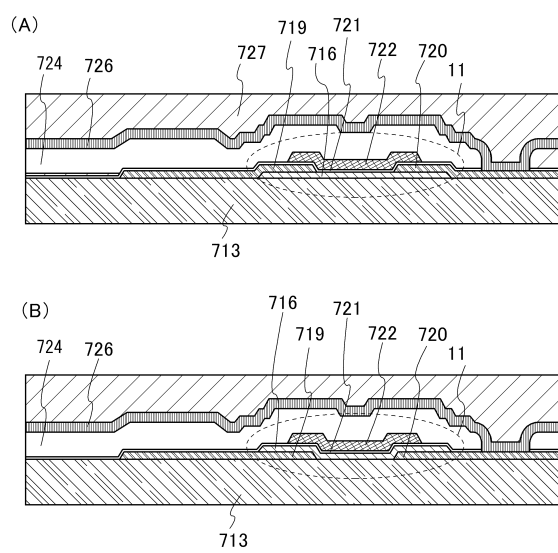
【図6】



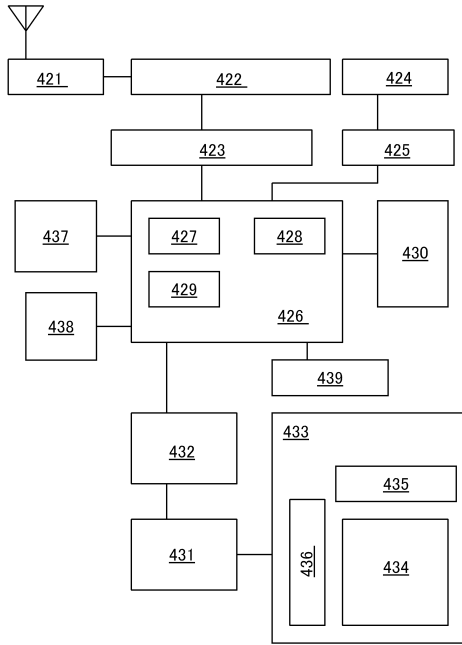
【図7】



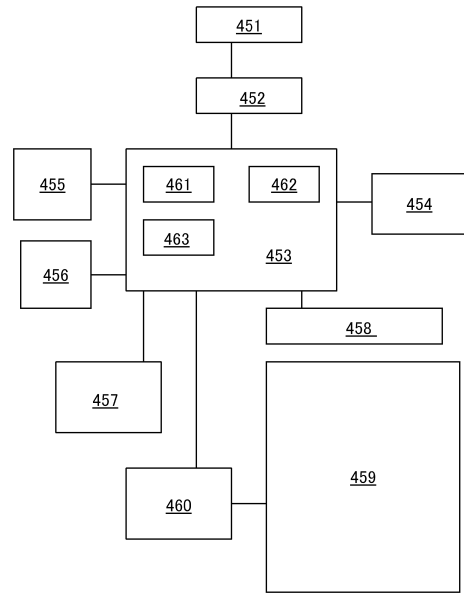
【図8】



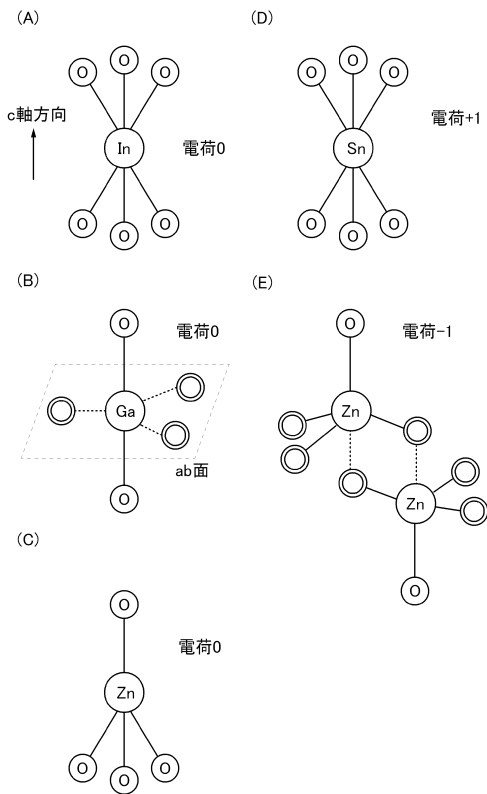
【図9】



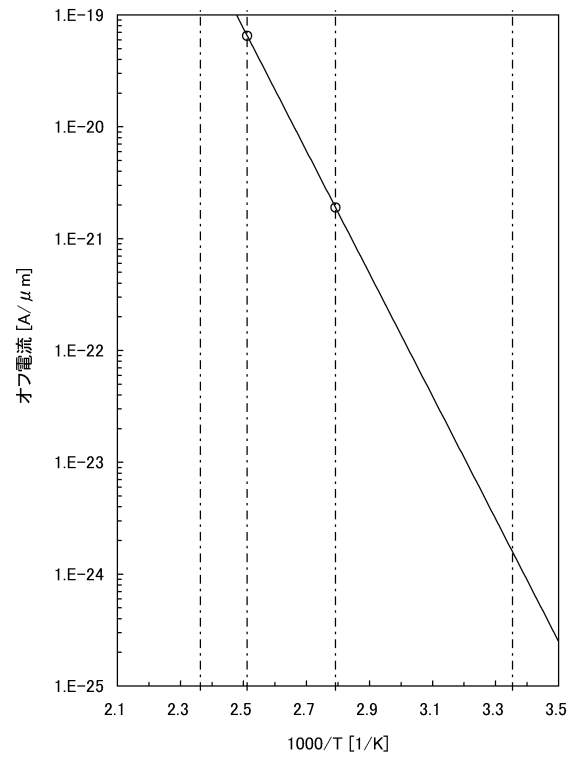
【図10】



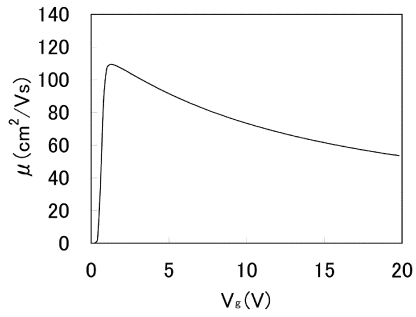
【図11】



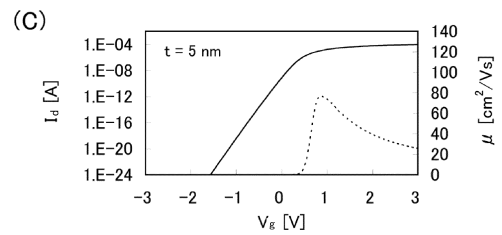
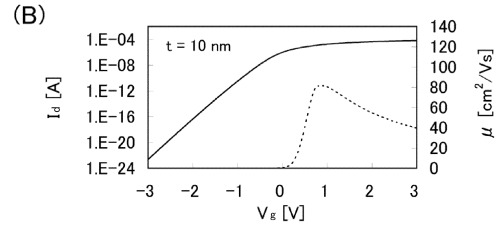
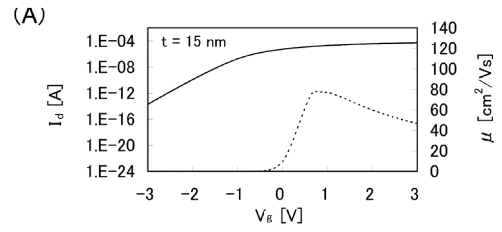
【図14】



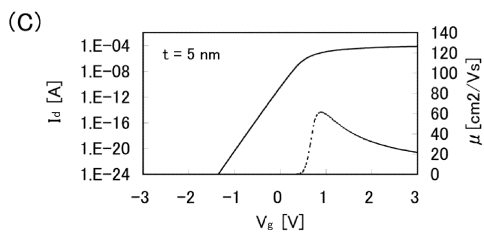
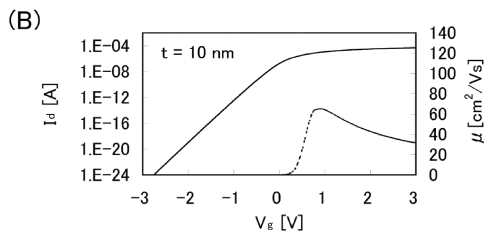
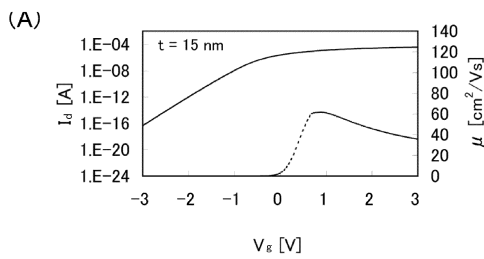
【 図 1 5 】



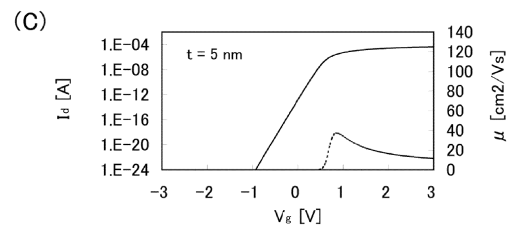
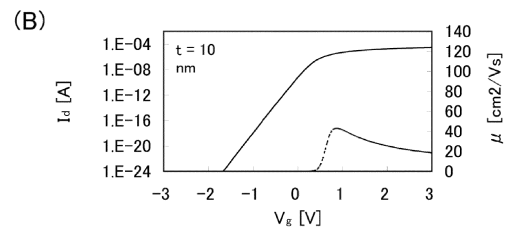
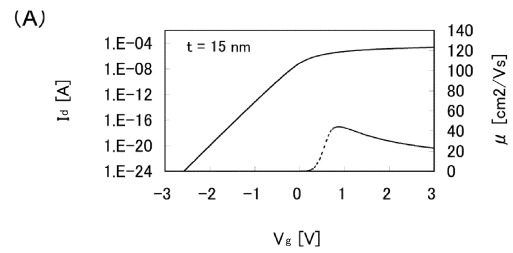
【 図 1 6 】



【 図 1 7 】

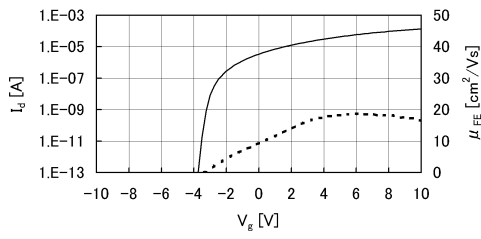


【 図 1 8 】

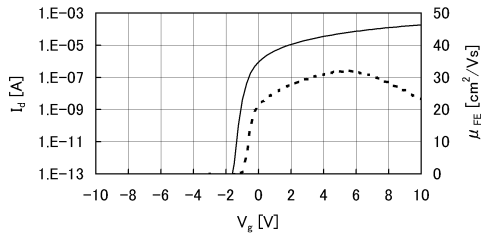


【 19 】

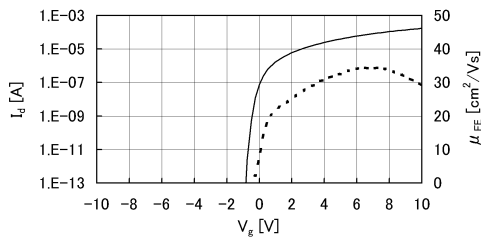
(A)



(B)

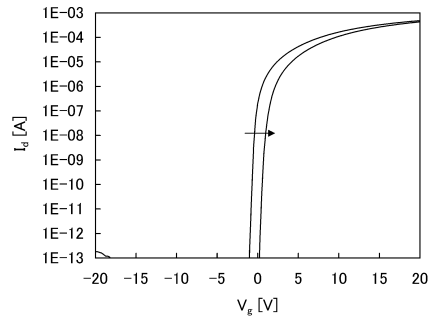


(C)

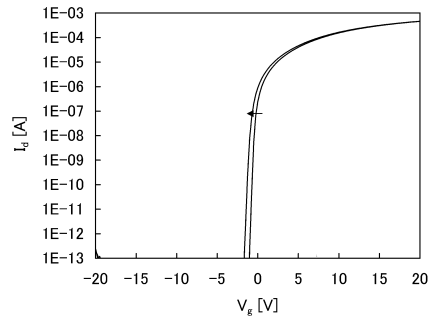


【 20 】

(A)

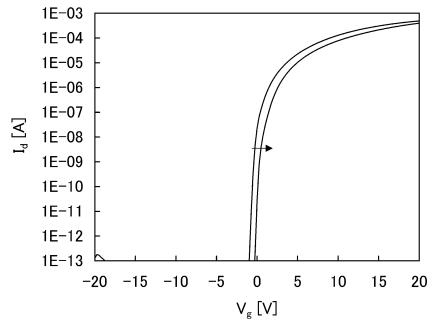


(B)

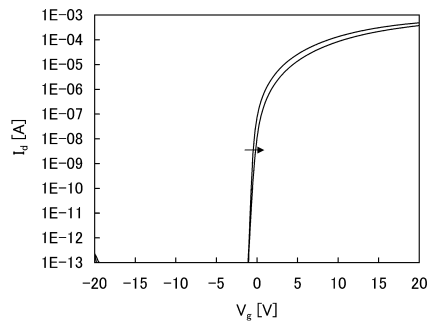


【 21 】

(A)

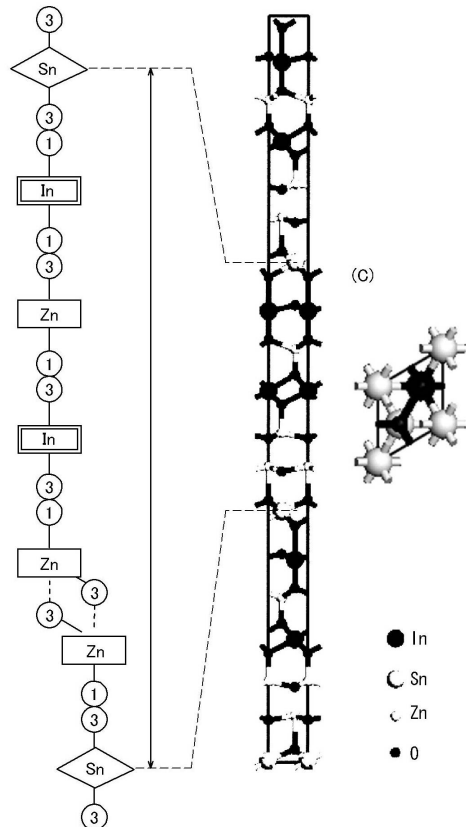


(B)

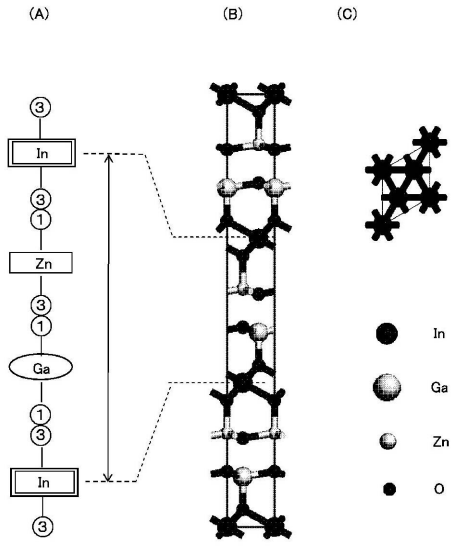


【 12 】

(A)



【 図 13 】



---

フロントページの続き

- (56)参考文献 特開平05 - 110392 (JP, A)  
特開2010 - 171394 (JP, A)  
特開平08 - 241585 (JP, A)  
特開2003 - 151292 (JP, A)  
特開2001 - 231248 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00  
H03K19/01 ~ 19/082  
H03K19/094 ~ 19/23  
H03K 3/00 ~ 3/36