

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G11C 11/407

(45) 공고일자 1999년06월 15일

(11) 등록번호 10-0198617

(24) 등록일자 1999년03월02일

(21) 출원번호 10-1995-0058901

(65) 공개번호 특1997-0051249

(22) 출원일자 1995년12월27일

(43) 공개일자 1997년07월29일

(73) 특허권자 엘지반도체주식회사 구본준  
충청북도 청주시 흥덕구 향정동 1번지  
(72) 발명자 왕성호  
서울특별시 서초구 서초4동 극동아파트 19동 108호  
김대정  
서울특별시 서초구 우면동 4블럭 한라아파트 101동 503호  
(74) 대리인 김용인, 심창섭

심사관 : 김종진

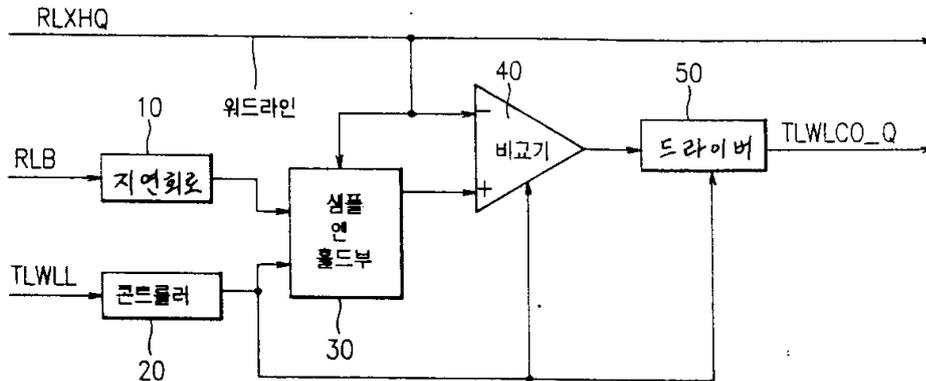
(54) 모오스 캐패시터의 누설전압감지회로

요약

본 발명은 MOS 캐패시터의 누설전압 감지회로에 관한 것으로, 누설전압을 모니터하는 모니터링 캐패시터를 구비하여 MOS 캐패시터의 누설전압을 감지하고, 공정변이에도 덜 민감한 동작이 일어나도록 하며 정밀 측정을 할 수 있도록 하는데 있다.

이를 위한 본 발명의 MOS 캐패시터의 누설전압감지회로는 소정의 타이밍 제어신호를 발생하기 위한 타이밍 제어신호발생부와, 상기 타이밍제어신호발생부의 출력에 의해 스위칭되는 스위칭수단과 MOS 캐패시터를 구비하여 제1전압을 샘플/홀드하는 샘플/홀드부와, 상기 샘플/홀드부의 MOS 캐패시터의 누설전압을 모니터하는 모니터링 캐패시터와, 상기 모니터링 캐패시터에 제2전압으로 충전하여 홀드하는 모니터링 캐패시터 충전부와, 상기 모니터링 캐패시터의 누설전압이 이하로 되면 이를 감지하는 누설전압검출부를 구비하여서 됨을 특징으로 한다.

대표도



명세서

[발명의 명칭]

모오스(MOS) 캐패시터의 누설전압 감지회로

[도면의 간단한 설명]

제1도는 종래의 누설전압감지회로의 블록구성도.

제2도는 제1도의 누설전압감지회로의 상세회로도.

제3도는 제2도의 노드 P 누설전압과 노드 N 누설전압의 타이밍차트.

제4도는 본 발명의 MOS 캐패시터의 누설전압감지회로의 상세회로도.

제5도는 본 발명의 MOS 캐패시터의 누설전압감지회로의 타이밍차트이다.

## \* 도면의 주요부분에 대한 부호의 설명

60 : 타이밍제어신호발생부            70 : 모니터링 캐패시터 충전부

80 : 누설전압검출부                90 : 모니터링 캐패시터

100 : 샘플/홀드부

## [발명의 상세한 설명]

본 발명은 MOS 캐패시터의 누설전압감지회로에 관한 것으로서 구체적으로는 누설전압을 모니터링하는 모니터링 캐패시터를 구비하여 샘플/홀드회로의 MOS캐패시터의 누설전압을 감지하는 MOS 캐패시터의 누설전압 감지회로에 관한 것이다.

샘플/홀드회로의 MOS 캐패시터를 이용하는 종래의 회로로서는, 미국특허 제5, 117, 426호에 기재된 것이 있다.

상기 특허에 기재된 발명은 제1도 및 제2도에 도시된 바와 같이, 공지의 DRAM 타이밍 및 제어회로(도시않됨)에 의해 각 워드라인의 액세스동안 발생하는 제어신호 RLB를 반전시켜서 지연시키기 위한 인버터(11) 및 딜레이(12~14)로 구성되는 지연회로(10)와, 상기 지연회로(10)의 출력과 테스트동안 발생하는 하이레벨의 제어신호 TLWL를 논리 연산하여 출력하도록 NAND게이트(21), 인버터(22, 23) 및 NOR게이트(24)로 형성되는 콘트롤러(20)와, 상기 콘트롤러(20)의 한 출력신호에 따라 워드라인의 프리차지된 전압을 샘플하여 홀드하도록 nMOSFET(31, 33), 샘플 캐패시터(32), 캐패시터(35), 프로그램어블 스위치(34) 및 프로브(36)로 구성되는 샘플/홀드부(30)와, 상기 샘플/홀드부(30)의 홀드신호와 워드라인의 신호를 비교하여 워드라인의 누설유무를 검출하는 능동부하를 갖는 차동증폭기(41~44)로 구성되는 비교기(40)와, 상기 비교기(40)에서 검출되는 신호를 출력시키는 드라이버(50)로 구성되어 있다.

상기 본 발명에 의하면, 공지의 DRAM 타이밍 및 제어회로에 의하여 발생된 하이레벨의 제어신호 RLB 및 TLWL가 입력될 때, 상기 제어신호 RLB가 지연회로(10)를 통하여 콘트롤러(20)의 입력단자에 입력되기 이전에는 NAND게이트(21)의 출력은 로우레벨이 되고 이 신호가 인버터(22)를 통하여 반전된 이후 도통상태의 nMOSFET(33)를 통하여 nMOSFET(31)를 트리거 시켜서 도통시키며 이것에 의해 프리차지되는 워드라인의 전압이 샘플/홀드(30)의 샘플 캐패시터(32)에 충전되고, 샘플 캐패시터(32)의 충전 전압(노드 N의 전압)이 워드라인의 전압(노드 P의 전압)과 동일하게 될때 지연회로(10)를 통하여 지연된 제어신호 RLB가 NAND 게이트(21)의 한 입력단자에 입력되어서 nMOSFET(31)가 오프되므로 제3도의 시간  $t_0$ 에서 워드라인의 전압이 캐패시터(32)에 심플홀드된다.

이어서, 노드 N의 전위는 제3도의 시간  $t_0$ 에 도시되어 있는 바와 같이, 프로그램어블스위치(34)와 MOS 캐패시터(35)의 작용으로 약간 플 다운되는 전압으로 세트된다.

이때, 노드 P의 전압이 노드 N의 전압보다 큰 상태로 유지되어 있으므로, 후단의 비교기(40)에서 노드 P의 높은 전압이 게이트에 인가된 nMOSFET(44)의 전류는 노드 N의 낮은 전압이 게이트에 인가된 nMOSFET(43)의 전류보다 크게되므로 노드 R의 전압은 접속되는 드라이버(50)의 인버터(52)의 로직 드레쉬 홀드전압보다 낮게 하강하게 되어서 인버터(52)의 출력은 하이레벨의 신호를 출력하게 된다.

그러나, 제3도의 시간  $t_4$ 에서와 같이, 워드라인이 누설되어서 노드 P의 전압이 노드 N의 전압보다 낮아지게 되면, nMOSFET(43)의 전류가 nMOSFET(44)의 전류보다 급격히 상승하게 되어서 노드 R의 전압이 인버터(52)의 로직드레쉬 홀드전압 이상으로 상승하게 되므로, 인버터(52)의 로우레벨로 반전하게 되어서 워드라인의 누설유무를 감지할 수 있다.

그러나, 상기 샘플/홀드회로(30)의 샘플 MOS 캐패시터(32)나 MOS 캐패시터(35)가 누설이 발생하는 경우에는, 워드라인이 누설되어 노드 P의 전압이 하강할 때, 상기 MOS 캐패시터(32, 35)도 누설되어 노드 N의 전압도 하강하게되므로, 비교기(40)의 출력은 이전 상태를 그대로 유지하게 되어 워드라인의 누설 유무를 검출할 수 없게된다.

이와 같이 샘플/홀드회로의 MOS 캐패시터의 누설감지는 메모리 분야 등에 있어서 매우 중요하다.

본 발명은 이와 같은 종래의 샘플/홀드회로의 MOS 캐패시터의 누설에 의한 문제점을 감안하여 샘플/홀드회로의 MOS 캐패시터의 누설전압을 모니터링 MOS 캐패시터로 정확히 감지하여 검출할 수 있는 MOS 캐패시터의 누설전압감지회로를 제공함을 목적으로 하고 있다.

본 발명의 상기 목적을 달성하기 위한 MOS 캐패시터의 누설전압 감지회로는, 소정 타이밍의 제어신호를 발생하기 위한 타이밍 제어신호발생부와, 상기 타이밍제어신호발생부의 출력에 의해 스위칭되는 스위칭수단과 구비하여 제1전압을 샘플/홀드하는 샘플/홀드부와, 상기 샘플/홀드부의 MOS 캐패시터의 누설전압을 모니터링하는 모니터링 캐패시터와, 상기 모니터링 캐패시터에 제2전압으로 충전하여 홀드시키기 위한 모니터링 캐패시터 충전부와, 상기 모니터링 캐패시터의 누설전압이 설정값 이하로 되면 이를 검출하는 누설전압검출부를 구비함을 특징으로 하고 있다.

바람직하기로는, 본 발명의 상기 모니터링 캐패시터는 상기 샘플/홀드부의 MOS 캐패시터와 동일 타입으로 구성됨과 동시에 상기 모니터링 캐패시터의 누설전류와 상기 샘플/홀드부의 MOS 캐패시터의 누설전류가 동일하게 되도록 구성하여 모니터링 캐패시터의 누설전압을 측정하여 상기 샘플/홀드부의 MOS 캐패시터의 누설전압을 정확히 측정할 수 있도록 한 것이다.

더욱 바람직하기로는, 상기 모니터링 캐패시터의 용량은 상기 MOS 캐패시터의 용량의 1/N배(단, N은 1보다 크다)가 되도록 하여 샘플/홀드부의 MOS 캐패시터의 누설전압검출의 해상도를 N배로 늘리도록 한 것이다.

이하, 첨부된 도면에 근거하여 본 발명의 바람직한 실시예에 대하여 설명한다.

제4도는 본 발명의 바람직한 실시예의 상세회로도이고, 제5도는 본 발명의 동작을 나타내는

타이밍도이다.

본 발명의 MOS 캐패시터 누설전압검출회로는 제4도에 도시되어 있는 바와 같이, 소정의 제어신호를 발생하는 타이밍제어신호발생부(60)와, 누설감지의 시작을 알리는 시작에 의해 제1전압을 샘플/홀드하는 샘플/홀드부(100)와, 상기 샘플/홀드부(100)의 누설전압을 모니터링하는 모니터링 캐패시터(90)와, 제2전압을 발생하여 상기 모니터링 캐패시터(90)에 충전하여 홀드시키기 위한 모니터링 캐패시터 충전부(70)와, 상기 모니터링 수단의 홀드전압이 누설되어 설정값 이하로 될 때 이를 검출하는 누설전압 검출부(80)로 구성되어 있다.

상기 타이밍제어신호발생부(60)는 신호지연을 발생하는 직렬 연결의 인버터(61~64)와, 상기 인버터(64)의 출력과 누설테스트신호(TS)를 논리 연산하는 NAND게이트(65)와, NAND 게이트(65)의 출력을 반전시켜 출력하는 인버터(66)로 구성되어 있다.

상기 샘플/홀드회로부(100)는 상기 타이밍 제어신호 발생부의 출력신호에 의해 동작하는 nMOSFET( $N_1$ )와, 상기 nMOSFET( $N_1$ )의 드레인에 병렬적으로 연결되는 복수개의 MOS 캐패시터( $C_1, C_2 \sim C_n$ )로 구성된다.

따라서, 상기 타이밍제어신호 발생부(60)의 출력이 하이신호가 되면 상기 nMOSFET( $N_1$ )는 턴온되어 상기 복수의 MOS 캐패시터( $C_1, C_2 \sim C_n$ )는 제1전압을 샘플/홀드한다.

상기 모니터링 캐패시터(90)는 통상의 MOS 캐패시터로서, 본 실시예는 전술한 샘플/홀드부의 MOS 캐패시터( $C_1, \dots, C_n$ )의 각각과 동일타입이고, 동일용량의 것으로서 n개로 병렬 접속되어 형성되는 샘플/홀드 MOS 캐패시터( $C_1, \dots, C_n$ )의 전체용량의 1/N의 용량을 가지도록 설정되어 있다.

상기 모니터링 캐패시터 충전부(70)는 소정의 로직 드레쉬홀드전압  $V_1$ 를 가지는 인버터(72)에 nMOSFET(75)를 병렬로 접속시키고, 인버터(72)의 입력측에는 인버터의 입출력 양단에서의 플로팅을 방지하기 위한 pMOSFET(76)와, 인버터(72)의 출력측에는  $V_1$ 전압을 모니터링 캐패시터(90)에 충전하기 위한 nMOSFET(71)와, 상기 nMOSFET(75)의 턴오프 동작시 발생하는 에러전하의 유입을 방지하기 위한 2개의 인버터(73, 74)로 형성된 시간 지연수단이 nMOSFET(71)와 nMOSFET(75)의 게이트사이에 접속되어 있고, 또한 모니터링 캐패시터(90)에 소정의 전압을 충전하여 홀드하기전에 모니터링 캐패시터(90)의 잔여전하를 방출시키기 위한 nMOSFET(78)와 인버터(77)를 구비하고 있다.

상기 누설전압검출부(80)는 상기 모니터링 캐패시터(90)가 설정 전압이하로 누설될 때 이를 검출하기 위해 로직 드레쉬 홀드전압  $V_2$ 를 가지는 인버터(81)와, 상기 인버터(81)의 출력을 증폭하여 출력시키기 위한 2개의 인버터(82, 83)로 구성되는 증폭수단으로 구성되어 있다.

또한 모니터링 캐패시터의 게이트전극과 접속되는 2개의 스위칭용의 nMOSFET(71, 78)의 정크손(junction)의 크기와 공통 접속되는 MOS 캐패시터( $C_1, \dots, C_n$ )의 게이트전극과 접속되는 스위칭용의 nMOSFET( $N_1$ )의 정크손(junction) 크기를 같게하여 상기 모니터링 캐패시터(90)의 전극으로 부터 누설되는 누설전기량과 n개의 MOS 캐패시터( $C_1, \dots, C_n$ )의 전극으로 부터 누설되는 누설전기량이 동일하도록 하였다.

그리고 상술한 모니터링 캐패시터 충전부(70)의 드레쉬홀드전압  $V_1$ 과 상술한 누설전압검출부(80)의 드레쉬홀드전압  $V_2$ 는, 샘플/홀드부의 감지하고자 하는 누설전압을  $\Delta V$ , 샘플/홀드부의 MOS 캐패시터( $C_1, C_2, \dots, C_n$ )의 전체 합성용량에 대한 모니터링 캐패시터의 용량의 비를 1/N이라할 때,  $N\Delta V = V_1 - V_2$ 되게 설정한 것이다.

이와 같이 구성된 본 발명의 MOS 캐패시터의 누설전압감지회로의 동작에 대하여 제5도의 타이밍도를 참조하여 설명한다.

누설테스트신호(TS)가 하이레벨로 인가되기 이전인 시간  $t_0$  전에는 모니터링 캐패시터(90)의 게이트는 nMOSFET(78)에 의해 로우레벨(0레벨)로 되어 있고 또한 누설전압검출부(80)의 출력은 하이레벨로 되어있으며, 이로 인해 인버터(61~64)를 통하여 NAND게이트(65)의 한 입력단자로 입력되는 신호 역시 하이레벨의 상태에 있게된다.

시간  $t_0$ 에서 시작신호가 하이레벨이 되면 인버터를 거쳐서 nMOSFET( $N_1$ )이 턴오프되어 샘플/홀드부의 MOS 캐패시터( $C_1, \dots, C_n$ )에 제1전압(신호전압)이 홀딩된다.

$t_0$ 에서 타이밍 제어신호발생부(60)의 NAND게이트(65)는 입력이 모두 하이레벨이므로 로우레벨의 신호를 출력하고 인버터(66)의 하이레벨의 신호가 모니터링 캐패시터 충전부(70)에 입력되면 먼저 nMOSFET(71)가 트리거되어 턴온되고 이어 인버터(73, 74)에 의해 소정시간 지연된 후 시간  $t_1$ 에서 노드 L이 하이레벨로 되어 pMOSFET(76)가 턴오프됨과 동시에 nMOSFET(75)가 턴온된다.

따라서 인버터(72)는 입출력이 전기적으로 nMOSFET(75)의 도통으로 서로 전기적으로 접속된 상태로 되어 인버터(73)의 출력은 그의 로직 드레쉬홀드전압  $V_1$ 으로 된다.

이것은  $t_1$  이전에 pMOSFET(76)가 턴오프되어 전압  $V_{DDA}$ 인 하이레벨로 인버터(72)의 입력이 프라차지되고 출력이 로우레벨로 셋팅되나 nMOSFET(75)가 턴온되면 인버터(72)의 입출력은 서로 전기적으로 연결되어 상기 전압  $V_{DDA}$ 에 관계없이 인버터(72)의 로직 드레쉬홀드전압( $V_1$ )에 의하여 인버터(72)의 출력이 결정되기 때문이다.

이어, 인버터(72)의 로직 드레쉬홀드전압  $V_1$ (제2전압)으로 모니터링 캐패시터(90)가 충전되며, 모니터링 캐패시터(90)의 충전에 의해 누설전압검출부(80)의 인버터(81)의 입력단의 전압이 그의 로직 드레쉬홀드 전압  $V_2$ 이상으로 되면, 시간  $t_2$ 에 인버터(81)는 로우레벨의 신호를 출력하고 이는 2개의 인버터(82, 82)를

통하여 로우레벨 상태의 감지신호 DS를 출력한다.

이어, 이 로우레벨의 감지신호 DS는 타이밍 신호발생부(60)의 인버터(61~64)를 통하여 소정시간 지연후에 NAND게이트(65)에 입력되므로 NAND게이트(65)가 하이레벨, 이어 인버터(66)가 로우레벨로 출력하여 모니터링 캐패시터 충전부(70)의 nMOSFET(71)를 턴오프시켜서 모니터링 캐패시터(90)에 설정전압  $V_1$ 을 홀드 시킴과 동시에 인버터(73, 74)를 통하여 시간  $t_3$ 에서 nMOSFET(75)를 턴오프, pMOSFET(76)을 턴온시킨다.

이와같이 nMOSFET(71)와 nMOSFET(75)의 턴오프를 시간적으로 차이를 둬서 nMOSFET(75)의 턴오프에 따른 에러전하가 nMOSFET(71)를 통하여 모니터링 캐패시터(90)로 유입되는 것을 차단한다.

상기 모니터링 캐패시터(90)에 홀드된 전압( $V_1$ )의 누설전압이  $N \cdot \Delta V$ 로 되면 누설전압검출부(80)의 인버터(81)의 인버터(81)의 입력단자에 인가되는 전압이 그의 로직 드레쉬홀드전압  $V_2 (= V_1 - N \cdot \Delta V)$ 되어 시간  $t_4$ 에서 인버터(81)의 출력은 하이레벨로 반전되고 이 하이레벨의 신호는 인버터(82, 83)를 통하여 증폭된 하이레벨의 신호를 시간  $t_4$ 에 출력시키게 되므로 샘플/홀드회로의 MOS 캐패시터( $C_1, \dots, C_n$ )의 누설전압이  $\Delta V$ 로 뒀을 알 수 있게 된다.

본 도면에는 나타나 있지 않으나 감지신호가 로우레벨에서 하이레벨로 천이되면 시간  $t_5$ 에서 누설테스트신호(TS)가 로우레벨로 되어 리세트회로(50)에 의해  $t_0$ 이전의 상태로 리세트된다.

이와같이 구성된 본 발명에 의하면 상기 모니터링 캐패시터(90)의 측정 가능한 누설전압  $N \cdot \Delta V$ 는 모니터링 캐패시터(90)의 홀드전압을 결정하는 인버터(72)의 로직 드레쉬홀드전압  $V_1$ 과 모니터링 캐패시터(90)의 누설을 감지하는 인버터(81)의 로직 드레쉬홀드 전압  $V_2$ 와의 차로서 결정되므로, 이를 인버터(72, 81)의 사이즈를 크게 설계하는 경우 공정변이에 덜 민감하도록 할 수 있다.

또한 상기 로직 드레쉬홀드 그 자체는 공급전압, 온도등의 함수로써 변할 수 있지만, 같은 위치에서 동일하게 설계된 인버터의 로직 드레쉬홀드 차이 그 자체는 공정변이나 공급전압 변동에 상당히 강하다.

또한, 모니터링 캐패시터를 사용하므로 누설전압 검출로 인한 샘플/홀드회로의 캐패시터에 홀드된 전하로의 영향은 전혀 없을 뿐만 아니라, 모니터링 캐패시터의 용량을 샘플/홀드회로의 MOS 캐패시터의 용량의  $1/N$ 으로 설계할 수 있다.

또한, 누설전류를 동일하게 함으로써, 샘플/홀드회로의 MOS 캐패시터의 누설전압의 해상도를 N배(예를 들면 10배)로 확대시킬 수 있으므로 샘플/홀드회로의 캐패시터의 누설전압이 10mV 정도로 되어 감지할 수 있어 정밀도가 대폭적으로 향상되며, 대기상태에 있어서는 인버터(81)에서만 미소하게 전류가 흐르게되므로 전류소모가 매우 적다.

또한 nMOSFET(71)의 오픈시에 클럭 피드 드로우(clock feed through)에 의한 모니터링 캐패시터(90)의 에러전압의 유입은 누설전압검출부(80)의 인버터(81)의 로직 드레쉬홀드전압의 크기로 상기 유입에 따른 전압의 감소를 보상하도록 설계함으로써 치유될 수 있다.

이상과 같이 설명한 본 발명의 실시예는 모니터링 캐패시터가 꼭 MOS 캐패시터에 한정할 필요는 없으며, 경우에 따라서는 메모리셀의 캐패시터에 본 발명을 적용하도록 구현할 수 있다.

또한, 지연수단으로 사용되고 있는 인버터(61~64), 인버터(73, 74) 및 인버터(82, 83)는 타이밍에 따라 구성되는 인버터의 수를 적절히 선택하여 사용할 수 있다.

또한, 상기 샘플/홀드부의 캐패시터에 홀드되는 전압과 상기 모니터링 캐패시터에 홀드되는 전압은 일치하는 것이 바람직하나 실질적으로 양자 캐패시터의 누설전류에 영향이 없는 차이라면 양 전압이 차이가 있더라도 허용될 수 있다.

## (57) 청구의 범위

### 청구항 1

소정의 타이밍 제어신호를 발생하기 위한 타이밍 제어신호발생부와, 상기 타이밍제어신호발생부의 출력에 의해 스위칭되는 스위칭수단과 MOS 캐패시터를 구비하여 제1전압을 샘플/홀드하는 샘플/홀드부와, 상기 샘플/홀드부의 MOS 캐패시터의 누설전압을 모니터링하는 모니터링 캐패시터와, 상기 모니터링 캐패시터에 제2전압으로 충전하여 홀드하는 모니터링 캐패시터 충전부와, 상기 모니터링 캐패시터의 누설전압이 설정값 이하로 되면 이를 검출하는 누설전압검출부를 구비하여서 뒀을 특징으로 하는 MOS 캐패시터의 누설전압감지회로.

### 청구항 2

제1항에 있어서, 상기 모니터링 캐패시터 충전부는 상기 모니터링 캐패시터를 제2전압으로 충전하기 위한 제1인버터 및 인버터의 입출력양단에 접속되는 제1스위칭수단과, 상기 제1인버터의 출력단에 접속되어 상기 모니터링 캐패시터에 상기 제2전압으로 샘플하여 홀드시키기 위한 제2스위칭수단과, 상기 제1 및 제2스위칭수단에 트리거링제어신호를 지연시키기 위한 지연수단을 구비하는 MOS 캐패시터의 누설전압감지회로.

### 청구항 3

제2항에 있어서, 제1 및 제2스위칭수단은 동일 도전형의 채널을 갖는 MOSFET이고, 또 제2전압은 상기 제1인버터의 로직 드레쉬홀드전압임을 특징으로 하는 MOS 캐패시터의 누설전압감지회로.

### 청구항 4

제1항에 있어서, 상기 모니터링 캐패시터 및 상기 샘플/홀드부의 캐패시터는 동일 타입의 MOS 캐패시터이

고, 상기 모니터링 캐패시터의 게이트전극과 이에 접속되는 스위칭 소자와의 정크션의 크기는 상기 샘플/홀드부의 캐패시터의 게이트전극과 이에 접속되는 스위칭소자와의 정크션의 크기와 동일하도록 구성됨을 특징으로 하는 MOS 캐패시터의 누설전압감지회로.

#### 청구항 5

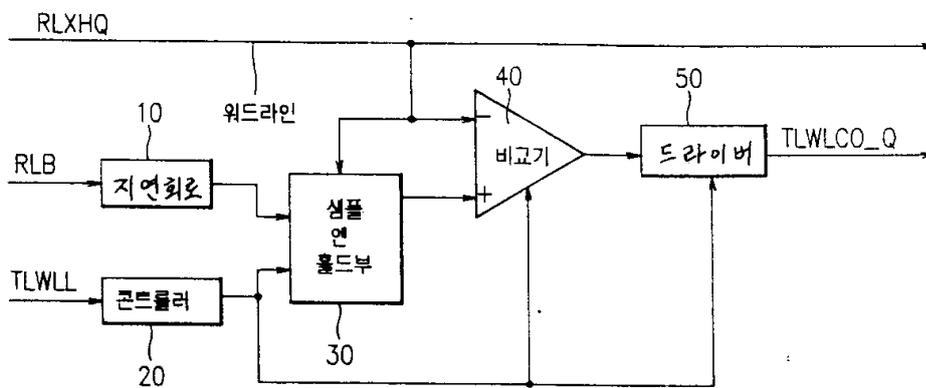
제4항에 있어서, 상기 모니터링 캐패시터의 용량은 상기 샘플/홀드부 MOS 캐패시터의 용량의  $1/N$ 배(단  $N > 1$ )이며, 상기 제1전압과 상기 제2전압은 실질적으로 동일하게 설정됨을 특징으로 하는 MOS 캐패시터의 누설전압감지회로.

#### 청구항 6

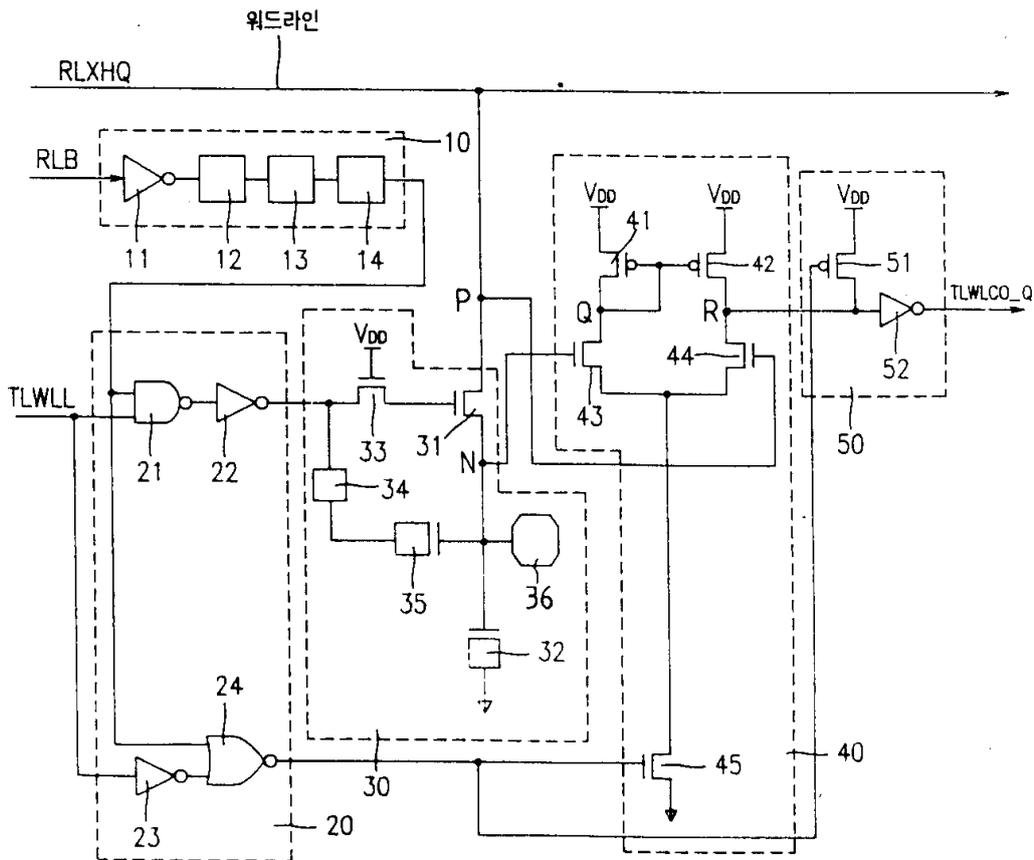
제1항에 있어서, 상기 누설전압검출부는 상기 제2전압보다 작은 제3전압의 로직 드레쉬홀드전압을 가지는 제2인버터를 구비하고, 상기 모니터링 캐패시터에 감지되어 검출되는 누설전압을 상기 제1인버터의 로직 드레쉬홀드전압인 제2전압과, 상기 제2인버터의 로직 드레쉬홀드전압인 제3전압과의 차에 의하여 결정되도록 함을 특징으로 하는 MOS 캐패시터의 누설전압감지회로.

### 도면

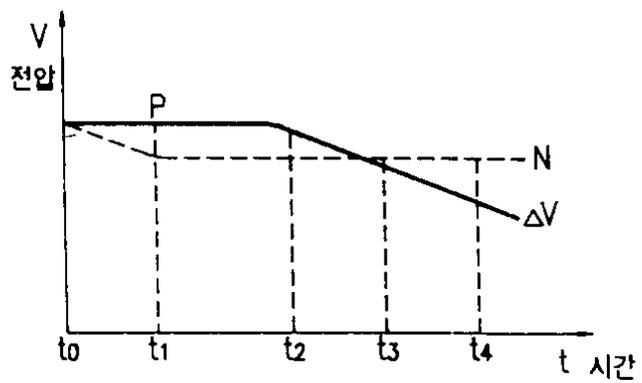
#### 도면1



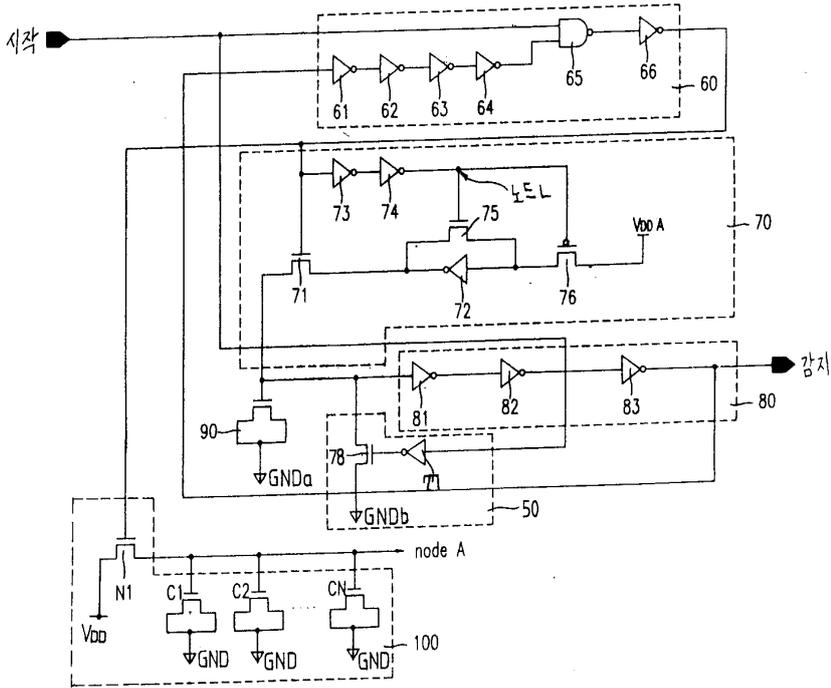
도면2



도면3



도면4



도면5

