

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7392576号  
(P7392576)

(45)発行日 令和5年12月6日(2023.12.6)

(24)登録日 令和5年11月28日(2023.11.28)

(51)国際特許分類	F I
G 0 4 G 3/02 (2006.01)	G 0 4 G 3/02 A
G 0 4 G 7/00 (2006.01)	G 0 4 G 3/02 C
G 0 6 F 1/14 (2006.01)	G 0 4 G 7/00
G 0 4 G 3/00 (2006.01)	G 0 6 F 1/14 5 1 1
	G 0 4 G 3/02 E
請求項の数 12 (全35頁) 最終頁に続く	

(21)出願番号	特願2020-94443(P2020-94443)	(73)特許権者	000002369 セイコーエプソン株式会社 東京都新宿区新宿四丁目1番6号
(22)出願日	令和2年5月29日(2020.5.29)	(74)代理人	100090387 弁理士 布施 行夫
(65)公開番号	特開2021-189037(P2021-189037 A)	(74)代理人	100090398 弁理士 大淵 美千栄
(43)公開日	令和3年12月13日(2021.12.13)	(74)代理人	100148323 弁理士 川 崎 通
審査請求日	令和5年4月4日(2023.4.4)	(74)代理人	100168860 弁理士 松本 充史
		(72)発明者	神山 正之 長野県諏訪市大和3丁目3番5号 セイ コーエプソン株式会社内
		審査官	細見 斉子
最終頁に続く			

(54)【発明の名称】 リアルタイムクロック回路、リアルタイムクロックモジュール、電子機器及びリアルタイムクロック回路の補正方法

(57)【特許請求の範囲】

【請求項1】

振動子を発振させて第1クロック信号を生成する発振回路と、  
前記第1クロック信号を分周して第2クロック信号を生成する第1分周回路と、  
前記第2クロック信号を分周して第3クロック信号を生成するとともに、前記第2クロック信号に基づいて1秒よりも短い時間の第1計時データを生成する第2分周回路と、  
前記第3クロック信号に基づいて1秒以上の時間の第2計時データを生成する計時回路と、

基準信号に同期した間隔での前記第1計時データの変化量に基づいて生成された補正データを用いて、前記間隔に相当する長さの期間において、前記第1分周回路に対して緩急処理を行う論理回路と、を備える、リアルタイムクロック回路。

10

【請求項2】

前記間隔は、前記第3クロック信号の周期よりも長く、  
前記論理回路は、前記期間において、前記第2クロック信号の周期よりも長い時間間隔で前記緩急処理を行う、請求項1に記載のリアルタイムクロック回路。

【請求項3】

前記基準信号の電圧レベルが遷移する所定のタイミングで前記第1計時データを保持するバッファ回路を備える、請求項1又は2に記載のリアルタイムクロック回路。

【請求項4】

保持した前記第1計時データに基づいて前記補正データを生成する補正データ生成回路

20

を備える、請求項 3 に記載のリアルタイムクロック回路。

【請求項 5】

前記第 1 計時データを送信するインターフェース回路を備える、請求項 1 乃至 4 のいずれか一項に記載のリアルタイムクロック回路。

【請求項 6】

前記インターフェース回路は、前記間隔を指定する情報を受信する、請求項 5 に記載のリアルタイムクロック回路。

【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載のリアルタイムクロック回路と、  
前記振動子と、を備えた、リアルタイムクロックモジュール。

10

【請求項 8】

請求項 1 乃至 6 のいずれか一項に記載のリアルタイムクロック回路と、  
前記リアルタイムクロック回路と通信するホストデバイスと、を備えた、電子機器。

【請求項 9】

振動子を発振させて第 1 クロック信号を生成する発振回路と、前記第 1 クロック信号を分周して第 2 クロック信号を生成する第 1 分周回路と、前記第 2 クロック信号を分周して第 3 クロック信号を生成するとともに、前記第 2 クロック信号に基づいて 1 秒よりも短い時間の第 1 計時データを生成する第 2 分周回路と、前記第 3 クロック信号に基づいて 1 秒以上の時間の第 2 計時データを生成する計時回路と、を備えたリアルタイムクロック回路の補正方法であって、

20

前記リアルタイムクロック回路が、基準信号に同期した間隔での前記第 1 計時データの変化量に基づいて生成された補正データを用いて、前記間隔に相当する長さの期間において、前記第 1 分周回路に対して緩急処理を行う工程を備える、リアルタイムクロック回路の補正方法。

【請求項 10】

ホストデバイスが、前記リアルタイムクロック回路に前記基準信号を送信する工程と、  
前記リアルタイムクロック回路が、前記基準信号の電圧レベルが遷移する所定のタイミング毎に前記第 1 計時データを保持する工程と、  
前記リアルタイムクロック回路が、前記ホストデバイスに割込み信号を送信する工程と、  
前記ホストデバイスが、前記割込み信号を受信し、前記間隔で保持された 2 つの前記第 1 計時データを読み出す工程と、

30

前記ホストデバイスが、読み出した 2 つの前記第 1 計時データに基づいて前記補正データを生成し、生成した前記補正データを前記リアルタイムクロック回路の記憶部に書き込む工程と、を含む、請求項 9 に記載のリアルタイムクロック回路の補正方法。

【請求項 11】

ホストデバイスが、前記リアルタイムクロック回路に前記基準信号を送信する工程と、  
前記リアルタイムクロック回路が、前記基準信号の電圧レベルが遷移する所定のタイミング毎に前記第 1 計時データを保持する工程と、

前記リアルタイムクロック回路が、前記間隔で保持された 2 つの前記第 1 計時データに基づいて前記補正データを生成する工程と、を含む、請求項 9 に記載のリアルタイムクロック回路の補正方法。

40

【請求項 12】

ホストデバイスが、前記間隔で前記リアルタイムクロック回路から 2 つの前記第 1 計時データを読み出す工程と、

前記ホストデバイスが、読み出した 2 つの前記第 1 計時データに基づいて前記補正データを生成し、生成した前記補正データを前記リアルタイムクロック回路の記憶部に書き込む工程と、を含む、請求項 9 に記載のリアルタイムクロック回路の補正方法。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、リアルタイムクロック回路、リアルタイムクロックモジュール、電子機器及びリアルタイムクロック回路の補正方法に関する。

【背景技術】

【0002】

特許文献1には、1緩急周期内に緩急量の短い複数回の緩急操作を分散的に実行する分散緩急方式を採用することにより、1緩急周期内で時間基準信号に必要な総緩急量を確保しながら、緩急タイミングにおける時間基準信号の伸縮量を最小に抑え、緩急タイミングと所要の出力タイミングとの干渉を無視できる程まで抑制できる論理緩急回路が開示されている。

【先行技術文献】

10

【特許文献】

【0003】

【文献】特開平06-027265号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1には、緩急量を設定する補正データをどのように生成するかについては開示されていない。例えば32kHzの源振信号あるいはその分周信号を外部装置に出力し、当該信号の周波数を外部装置で測定し、測定結果に基づいて補正データを生成する方法や、1日～1か月といった長期の単位で計時データの累積遅れを正確な基準時間と比較して補正データを生成する方法などが考えられる。しかしながら、前者の場合、外部装置に周波数を測定する構成が必要となる。また、後者の場合、補正精度を向上させるためには長期の計測が必要となる。

20

【課題を解決するための手段】

【0005】

本発明に係るリアルタイムクロック回路の一態様は、  
振動子を発振させて第1クロック信号を生成する発振回路と、  
前記第1クロック信号を分周して第2クロック信号を生成する第1分周回路と、  
前記第2クロック信号を分周して第3クロック信号を生成するとともに、前記第2クロック信号に基づいて1秒よりも短い時間の第1計時データを生成する第2分周回路と、  
前記第3クロック信号に基づいて1秒以上の時間の第2計時データを生成する計時回路と、

30

基準信号に同期した間隔での前記第1計時データの変化量に基づいて生成された補正データを用いて、前記間隔に相当する長さの期間において、前記第1分周回路に対して緩急処理を行う論理回路と、を備える。

【0006】

本発明に係るリアルタイムクロックモジュールの一態様は、  
前記リアルタイムクロック回路の一態様と、  
前記振動子と、を備える。

【0007】

40

本発明に係る電子機器の一態様は、  
前記リアルタイムクロック回路の一態様と、  
前記リアルタイムクロック回路と通信するホストデバイスと、を備える。

【0008】

本発明に係るリアルタイムクロック回路の補正方法の一態様は、  
振動子を発振させて第1クロック信号を生成する発振回路と、前記第1クロック信号を分周して第2クロック信号を生成する第1分周回路と、前記第2クロック信号を分周して第3クロック信号を生成するとともに、前記第2クロック信号に基づいて1秒よりも短い時間の第1計時データを生成する第2分周回路と、前記第3クロック信号に基づいて1秒以上の時間の第2計時データを生成する計時回路と、を備えたリアルタイムクロック回路

50

の補正方法であって、

前記リアルタイムクロック回路が、基準信号に同期した間隔での前記第1計時データの変化量に基づいて生成された補正データを用いて、前記間隔に相当する長さの期間において、前記第1分周回路に対して緩急処理を行う工程を備える。

【図面の簡単な説明】

【0009】

【図1】第1実施形態のリアルタイムクロックモジュールの機能ブロック図。

【図2】計時回路の構成例を示す図。

【図3】第1分周回路の構成例を示す図。

【図4】選択データSELが0である場合の第2分周回路の構成例を示す図。

10

【図5】選択データSELが1である場合の第2分周回路の構成例を示す図。

【図6】選択データSELが0の場合の補正期間と緩急処理のタイミングとの関係の一例を示す図。

【図7】選択データSELが1の場合の補正期間と緩急処理のタイミングとの関係の一例を示す図。

【図8】緩急処理のタイミングで制御信号PE, PDがともにローレベルのときのタイミングチャート図。

【図9】緩急処理のタイミングで制御信号PEがハイレベル、制御信号PDがローレベルのときのタイミングチャート図。

【図10】緩急処理のタイミングで制御信号PEがローレベル、制御信号PDがハイレベルのときのタイミングチャート図。

20

【図11】第1実施形態のリアルタイムクロック回路の補正方法の手順の一例を示す図。

【図12】第2実施形態のリアルタイムクロックモジュールの機能ブロック図。

【図13】第2実施形態のリアルタイムクロック回路の補正方法の手順の一例を示す図。

【図14】第3実施形態のリアルタイムクロック回路の補正方法の手順の一例を示す図。

【図15】電子機器の実施形態の機能ブロック図。

【図16】電子機器の実施形態の外観の一例を示す図。

【発明を実施するための形態】

【0010】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

30

【0011】

1. リアルタイムクロック回路、リアルタイムクロックモジュール

1-1. 第1実施形態

1-1-1. リアルタイムクロックモジュールの構成

図1は、第1実施形態のリアルタイムクロックモジュール1の機能ブロック図である。図1に示すように、リアルタイムクロックモジュール1は、振動子2と、リアルタイムクロック回路3とを備える。

【0012】

40

リアルタイムクロックモジュール1は、メイン電源4からリアルタイムクロック回路3の端子P1を介して第1の電源電圧である電源電圧VDDが供給され、バックアップ電源5からリアルタイムクロック回路3の端子P2を介して第2の電源電圧である電源電圧VBATが供給される。

【0013】

振動子2は、音叉型水晶振動子、ATカット水晶振動子、SCカット水晶振動子等であってもよいし、SAW(Surface Acoustic Wave)共振子や水晶振動子以外の圧電振動子であってもよい。また、振動子2は、シリコン半導体を材料とするMEMS(Micro Electro Mechanical Systems)振動子であってもよい。振動子2は、圧電効果によって励振されてもよいし、クーロン力(静電気力)によって駆動されてもよい。

50

## 【 0 0 1 4 】

リアルタイムクロック回路 3 は、発振回路 1 0、第 1 分周回路 2 0、第 2 分周回路 3 0、計時回路 4 0、論理回路 5 0、ライトバッファ 6 0、リードバッファ 7 0、イベント時刻レジスタ 8 0、インターフェース回路 9 0、記憶部 1 0 0、割込発生回路 1 1 0、電源電圧選択回路 1 2 0、電源電圧判定回路 1 3 0 及びレギュレータ 1 4 0 を備える。ただし、リアルタイムクロック回路 3 は、これらの要素の一部を省略又は変更し、あるいは他の要素を追加した構成としてもよい。本実施形態では、リアルタイムクロック回路 3 は、1 チップの集積回路 ( I C : Integrated Circuit ) であるが、複数チップの集積回路で構成されてもよいし、少なくとも一部がディスクリート部品で構成されてもよい。

## 【 0 0 1 5 】

電源電圧判定回路 1 3 0 は、電源電圧 V D D を監視し、電源電圧 V D D が所定の電圧値 V T 以上であるか否かを判定し、判定信号 V D E T を出力する。本実施形態では、電源電圧判定回路 1 3 0 は、電源電圧 V D D が電圧値 V T 以上であると判定した場合はハイレベルの判定信号 V D E T を出力し、電源電圧 V D D が電圧値 V T 未満であると判定した場合はローレベルの判定信号 V D E T を出力する。

## 【 0 0 1 6 】

電源電圧選択回路 1 2 0 は、判定信号 V D E T に基づいて電源電圧 V D D 又は電源電圧 V B A T を選択して電源電圧 V O U T として出力する。具体的には、電源電圧選択回路 1 2 0 は、判定信号 V D E T がハイレベルである場合、すなわち、電源電圧判定回路 1 3 0 により電源電圧 V D D が電圧値 V T 以上であると判定された場合は、電源電圧 V D D を選択する。また、電源電圧選択回路 1 2 0 は、判定信号 V D E T がローレベルである場合、すなわち、電源電圧判定回路 1 3 0 により電源電圧 V D D が電圧値 V T 未満であると判定された場合は、電源電圧 V B A T を選択する。

## 【 0 0 1 7 】

したがって、メイン電源 4 からリアルタイムクロックモジュール 1 に電源電圧 V D D が供給されているときは、電源電圧 V O U T は、電源電圧 V D D であり、V T 以上の所定の電圧値である。メイン電源 4 からリアルタイムクロックモジュール 1 への電源電圧 V D D の供給が遮断されると、電源電圧 V O U T は、直ちに電源電圧 V B A T に切り替わり、V T 以下の所定の電圧値となる。そのため、リアルタイムクロックモジュール 1 は、メイン電源 4 からの電源電圧 V D D の供給が遮断されている間も計時動作を継続することができる。これに対して、リアルタイムクロックモジュール 1 の動作を制御するホストデバイス 6 は、メイン電源 4 から電源電圧 V D D が供給されて動作し、メイン電源 4 からの電源電圧 V D D の供給が遮断されると動作を停止する。

## 【 0 0 1 8 】

レギュレータ 1 4 0 は、電源電圧 V O U T に基づいて、一定の電圧値の安定化された電源電圧 V O S C 及び電源電圧 V L O G I C を生成する。

## 【 0 0 1 9 】

電源電圧 V O S C は、発振回路 1 0 に供給される。また、電源電圧 V L O G I C は、第 1 分周回路 2 0、第 2 分周回路 3 0、計時回路 4 0、論理回路 5 0、ライトバッファ 6 0、リードバッファ 7 0、イベント時刻レジスタ 8 0、インターフェース回路 9 0、記憶部 1 0 0 及び割込発生回路 1 1 0 に供給される。

## 【 0 0 2 0 】

発振回路 1 0 は、振動子 2 を発振させて第 1 クロック信号 C K 1 を生成する。具体的には、発振回路 1 0 は、リアルタイムクロック回路 3 の端子 P 3 , P 4 を介して振動子 2 の両端と電氣的に接続されており、振動子 2 の出力信号を増幅してフィードバックすることにより振動子 2 を発振させて第 1 クロック信号 C K 1 を出力する。本実施形態では、共振周波数の異なる 2 種類の振動子 2 を選択可能であり、第 1 クロック信号 C K 1 の周波数は異なる 2 つの周波数、例えば、3 2 . 7 6 8 k H z 及び 3 2 k H z のいずれかとなる。第 1 クロック信号 C K 1 を正確な周波数とするために、発振回路 1 0 は、温度補償機能や周波数制御機能を備えた発振回路であることが好ましい。

10

20

30

40

50

## 【 0 0 2 1 】

第1分周回路20は、第1クロック信号CK1を分周して、所望の周波数を有する第2クロック信号CK2を生成する。本実施形態では、第1分周回路20の分周比は固定されている。例えば、第1クロック信号CK1の周波数が32.768kHz又は32kHzであり、第1分周回路20の分周比が32である場合、第2クロック信号CK2の周波数は1.024kHz又は1kHzである。なお、第1分周回路20の詳細については後述する。

## 【 0 0 2 2 】

第2分周回路30は、第2クロック信号CK2を分周して、所望の周波数を有する第3クロック信号CK3を生成する。本実施形態では、第2分周回路30は、選択データSELの値に応じて、バイナリーカウンタ又はBCD(Binary Coded Decimal)カウンタとして動作し、いずれの場合も生成される第3クロック信号CK3の周波数は1Hzとなる。具体的には、第2分周回路30は、選択データSELが0であればバイナリーカウンタとして動作し、第2クロック信号CK2を第1の分周比で分周して1Hzの第3クロック信号CK3を生成する。例えば、第2クロック信号CK2の周波数が1.024kHzである場合、第1の分周比は1024である。また、第2分周回路30は、選択データSELが1であればBCDカウンタとして動作し、第2クロック信号CK2を第2の分周比で分周して1Hzの第3クロック信号CK3を生成する。例えば、第2クロック信号CK2の周波数が1kHzである場合、第2の分周比は1000である。

## 【 0 0 2 3 】

また、第2分周回路30は、第2クロック信号CK2に基づいて、1秒よりも短い時間の計時データSUB\_Tを生成する。例えば、計時データSUB\_Tは、第2クロック信号CK2の周波数が1.024kHzであれば1/1024秒単位の計時データであり、第2クロック信号CK2の周波数が1kHzであれば1/1000秒単位の計時データである。

## 【 0 0 2 4 】

また、第2分周回路30は、論理回路50に第4クロック信号CK4を出力する。本実施形態では、第2分周回路30は、選択データSELが0であってバイナリーカウンタとして動作する場合は8Hzの第4クロック信号CK4を出力し、選択データSELが1であってBCDカウンタとして動作する場合は10Hzの第4クロック信号CK4を出力する。なお、第2分周回路30の詳細については後述する。

## 【 0 0 2 5 】

計時回路40は、第3クロック信号CK3に基づいて1秒以上の時間の計時データBCD\_T, BIN\_Tを生成する。計時データBCD\_Tは、年、月、日、時、分及び秒の各BCD値を含み、計時データBIN\_Tは2進数の値である。なお、計時回路40の詳細については後述する。

## 【 0 0 2 6 】

論理回路50は、補正データTDを用いて、基準信号REFに同期した間隔に相当する長さの期間である補正期間において、第1分周回路20に対して緩急処理を行う。本実施形態では、基準信号REFは、ホストデバイス6が生成し、リアルタイムクロック回路3の端子P5から入力される信号である。基準信号REFは、正確に所定の周波数を有する信号である。例えば、ホストデバイス6が不図示のGPS受信機を有し、基準信号REFは、当該GPS受信機から出力される信号であってもよいし、当該GPS受信機から出力される信号に基づいて生成される信号であってもよい。補正データTDは、基準信号REFに同期した間隔での計時データSUB\_Tの変化量に基づいて生成されたデータである。本実施形態では、補正データTDは、記憶部100に記憶されている。また、基準信号REFに同期した間隔は、基準信号REFの1周期の整数倍の長さである。したがって、論理回路50は、補正データTDを用いて、基準信号REFの1周期の整数倍の長さの補正期間において、第1分周回路20に対して緩急処理を行う。具体的には、論理回路50は、補正期間における第2クロック信号CK2の周波数を増加させるための制御信号PE又は補正期間における第2クロック信号CK2の周波数を減少させるための制御信号PD

10

20

30

40

50

を生成する。例えば、論理回路 50 は、補正データ T D に対してデルタシグマ変調を行って、制御信号 P E , P D を生成してもよい。第 1 分周回路 20 は、制御信号 P E , P D に応じて、補正期間における平均周波数が所定の周波数となる第 2 クロック信号 C K 2 を生成する。

#### 【 0 0 2 7 】

本実施形態では、論理回路 50 には補正期間設定データ P N が入力され、論理回路 50 は、補正期間設定データ P N と第 2 分周回路 30 が出力する第 4 クロック信号 C K 4 とに基づいて、前述の基準信号 R E F に同期した間隔を決定する。具体的には、補正期間設定データ P N の値を  $n$  とし、第 4 クロック信号 C K 4 の周波数を  $f$  とし、あらかじめ決められた所定値を  $m$  としたとき、当該間隔は  $n \times m / f$  秒である。例えば、 $n$  が 32 であり、第 4 クロック信号 C K 4 の周波数が 8 H z であり、 $m$  が 8 である場合、当該間隔は  $32 \times 8 / 8 = 32$  秒である。このとき、例えば、基準信号 R E F の周波数は 1 H z であり、当該間隔は基準信号 R E F の 1 周期の 32 倍の長さである。また、 $n$  が 256 であり、第 4 クロック信号 C K 4 の周波数が 10 H z であり、 $m$  が 8 である場合、当該間隔は  $32 \times 8 / 10 = 25.6$  秒である。このとき、例えば、基準信号 R E F の周波数は 1.25 H z であり、当該間隔は基準信号 R E F の 1 周期の 32 倍の長さである。このように、補正期間設定データ P N は、前述の基準信号 R E F に同期した間隔を指定する情報である。

#### 【 0 0 2 8 】

また、本実施形態では、論理回路 50 は、補正期間において、第 4 クロック信号 C K 4 の周期で第 1 分周回路 20 に対して緩急処理を行う。例えば、第 2 クロック信号 C K 2 の周波数が 1.024 k H z である場合、第 4 クロック信号 C K 4 の周波数は 8 H z であるので、論理回路 50 は 0.125 秒間隔で緩急処理を行う。また、第 2 クロック信号 C K 2 の周波数が 1 k H z である場合、第 4 クロック信号 C K 4 の周波数は 10 H z であるので、論理回路 50 は 0.1 秒間隔で緩急処理を行う。

#### 【 0 0 2 9 】

ライトバッファ 60 は、インターフェース回路 90 からの不図示の書き込み要求信号に応じて、インターフェース回路 90 から出力される書き込みデータ W D A T を取得して保持する。ライトバッファ 60 が保持する書き込みデータ W D A T の一部は、書き込みデータ S U B \_ W D として第 2 分周回路 30 に出力され、書き込みデータ W D A T の他の一部は、書き込みデータ B C D \_ W D , B I N \_ W D として計時回路 40 に出力される。

#### 【 0 0 3 0 】

リードバッファ 70 は、インターフェース回路 90 からの不図示の読み出し要求信号に応じて、第 2 分周回路 30 が生成した計時データ S U B \_ T 及び計時回路 40 が生成した計時データ B C D \_ T , B I N \_ T の少なくとも 1 つを取得して保持し、保持した計時データを読み出しデータ R D A T としてインターフェース回路 90 に出力する。

#### 【 0 0 3 1 】

イベント時刻レジスタ 80 は、リアルタイムクロック回路 3 の端子 P 5 から入力される基準信号 R E F の電圧レベルが遷移する所定のタイミングで、第 2 分周回路 30 が生成した計時データ S U B \_ T 及び計時回路 40 が生成した計時データ B C D \_ T , B I N \_ T を保持するバッファ回路である。例えば、基準信号 R E F の電圧レベルが遷移する所定のタイミングは、基準信号 R E F がローレベルからハイレベルに遷移するタイミングであってもよいし、基準信号 R E F がハイレベルからローレベルに遷移するタイミングであってもよい。イベント時刻レジスタ 80 は、所定数の計時データを保持することが可能なサイズであり、保持した所定数の計時データを時刻データ T S T M P としてインターフェース回路 90 に出力する。以下では、イベント時刻レジスタ 80 が基準信号 R E F に基づいて計時データ S U B \_ T , B C D \_ T , B I N \_ T を取得して保持する機能を「タイムスタンプ機能」という。

#### 【 0 0 3 2 】

インターフェース回路 90 は、リアルタイムクロックモジュール 1 とホストデバイス 6 との間の通信のインターフェース回路である。本実施形態では、インターフェース回路 9

0 は、I<sup>2</sup>C (Inter-Integrated Circuit) バス対応のインターフェース回路であり、リアルタイムクロック回路3の端子P6を介して入力されるシリアルクロック信号SCLと、リアルタイムクロック回路3の端子P7を介して入出力されるシリアルデータ信号SDAとに基づいて、ホストデバイス6と通信する。ただし、インターフェース回路90は、SPI (Serial Peripheral Interface) などの他のシリアルバス対応のインターフェース回路であってもよいし、パラレルバス対応のインターフェース回路であってもよい。

【0033】

インターフェース回路90は、ホストデバイス6から端子P6, P7を介してアクセス信号を受信し、受信したアクセス信号に応じた各種の処理を行う。

【0034】

具体的には、インターフェース回路90は、計時データSUB\_T, BCD\_T, BIN\_Tの少なくとも1つの書き換えを要求するアクセス信号を受信した場合、書き換え対象となる計時データの書き込みを要求する不図示の書き込み要求信号を発生する。そして、インターフェース回路90は、書き込み要求信号及び書き込みデータWDATをライトバッファ60に出力する。その後、計時データSUB\_Tが書き換え対象である場合は、インターフェース回路90は、書き込みクロック信号SUB\_WCKを第2分周回路30に出力し、第2分周回路30は、書き込みクロック信号SUB\_WCKに応じて、計時データSUB\_Tを、書き込みデータWDATの一部である書き込みデータSUB\_WDに更新する。また、計時データBCD\_Tが書き換え対象である場合は、インターフェース回路90は、書き込みクロック信号BCD\_WCKを計時回路40に出力し、計時回路40は、書き込みクロック信号BCD\_WCKに応じて、計時データBCD\_Tを、書き込みデータWDATの一部である書き込みデータBCD\_WDに更新する。また、計時データBIN\_Tが書き換え対象である場合は、インターフェース回路90は、書き込みクロック信号BIN\_WCKを計時回路40に出力し、計時回路40は、書き込みクロック信号BIN\_WCKに応じて、計時データBIN\_Tを、書き込みデータWDATの一部である書き込みデータBIN\_WDに更新する。

【0035】

また、インターフェース回路90は、計時データSUB\_T, BCD\_T, BIN\_Tの少なくとも1つの読み出しを要求するアクセス信号を受信した場合、読み出し対象となる計時データの読み出しを要求する不図示の読み出し要求信号を発生し、リードバッファ70に出力する。そして、インターフェース回路90は、リードバッファ70が取得して保持した読み出し対象の計時データである読み出しデータRDATを取得し、読み出しデータRDATをシリアルデータ信号SDAに変換して端子P7を介してホストデバイス6に送信する。

【0036】

また、インターフェース回路90は、時刻データTSTMPの読み出しを要求するアクセス信号を受信した場合、イベント時刻レジスタ80が保持する時刻データTSTMPに含まれる計時データSUB\_T, BCD\_T, BIN\_Tのうち読み出し対象となる計時データを取得し、当該計時データをシリアルデータ信号SDAに変換して端子P7を介してホストデバイス6に送信する。

【0037】

なお、本実施形態では、タイムスタンプ機能が有効の場合に、インターフェース回路90がタイムスタンプ機能を無効にすることを指示するアクセス信号を受信した場合、インターフェース回路90は、タイムスタンプ機能を無効にするための不図示の制御信号をイベント時刻レジスタ80に出力する。また、タイムスタンプ機能が無効の場合に、インターフェース回路90がタイムスタンプ機能を有効にすることを指示するアクセス信号を受信した場合、インターフェース回路90は、タイムスタンプ機能を有効にするための不図示の制御信号をイベント時刻レジスタ80に出力する。

【0038】

また、インターフェース回路90は、記憶部100に対するデータの書き込みや読み出

10

20

30

40

50

しを要求するアクセス信号を受信した場合、記憶部 100 に対するデータの書き込みや読み出しを行う。特に、本実施形態では、インターフェース回路 90 は、ホストデバイス 6 から補正データ TD を受信して記憶部 100 に書き込む。また、インターフェース回路 90 は、ホストデバイス 6 から補正期間設定データ PN を受信して記憶部 100 に書き込んでもよい。これにより、ホストデバイス 6 は、リアルタイムクロック回路 3 の環境変化や計時変化に応じて、補正期間設定データ PN を適宜最適な値に変更することができる。同様に、インターフェース回路 90 は、ホストデバイス 6 から選択データ SEL を受信して記憶部 100 に書き込んでもよい。

#### 【0039】

記憶部 100 は、各種のデータを記憶する回路である。本実施形態では、記憶部 100 は、不図示の不揮発性メモリーとレジスターとを備えている。不揮発性メモリーには、各種データが記憶されており、電源電圧 VLOGIC が 0V から上昇して所定の電圧値に達すると、不揮発性メモリーに記憶されている各種データはレジスターに転送される。そして、レジスターに転送された各種データが各回路に出力される。

#### 【0040】

例えば、記憶部 100 の不揮発性メモリーには、選択データ SEL や補正期間設定データ PN の初期値が記憶されており、レジスターに転送された選択データ SEL は第 2 分周回路 30 に出力され、レジスターに転送された補正期間設定データ PN は論理回路 50 及び割込発生回路 110 に出力される。その後、選択データ SEL や補正期間設定データ PN は、ホストデバイス 6 からインターフェース回路 90 を介して記憶部 100 のレジスターに書き込まれることによって更新されてもよい。なお、選択データ SEL や補正期間設定データ PN を変更する必要がなければ、選択データ SEL や補正期間設定データ PN は初期値のまま更新されなくてもよい。また、補正データ TD は、ホストデバイス 6 からインターフェース回路 90 を介して記憶部 100 のレジスターに書き込まれ、論理回路 50 に出力される。

#### 【0041】

割込発生回路 110 は、基準信号 REF と補正期間設定データ PN とに基づいて割込み信号 IRQ を発生し、割込み信号 IRQ を、リアルタイムクロック回路 3 の端子 P8 を介してホストデバイス 6 に出力する。具体的には、補正期間設定データ PN の値を n とすると、割込発生回路 110 は、基準信号 REF の電圧レベルが遷移する所定のタイミングが n + 1 回発生すると割込み信号 IRQ を発生する。例えば、基準信号 REF の電圧レベルが遷移する所定のタイミングは、基準信号 REF がローレベルからハイレベルに遷移するタイミングであってもよいし、基準信号 REF がハイレベルからローレベルに遷移するタイミングであってもよい。ホストデバイス 6 は、割込み信号 IRQ を受けると、割込み処理を行って時刻データ TSTMP に含まれる 2 つの計時データを読み出し、当該 2 つの計時データに基づいて補正データ TD を生成する。ホストデバイス 6 が読み出す 2 つの計時データは、例えば、基準信号 REF の電圧レベルが 1 回目と n + 1 回目に遷移したタイミングでイベント時刻レジスター 80 に保持された 2 つの計時データである。ホストデバイス 6 は、当該 2 つの計時データにそれぞれ含まれる計時データ SUB\_T の差分により、基準信号 REF の n 周期の間隔での計時データ SUB\_T の変化量を算出し、補正データ TD を生成する。

#### 【0042】

なお、計時データ SUB\_T は「第 1 計時データ」の一例であり、計時データ BCD\_T 又は計時データ BIN\_T は「第 2 計時データ」の一例である。

#### 【0043】

##### 1-1-2. 計時回路の構成

図 2 は、計時回路 40 の構成例を示す図である。図 2 に示すように、計時回路 40 は、カウンタ 41 ~ 47 を備える。

#### 【0044】

カウンタ 41 は、秒カウンタであり、第 3 クロック信号 CK3 に同期してカウント

10

20

30

40

50

動作を行うことにより、秒単位の時刻を表すカウント値を生成する。例えば、カウンター 4 1 は、6 0 進 B C D (Binary Coded Decimal) カウンターであり、第 3 クロック信号 C K 3 のパルスに同期して、十進数の 0 ~ 5 9 を表す B C D カウント値を順次生成する。カウント値が十進数の 5 9 を表す値に等しくなると、カウンター 4 1 は、第 3 クロック信号 C K 3 の次のパルスに同期して、カウント値を 0 にリセットすると共に、キャリー信号 C A 1 を出力する。カウンター 4 1 によって生成されるカウント値は、秒単位の時刻を表す計時データ B C D \_ T 1 として用いられる。すなわち、カウンター 4 1 は、1 秒単位で計時データ B C D \_ T 1 を更新する。また、カウンター 4 1 は、書き込みクロック信号 B C D \_ W C K のパルスに同期して、カウント値、すなわち計時データ B C D \_ T 1 を書き込みデータ B C D \_ W D のビット 0 ~ 7 の 1 バイトの値に更新する。

10

【 0 0 4 5 】

カウンター 4 2 は、分カウンターであり、キャリー信号 C A 1 に同期してカウント動作を行うことにより、分単位の時刻を表すカウント値を生成する。例えば、カウンター 4 2 は、6 0 進 B C D カウンターであり、キャリー信号 C A 1 のパルスに同期して、十進数の 0 ~ 5 9 を表す B C D カウント値を順次生成する。カウント値が十進数の 5 9 を表す値に等しくなると、カウンター 4 2 は、キャリー信号 C A 1 の次のパルスに同期して、カウント値を 0 にリセットすると共に、キャリー信号 C A 2 を出力する。カウンター 4 2 によって生成されるカウント値は、分単位の時刻を表す計時データ B C D \_ T 2 として用いられる。すなわち、カウンター 4 2 は、分単位で計時データ B C D \_ T 2 を更新する。また、カウンター 4 2 は、書き込みクロック信号 B C D \_ W C K のパルスに同期して、カウント

20

【 0 0 4 6 】

カウンター 4 3 は、時カウンターであり、キャリー信号 C A 2 に同期してカウント動作を行うことにより、時単位の時刻を表すカウント値を生成する。例えば、カウンター 4 3 は、2 4 進 B C D カウンターであり、キャリー信号 C A 2 のパルスに同期して、十進数の 0 ~ 2 3 を表す B C D カウント値を順次生成する。カウント値が十進数の 2 3 を表す値に等しくなると、カウンター 4 3 は、キャリー信号 C A 2 の次のパルスに同期して、カウント値を 0 にリセットすると共に、キャリー信号 C A 3 を出力する。カウンター 4 3 によって生成されるカウント値は、時単位の時刻を表す計時データ B C D \_ T 3 として用いられる。すなわち、カウンター 4 3 は、時単位で計時データ B C D \_ T 3 を更新する。また、カウンター 4 3 は、書き込みクロック信号 B C D \_ W C K のパルスに同期して、カウント

30

【 0 0 4 7 】

カウンター 4 4 は、日カウンターであり、キャリー信号 C A 3 に同期してカウント動作を行うことにより、日単位の時刻を表すカウント値を生成する。例えば、カウンター 4 4 は、1 0 進 B C D カウンターであり、キャリー信号 C A 3 のパルスに同期して、十進数の 1 ~ 3 1 を表す B C D カウント値を順次生成する。ただし、月によっては、月の最後の日のカウント値を 2 8 又は 3 0 とする必要があり、うるう年の 2 月の場合には、月の最後の日のカウント値を 2 9 とする必要がある。そこで、カウンター 4 4 は、日単位の時刻を表すカウント値を、月単位の時刻を表すカウント値及び年単位の時刻を表すカウント値に基づいて設定されたカウント上限値と比較する。カウント値がカウント上限値に等しくなると、カウンター 4 4 は、キャリー信号 C A 3 の次のパルスに同期して、カウント値を 1 にリセットすると共に、キャリー信号 C A 4 を出力する。カウンター 4 4 によって生成されるカウント値は、日単位の時刻を表す計時データ B C D \_ T 4 として用いられる。すなわち、カウンター 4 4 は、日単位で計時データ B C D \_ T 4 を更新する。また、カウンター 4 4 は、書き込みクロック信号 B C D \_ W C K のパルスに同期して、カウント値、すなわち計時データ B C D \_ T 4 を書き込みデータ B C D \_ W D のビット 2 4 ~ 3 1 の 1 バイトの値に更新する。

40

50

## 【 0 0 4 8 】

カウンター 4 5 は、月カウンターであり、キャリア信号 C A 4 に同期してカウント動作を行うことにより、月単位の時刻を表すカウント値を生成する。例えば、カウンター 4 5 は、1 2 進 B C D カウンターで構成され、キャリア信号 C A 4 のパルスに同期して、十進数の 1 ~ 1 2 を表す B C D カウント値を順次生成する。カウント値が十進数の 1 2 を表す値に等しくなると、カウンター 4 5 は、キャリア信号 C A 4 の次のパルスに同期して、カウント値を 1 にリセットすると共に、キャリア信号 C A 5 を出力する。カウンター 4 5 によって生成されるカウント値は、月単位の時刻を表す計時データ B C D \_ T 5 として用いられる。すなわち、カウンター 4 5 は、月単位で計時データ B C D \_ T 5 を更新する。また、カウンター 4 5 は、書き込みクロック信号 B C D \_ W C K のパルスに同期して、カウ  
10

## 【 0 0 4 9 】

カウンター 4 6 は、年カウンターであり、キャリア信号 C A 5 に同期してカウント動作を行うことにより、年単位の時刻を表すカウント値を生成する。例えば、カウンター 4 6 は、1 0 進 B C D カウンターで構成され、キャリア信号 C A 5 のパルスに同期して、西暦年号の場合に、十進数の 2 0 2 0、2 0 2 1、2 0 2 2 . . . の下 2 桁を表す B C D カウント値を順次生成する。カウンター 4 6 によって生成されるカウント値は、年単位の時刻を表す計時データ B C D \_ T 6 として用いられる。すなわち、カウンター 4 6 は、年単位  
20

## 【 0 0 5 0 】

前述の計時データ B C D \_ T は、年、月、日、時、分及び秒のカウント値である計時データ B C D \_ T 6 ~ B C D \_ T 1 によって構成される。

## 【 0 0 5 1 】

カウンター 4 7 は、秒カウンターであり、第 3 クロック信号 C K 3 に同期してカウント動作を行うことにより、秒単位の時刻を表すカウント値を生成する。例えば、カウンター 4 1 は、2 進カウンターであり、第 3 クロック信号 C K 3 のパルスに同期して増加する 2 進数の値を順次生成する。カウンター 4 7 によって生成されるカウント値は、年、月、日、  
30

## 【 0 0 5 2 】

このように、本実施形態では、計時回路 4 0 は、年、月、日、時、分及び秒をそれぞれ B C D カウント値で表す計時データ B C D \_ T を生成するとともに、年、月、日、時、分及び秒を秒単位の 2 進数の値で表す計時データ B I N \_ T も生成する。ホストデバイス 6 は、システムの用途に応じて、リアルタイムクロックモジュール 1 から計時データ B C D \_ T、B I N \_ T の一方又は両方に対して読み出しや書き込みを行い、システムに必要な  
40

## 【 0 0 5 3 】

1 - 1 - 3 . 第 1 分周回路の構成

図 3 は、第 1 分周回路 2 0 の構成例を示す図である。図 3 に示すように、第 1 分周回路 2 0 は、分周回路 2 1 及び 2 分周回路 2 2 ~ 2 5 を備える。

## 【 0 0 5 4 】

分周回路 2 1 は、基本的には第 1 クロック信号 C K 1 を 2 分周することによってクロック信号 C K A を生成する。2 分周回路 2 2 は、クロック信号 C K A を 2 分周することによってクロック信号 C K B を生成する。2 分周回路 2 3 は、クロック信号 C K B を 2 分周することによってクロック信号 C K C を生成する。2 分周回路 2 4 は、クロック信号 C K C  
50

を2分周することによってクロック信号CKDを生成する。2分周回路25は、クロック信号CKDを2分周することによって第2クロック信号CK2を生成する。

【0055】

このように構成されている第1分周回路20は、バイナリーカウンタとして動作し、第1クロック信号CK1を32分周した第2クロック信号CK2を生成する。例えば、第1クロック信号CK1の周波数が32.764kHzである場合、第2クロック信号CK2の周波数は1.024kHzとなる。また、第1クロック信号CK1の周波数が32kHzである場合、第2クロック信号CK2の周波数は1kHzとなる。

【0056】

しかしながら、例えば、環境温度が25 のときに第1クロック信号CK1の周波数が目標周波数となるように調整されている場合、高温や低温の環境では、振動子2の温度特性によって第1クロック信号CK1の周波数の目標周波数に対する誤差が大きくなる。また、振動子2の経時変化によっても第1クロック信号CK1の周波数の目標周波数に対する誤差が大きくなる。

10

【0057】

そこで、本実施形態では、図3に示すように、論理回路50から出力される制御信号PE, PDが分周回路21に入力され、分周回路21に対して制御信号PE, PDに応じた緩急処理が行われる。本実施形態では、制御信号PE, PDは、ともにローレベルか一方のみがハイレベルとなる信号であり、分周回路21は、制御信号PE, PDがともにローレベルのときは第1クロック信号CK1を2分周したクロック信号CKAを出力する。また、分周回路21は、制御信号PEがハイレベルのときは、第1クロック信号CK1を2分周せずにそのままクロック信号CKAとして出力する。また、分周回路21は、制御信号PDがハイレベルのときは、第1クロック信号CK1を4分周したクロック信号CKAを出力する。このように、分周回路21に対して緩急処理が行われることにより、第2クロック信号CK2の平均周波数が所望の周波数に近づくことになる。

20

【0058】

1-1-4. 第2分周回路の構成

前述の通り、第2分周回路30は、選択データSELの値に応じて、バイナリーカウンタ又はBCDカウンタとして動作する。

【0059】

図4は、選択データSELが0である場合の第2分周回路30の構成例を示す図である。図4に示すように、第2分周回路30は、2分周回路31~3Aを備える。選択データSELが0である場合、第2分周回路30に入力される第2クロック信号CK2の周波数は1.024kHzである。

30

【0060】

2分周回路31は、1.024kHzの第2クロック信号CK2を2分周して512Hzのクロック信号を生成する。この512Hzのクロック信号は、計時データSUB\_Tのビット0として用いられる。また、2分周回路31は、書き込みクロック信号SUB\_WCKのパルスに同期して、計時データSUB\_Tのビット0の値を書き込みデータSUB\_WDのビット0の値に更新する。

40

【0061】

2分周回路32は、2分周回路31が生成した512Hzのクロック信号を2分周して256Hzのクロック信号を生成する。この256Hzのクロック信号は、計時データSUB\_Tのビット1として用いられる。また、2分周回路32は、書き込みクロック信号SUB\_WCKのパルスに同期して、計時データSUB\_Tのビット1の値を書き込みデータSUB\_WDのビット1の値に更新する。

【0062】

2分周回路33は、2分周回路32が生成した256Hzのクロック信号を2分周して128Hzのクロック信号を生成する。この128Hzのクロック信号は、計時データSUB\_Tのビット2として用いられる。また、2分周回路33は、書き込みクロック信号

50

SUB\_WCKのパルスに同期して、計時データSUB\_Tのビット2の値を書き込みデータSUB\_WDのビット2の値に更新する。

【0063】

2分周回路34は、2分周回路33が生成した128Hzのクロック信号を2分周して64Hzのクロック信号を生成する。この64Hzのクロック信号は、計時データSUB\_Tのビット3として用いられる。また、2分周回路34は、書き込みクロック信号SUB\_WCKのパルスに同期して、計時データSUB\_Tのビット3の値を書き込みデータSUB\_WDのビット3の値に更新する。

【0064】

2分周回路35は、2分周回路34が生成した64Hzのクロック信号を2分周して32Hzのクロック信号を生成する。この32Hzのクロック信号は、計時データSUB\_Tのビット4として用いられる。また、2分周回路35は、書き込みクロック信号SUB\_WCKのパルスに同期して、計時データSUB\_Tのビット4の値を書き込みデータSUB\_WDのビット4の値に更新する。

10

【0065】

2分周回路36は、2分周回路35が生成した32Hzのクロック信号を2分周して16Hzのクロック信号を生成する。この16Hzのクロック信号は、計時データSUB\_Tのビット5として用いられる。また、2分周回路36は、書き込みクロック信号SUB\_WCKのパルスに同期して、計時データSUB\_Tのビット5の値を書き込みデータSUB\_WDのビット5の値に更新する。

20

【0066】

2分周回路37は、2分周回路36が生成した16Hzのクロック信号を2分周して8Hzのクロック信号を生成する。この8Hzのクロック信号は、計時データSUB\_Tのビット6として用いられるとともに、第4クロック信号CK4として用いられる。また、2分周回路37は、書き込みクロック信号SUB\_WCKのパルスに同期して、計時データSUB\_Tのビット6の値を書き込みデータSUB\_WDのビット6の値に更新する。

【0067】

2分周回路38は、2分周回路37が生成した8Hzのクロック信号を2分周して4Hzのクロック信号を生成する。この4Hzのクロック信号は、計時データSUB\_Tのビット7として用いられる。また、2分周回路38は、書き込みクロック信号SUB\_WCKのパルスに同期して、計時データSUB\_Tのビット7の値を書き込みデータSUB\_WDのビット7の値に更新する。

30

【0068】

2分周回路39は、2分周回路38が生成した4Hzのクロック信号を2分周して2Hzのクロック信号を生成する。この2Hzのクロック信号は、計時データSUB\_Tのビット8として用いられる。また、2分周回路39は、書き込みクロック信号SUB\_WCKのパルスに同期して、計時データSUB\_Tのビット8の値を書き込みデータSUB\_WDのビット8の値に更新する。

【0069】

2分周回路3Aは、2分周回路39が生成した2Hzのクロック信号を2分周して1Hzの第3クロック信号CK3を生成する。第3クロック信号CK3は、計時データSUB\_Tのビット9として用いられる。また、2分周回路3Aは、書き込みクロック信号SUB\_WCKのパルスに同期して、計時データSUB\_Tのビット9の値を書き込みデータSUB\_WDのビット9の値に更新する。

40

【0070】

このように、選択データSELが0である場合、第2分周回路30は、1.024kHzの第2クロック信号CK2を1024分周して1Hzの第3クロック信号CK3を生成するとともに、1.024kHzの第2クロック信号CK2を128分周して8Hzの第4クロック信号CK4を生成する。

【0071】

50

図5は、選択データSELが1である場合の第2分周回路30の構成例を示す図である。図5に示すように、第2分周回路30は、カウンタ3B, 3C, 3Dを備える。選択データSELが0である場合、第2分周回路30に入力される第2クロック信号CK2の周波数は1kHzである。

【0072】

カウンタ3Bは、1kHzの第2クロック信号CK2に同期してカウント動作を行うことにより、1/1000秒単位の時刻を表すカウント値を生成する。例えば、カウンタ3Bは、10進BCDカウンタであり、第2クロック信号CK2のパルスに同期して、十進数の0~9を表すBCDカウント値を順次生成する。カウント値が十進数の9を表す値に等しくなると、カウンタ3Bは、第2クロック信号CK2の次のパルスに同期して、カウント値を0にリセットすると共に、100Hzのキャリー信号CA11を出力する。カウンタ3Bによって生成されるカウント値は、1/1000秒単位の時刻を表す計時データSUB\_T1として用いられる。すなわち、カウンタ3Bは、1/1000秒単位で計時データSUB\_T1を更新する。また、カウンタ3Bは、書き込みクロック信号SUB\_WCKのパルスに同期して、カウント値、すなわち計時データSUB\_T1を書き込みデータSUB\_WDのビット0~7の1バイトの値に更新する。

10

【0073】

カウンタ3Cは、100Hzのキャリー信号CA11に同期してカウント動作を行うことにより、1/100秒単位の時刻を表すカウント値を生成する。例えば、カウンタ3Cは、10進BCDカウンタであり、キャリー信号CA11のパルスに同期して、十進数の0~9を表すBCDカウント値を順次生成する。カウント値が十進数の9を表す値に等しくなると、カウンタ3Cは、キャリー信号CA11の次のパルスに同期して、カウント値を0にリセットすると共に、10Hzのキャリー信号CA12を出力する。カウンタ3Cによって生成されるカウント値は、1/100秒単位の時刻を表す計時データSUB\_T2として用いられる。すなわち、カウンタ3Cは、1/100秒単位で計時データSUB\_T2を更新する。また、10Hzのキャリー信号CA12は、第4クロック信号CK4として用いられる。また、カウンタ3Cは、書き込みクロック信号SUB\_WCKのパルスに同期して、カウント値、すなわち計時データSUB\_T2を書き込みデータSUB\_WDのビット8~15の1バイトの値に更新する。

20

【0074】

カウンタ3Dは、10Hzのキャリー信号CA12に同期してカウント動作を行うことにより、1/10秒単位の時刻を表すカウント値を生成する。例えば、カウンタ3Dは、10進BCDカウンタであり、キャリー信号CA12のパルスに同期して、十進数の0~9を表すBCDカウント値を順次生成する。カウント値が十進数の9を表す値に等しくなると、カウンタ3Dは、キャリー信号CA12の次のパルスに同期して、カウント値を0にリセットすると共に、1Hzの第3クロック信号CK3を出力する。カウンタ3Dによって生成されるカウント値は、1/10秒単位の時刻を表す計時データSUB\_T3として用いられる。すなわち、カウンタ3Dは、1/10秒単位で計時データSUB\_T3を更新する。また、カウンタ3Dは、書き込みクロック信号SUB\_WCKのパルスに同期して、カウント値、すなわち計時データSUB\_T3を書き込みデータSUB\_WDのビット16~23の1バイトの値に更新する。

30

40

【0075】

このように、選択データSELが1である場合、第2分周回路30は、1kHzの第2クロック信号CK2を1000分周して1Hzの第3クロック信号CK3を生成するとともに、1kHzの第2クロック信号CK2を100分周して10Hzの第4クロック信号CK4を生成する。また、前述の計時データSUB\_Tは、1/10秒、1/100秒及び1/1000秒のカウント値である計時データSUB\_T3, SUB\_T2, SUB\_T1によって構成される。

【0076】

1-1-5. 論理回路による緩急処理

50

前述の通り、選択データSELの値に応じて、論理回路50による緩急処理が行われる補正期間の長さが異なる。

【0077】

図6は、選択データSELが0の場合の補正期間と緩急処理のタイミングとの関係の一例を示す図である。図6に示すように、選択データSELが0の場合は、1回の補正期間は、8Hzの第4クロック信号CK4の1周期の時間である0.125秒の256倍に相当する32秒である。また、緩急処理のタイミングは、第4クロック信号CK4の1周期毎に、すなわち0.125秒間隔で到来する。すなわち、1回の補正期間において、最大256回の緩急処理が可能である。

【0078】

図7は、選択データSELが1の場合の補正期間と緩急処理のタイミングとの関係の一例を示す図である。図7に示すように、選択データSELが1の場合は、1回の補正期間は、10Hzの第4クロック信号CK4の1周期の時間である0.1秒の256倍に相当する25.6秒である。また、緩急処理のタイミングは、第4クロック信号CK4の1周期毎に、すなわち0.1秒間隔で到来する。すなわち、1回の補正期間において、最大256回の緩急処理が可能である。

【0079】

なお、図6及び図7では、1つの補正期間のみが図示されているが、実際には、1つの補正期間が終了する毎に次の補正期間が開始する。すなわち、図6又は図7に示す補正期間が間隔を空けずに繰り返される。

【0080】

補正期間において各タイミングで行われる緩急処理は、制御信号PE, PDによって制御される。図8、図9及び図10は、制御信号PE, PDに応じて行われる緩急処理について説明するための図である。図8は、緩急処理のタイミングで制御信号PE, PDがともにローレベルのときのタイミングチャート図である。図9は、緩急処理のタイミングで制御信号PEがハイレベル、制御信号PDがローレベルのときのタイミングチャート図である。図10は、緩急処理のタイミングで制御信号PEがローレベル、制御信号PDがハイレベルのときのタイミングチャート図である。

【0081】

図8に示すように、緩急処理のタイミングで制御信号PE, PDがともにローレベルのときは、クロック信号CKAは第1クロック信号CK1を2分周した信号のままである。その結果、当該タイミングの直後の第2クロック信号CK2の半周期における第1クロック信号CK1のパルス数は16のままである。すなわち、第2クロック信号CK2の1周期における第1クロック信号CK1のパルス数は32のまま変わらない。

【0082】

これに対して、図9に示すように、緩急処理のタイミングで制御信号PEがハイレベル、制御信号PDがローレベルのときは、クロック信号CKAは第1クロック信号CK1と一致する。その結果、当該タイミングの直後の第2クロック信号CK2の半周期における第1クロック信号CK1のパルス数は15となる。すなわち、緩急処理のタイミングで制御信号PEがハイレベル、制御信号PDがローレベルとなる場合、その直後の第2クロック信号CK2の1周期だけ第1クロック信号CK1のパルス数が31となり、第2クロック信号CK2の当該周期は他の各周期よりも第1クロック信号CK1の1周期分だけ短くなる。

【0083】

また、図10に示すように、緩急処理のタイミングで制御信号PEがローレベル、制御信号PDがハイレベルのときは、クロック信号CKAは第1クロック信号CK1を4分周した信号となる。その結果、当該タイミングの直後の第2クロック信号CK2の半周期における第1クロック信号CK1のパルス数は17となる。すなわち、緩急処理のタイミングで制御信号PEがローレベル、制御信号PDがハイレベルとなる場合、その直後の第2クロック信号CK2の1周期だけ第1クロック信号CK1のパルス数が33となり、第2

10

20

30

40

50

クロック信号 C K 2 の当該周期は他の各周期よりも第 1 クロック信号 C K 1 の 1 周期分だけ長くなる。

【 0 0 8 4 】

補正データ T D を 9 ビットのデータとして  $- 2 5 5$  以上  $+ 2 5 5$  以下の 5 1 1 個の整数値を取り得るものとしたとき、論理回路 5 0 は、補正データ T D の値に応じて、1 回の補正期間における 2 5 6 回の緩急処理のタイミングのうちの 0 ~ 2 5 5 回のタイミングで緩急処理を行う。

【 0 0 8 5 】

例えば、基準信号 R E F でカウントした 3 2 秒間における第 1 クロック信号 C K 1 のパルス数が  $3 2 \times 3 2 7 6 8 = 1 0 4 8 5 7 6$  である場合、第 1 クロック信号 C K 1 の周波数が目標周波数の  $3 2 . 7 6 8 \text{ kHz}$  と一致しているため、補正データ T D の値は 0 となる。この場合、論理回路 5 0 は、各補正期間において制御信号 P E , P D をローレベルに固定することにより、常に第 2 クロック信号 C K 2 の 1 周期の長さが第 1 クロック信号 C K 1 の 3 2 周期の長さと同様になるようにする。これにより、 $1 . 0 2 4 \text{ kHz}$  の第 2 クロック信号 C K 2 の  $3 2 7 6 8$  周期における第 1 クロック信号 C K 1 のパルス数は  $1 0 4 8 5 7 6$  となり、第 2 クロック信号 C K 2 の  $3 2 7 6 8$  周期が基準信号 R E F でカウントした 3 2 秒と一致する。

【 0 0 8 6 】

これに対して、基準信号 R E F でカウントした 3 2 秒間における第 1 クロック信号 C K 1 のパルス数が  $1 0 4 8 5 7 6 - 2 5 5 = 1 0 4 8 3 2 1$  である場合、第 1 クロック信号 C K 1 の周波数が目標周波数の  $3 2 . 7 6 8 \text{ kHz}$  よりも低く、補正データ T D の値は  $+ 2 5 5$  となる。この場合、論理回路 5 0 は、各補正期間において 2 5 6 回の緩急処理のタイミングのうち 2 5 5 回のタイミングで制御信号 P E をハイレベルにすることにより、2 5 5 回だけ第 2 クロック信号 C K 2 の 1 周期の長さが第 1 クロック信号 C K 1 の 3 1 周期の長さと同様になるようにする。これにより、 $1 . 0 2 4 \text{ kHz}$  の第 2 クロック信号 C K 2 の  $3 2 7 6 8$  周期における第 1 クロック信号 C K 1 のパルス数は  $1 0 4 8 5 7 6 - 2 5 5 = 1 0 4 8 3 2 1$  となり、第 2 クロック信号 C K 2 の  $3 2 7 6 8$  周期が基準信号 R E F でカウントした 3 2 秒と一致する。

【 0 0 8 7 】

また、基準信号 R E F でカウントした 3 2 秒間における第 1 クロック信号 C K 1 のパルス数が  $1 0 4 8 5 7 6 + 2 5 5 = 1 0 4 8 8 3 1$  である場合、第 1 クロック信号 C K 1 の周波数が目標周波数の  $3 2 . 7 6 8 \text{ kHz}$  よりも高く、補正データ T D の値は  $- 2 5 5$  となる。この場合、論理回路 5 0 は、各補正期間において 2 5 6 回の緩急処理のタイミングのうち 2 5 5 回のタイミングで制御信号 P D をハイレベルにすることにより、2 5 5 回だけ第 2 クロック信号 C K 2 の 1 周期の長さが第 1 クロック信号 C K 1 の 3 3 周期の長さと同様になるようにする。これにより、 $1 . 0 2 4 \text{ kHz}$  の第 2 クロック信号 C K 2 の  $3 2 7 6 8$  周期における第 1 クロック信号 C K 1 のパルス数は  $1 0 4 8 5 7 6 + 2 5 5 = 1 0 4 8 8 3 1$  となり、第 2 クロック信号 C K 2 の  $3 2 7 6 8$  周期が基準信号 R E F でカウントした 3 2 秒と一致する。

【 0 0 8 8 】

このように、本実施形態のリアルタイムクロック回路 3 では、論理回路 5 0 は、第 3 クロック信号 C K 3 の周期である 1 秒よりも長い間隔に相当する補正期間において第 1 分周回路 2 0 に対して緩急処理を行う。これにより、リアルタイムクロック回路 3 は、第 2 クロック信号 C K 2 を高い分解能で補正することができる。例えば、第 1 クロック信号 C K 1 の目標周波数が  $3 2 . 7 6 8 \text{ kHz}$  であり、補正期間が 3 2 秒である場合は、分解能は  $1 / 3 2 . 7 6 8 \text{ kHz} / 3 2 = 0 . 9 5 4 \text{ ppm}$  である。また、第 1 クロック信号 C K 1 の目標周波数が  $3 2 \text{ kHz}$  であり、補正期間が  $2 5 . 6$  秒である場合は、分解能は  $1 / 3 2 \text{ kHz} / 2 5 . 6 = 1 . 2 2 \text{ ppm}$  である。

【 0 0 8 9 】

また、本実施形態では、論理回路 5 0 が、補正期間において、第 2 クロック信号 C K 2

の周期よりも長い時間間隔で第1分周回路20に対して緩急処理を行う。すなわち、論理回路50が時間的に分散して緩急処理を行うことにより、第2クロック信号CK2の周波数変動量のばらつきを小さくすることができる。

【0090】

1-1-6.リアルタイムクロック回路の補正方法

図11は、第1実施形態のリアルタイムクロック回路3の補正方法の手順の一例を示す図である。

【0091】

図11に示すように、まず、ホストデバイス6がリアルタイムクロック回路3のタイムスタンプ機能を有効にする(工程S1)。

【0092】

次に、ホストデバイス6がリアルタイムクロック回路3に基準信号REFを送信する(工程S2)。

【0093】

次に、リアルタイムクロック回路3が、基準信号REFの電圧レベルが遷移する所定のタイミングで、イベント時刻レジスタ80に計時データを保持する(工程S3)。工程S3において保持される計時データは、計時データSUB\_Tを含み、さらに計時データBCD\_T又は計時データBIN\_Tを含む。

【0094】

そして、リアルタイムクロック回路3が基準信号REFをn+1回受信するまで(工程S4のN)、工程S2及び工程S3が繰り返される。整数nは、前述の補正期間設定データPNの値である。例えば、nが32であり、基準信号REFの周期が1秒であれば、リアルタイムクロック回路3が基準信号REFを33回受信するまで、すなわち、基準信号REFの1回目の受信から32秒が経過するまで工程S2及び工程S3が繰り返される。

【0095】

リアルタイムクロック回路3が基準信号REFをn+1回受信すると(工程S4のY)、ホストデバイス6がリアルタイムクロック回路3のタイムスタンプ機能を無効にする(工程S5)。

【0096】

次に、リアルタイムクロック回路3が、ホストデバイス6に割込み信号IRQを送信する(工程S6)。

【0097】

次に、ホストデバイス6が、割込み信号IRQを受信し、リアルタイムクロック回路3からイベント時刻レジスタ80に保持された1番目とn+1番目の計時データを読み出す(工程S7)。

【0098】

次に、ホストデバイス6が、n+1番目の計時データと1番目の計時データとの差分Tを計算する(工程S8)。例えば、nが32であり、基準信号REFの周期が1秒であれば、差分Tは計時データの32秒間の増加量に相当する。

【0099】

そして、差分Tの期待値に対する誤差が1秒以内である場合は(工程S9のY)、ホストデバイス6が、1秒未満の変化量SubCntに基づき補正データTDを生成し、生成した補正データTDをリアルタイムクロック回路3の記憶部100に書き込む(工程S10)。変化量SubCntは、n+1番目の計時データSUB\_Tと1番目の計時データSUB\_Tとの差分である。例えば、nが32であり、基準信号REFの周期が1秒であれば、差分Tの期待値は32秒であるので、差分Tが31秒以上33秒以下である場合に工程S10が行われる。また、工程S10において、ホストデバイス6は、変化量SubCntが-255~+255の範囲の値である前提で、補正データTDの値を200h-SubCntによって計算する。

【0100】

10

20

30

40

50

次に、リアルタイムクロック回路3が、工程S10で記憶部100に書き込まれた補正データTDを用いて第1分周回路20に対して緩急処理を行う(工程S11)。以降、リアルタイムクロック回路3は、補正データTDが更新されるまで、各補正期間において当該補正データTDを用いて時間的に分散して緩急処理を行う。

【0101】

一方、差分Tが1秒よりも大きい場合は(工程S9のN)、ホストデバイス6が、現在時刻のデータをリアルタイムクロック回路3のライトバッファ60に書き込む(工程S12)。例えば、ホストデバイス6は、年、月、日、時、分及び秒の時刻データ及び年、月、日、時、分及び秒を秒単位で表した時刻データをライトバッファ60に書き込む。

【0102】

次に、リアルタイムクロック回路3が、計時回路40の計時データBCD\_T, BIN\_Tをライトバッファ60が保持する現在時刻のデータに更新する(工程S13)。

【0103】

そして、工程S11又は工程S13の後、所定のインターバル時間が経過する毎に(工程S14のY)、工程S1~工程S13が繰り返し行われる。

【0104】

このように、本実施形態では、論理回路50は、例えば、32秒間の1秒未満の変化量SubCntに基づいて生成された補正データTDに基づいて、同じく32秒間の補正期間における第2クロック信号CK2の周波数が平均して1.024kHzとなるように緩急処理を行う。あるいは、論理回路50は、25.6秒間の1秒未満の変化量SubCntに基づいて生成された補正データTDに基づいて、同じく25.6秒である補正期間における第2クロック信号CK2の周波数が平均して1kHzとなるように緩急処理を行う。例えば、変化量SubCntが-255~+255の範囲とすると、第1クロック信号CK1の目標周波数が32.768kHzであり、補正期間が32秒である場合は、前述の通り、緩急処理の分解能が約0.954ppmであるので、緩急幅は-243.19ppm~+243.19ppmである。また、第1クロック信号CK1の目標周波数が32kHzであり、補正期間が25.6秒である場合は、緩急処理の分解能が約1.22ppmであるので、緩急幅は-311.28ppm~+311.28ppmである。したがって、環境温度の変化や経時変化による第1クロック信号CK1の最大周波数変動量を数ppm~数十ppmであるとする、リアルタイムクロック回路3は十分な幅で緩急処理を行うことができる。

【0105】

また、1秒未満の変化量SubCntを計算するための期間である基準信号REFに同期した間隔と補正期間の長さを一致させることにより、補正データTDの値を変化量SubCntの符号を反転した値とすればよく、ホストデバイス6による補正データTDの計算負荷を低減させることができる。

【0106】

1-1-7. 作用効果

以上に説明したように、第1実施形態では、リアルタイムクロック回路3において、論理回路50が、基準信号REFに同期した間隔での1秒よりも短い時間の計時データSUB\_Tの変化量に基づいて生成された補正データTDを用いて、第2クロック信号CK2を生成する第1分周回路20に対して緩急処理を行う。したがって、1秒以上の任意の短時間で生成された補正データTDを用いて、第2クロック信号CK2が補正される。そして、第2分周回路30が第2クロック信号CK2を分周して第3クロック信号CK3を生成し、計時回路40が第3クロック信号CK3に基づいて1秒以上の時間の計時データBCD\_T, BIN\_Tを生成するので、計時データBCD\_T, BIN\_Tが短時間で補正される。また、リアルタイムクロック回路3では、基準信号REFに同期した間隔での計時データSUB\_Tの変化量に基づいて補正データTDが生成される。そのため、リアルタイムクロック回路3が第3クロック信号CK3をホストデバイス6に出力し、ホストデバイス6が第3クロック信号CK3の周波数を計測して補正データTDを作成する必要

10

20

30

40

50

がない。したがって、第1実施形態によれば、リアルタイムクロック回路3は、短時間で簡易に計時データの補正データTDを取得することができる。さらに、第1実施形態では、リアルタイムクロック回路3において、補正データTDを用いた緩急処理が行われる期間の長さが、補正データTDを生成するために計時データSUB\_Tの変化量が算出される間隔と一致するので、計時データSUB\_Tの変化量の符号を反転した値を補正データTDの値とすることができる。したがって、第1実施形態によれば、ホストデバイス6による補正データTDの生成が容易である。以上より、第1実施形態によれば、優れたユーザー利便性を実現することができる。

**【0107】**

また、第1実施形態では、リアルタイムクロック回路3において、補正データTDを生成するために計時データSUB\_Tの変化量が算出される間隔が、第3クロック信号CK3の周期である1秒よりも長いので、論理回路50は高い分解能で第2クロック信号CK2を補正することができる。また、計時データSUB\_Tの誤差が平均化されるため、第1クロック信号CK1のジッター等の影響も低減される。さらに、リアルタイムクロック回路3において、論理回路50が、第2クロック信号CK2の周期よりも長い時間間隔で時間的に分散して第1分周回路20に対して緩急処理を行うので、第2クロック信号CK2の周波数変動量のばらつきを小さくすることができる。例えば、前述の通り、緩急処理による補正の分解能を0.954ppmとすることにより、計時データBCD\_T、BIN\_Tの1秒の誤差を1ppm以下にすることも可能である。特に、論理回路50が、第1分周回路20に含まれる先頭の分周回路21に対して緩急処理を行うことにより、1秒未満の計時データSUB\_Tの誤差も小さくすることができる。

**【0108】**

また、第1実施形態では、リアルタイムクロック回路3において、選択データSELの値に応じて第2分周回路30の動作が切り替わることにより、第4クロック信号CK4の周波数が8Hz又は10Hzに切り替わる。これに対して、選択データSELの値によらず、ホストデバイス6が補正データTDを作成するための期間や、補正期間と基準信号REFの周期との比を共通にすることによって、論理回路50による緩急処理の論理が共通化される。したがって、第1実施形態によれば、リアルタイムクロック回路3において、第2分周回路30の動作が切り替わっても緩急処理の制御に対する影響が小さい。

**【0109】**

また、第1実施形態では、ホストデバイス6は、リアルタイムクロック回路3のタイムスタンプ機能によってイベント時刻レジスタ80に保持された計時データSUB\_Tに基づいて、補正データTDを生成する。したがって、第1実施形態によれば、イベント時刻レジスタ80に保持された計時データSUB\_Tの読み出しに要する遅延時間にばらつきがあっても、遅延時間のばらつきによる計時データSUB\_Tの誤差が生じないので、ホストデバイス6は正確な補正データTDを生成することができる。また、ホストデバイス6は、リアルタイムクロックモジュール1の動作を停止することなく短時間で補正データTDを生成することができるので、例えば、エージング補正にも適用可能である。特に、発振回路10に対してエージング補正を行った場合には、振動子2の温度特性の影響で、高温や低温の環境では第1クロック信号CK1の周波数誤差が大きくなり、その結果、1秒の誤差が大きくなるのに対して、第1実施形態では、論理回路50の緩急処理により、振動子2の温度特性による第1クロック信号CK1の周波数誤差を加味して第2クロック信号CK2の周波数が補正されるので、1秒の誤差を小さくすることができる。

**【0110】**

また、第1実施形態によれば、ホストデバイス6が補正データTDを生成するので、リアルタイムクロック回路3が補正データTDを生成する必要がなく、リアルタイムクロック回路3のサイズを低減させることができる。

**【0111】**

また、第1実施形態では、ホストデバイス6がリアルタイムクロック回路3の記憶部100に補正期間設定データPNを書き込むことができる。したがって、第1実施形態に

10

20

30

40

50

よれば、ホストデバイス 6 が補正データ T D を生成するために計時データ S U B \_\_ T の変化量が算出される間隔、すなわち、補正期間の長さを、補正の精度と補正に要する時間とのトレードオフを考慮して、ユーザーが任意に設定することができる。

【 0 1 1 2 】

1 - 2 . 第 2 実施形態

第 1 実施形態では、ホストデバイス 6 が補正データ T D を生成するのに対して、第 2 実施形態では、リアルタイムクロック回路 3 が補正データ T D を生成する。以下、第 2 実施形態について、第 1 実施形態と同様の構成要素には同じ符号を付し、第 1 実施形態と重複する説明は省略または簡略し、主に第 1 実施形態と異なる内容について説明する。

【 0 1 1 3 】

図 1 2 は、第 2 実施形態のリアルタイムクロックモジュール 1 の機能ブロック図である。図 1 2 において、図 1 と同様の構成要素には同じ符号が付されている。

【 0 1 1 4 】

図 1 2 に示すように、第 2 実施形態のリアルタイムクロックモジュール 1 では、リアルタイムクロック回路 3 は、図 1 と同様の構成要素を含み、さらに補正データ生成回路 1 5 0 を備える。

【 0 1 1 5 】

補正データ生成回路 1 5 0 は、イベント時刻レジスタ 8 0 が保持した計時データに基づいて補正データ T D を生成する。補正データ生成回路 1 5 0 は、時刻データ T S T M P に含まれる 2 つの計時データを取得し、当該 2 つの計時データに基づいて補正データ T D を生成する。具体的には、補正データ生成回路 1 5 0 は、基準信号 R E F の電圧レベルが遷移する所定のタイミングが発生した回数をカウントし、基準信号 R E F の電圧レベルが 1 回目と  $n + 1$  回目に遷移したタイミングでイベント時刻レジスタ 8 0 に保持された 2 つの計時データを取得する。例えば、基準信号 R E F の電圧レベルが遷移する所定のタイミングは、基準信号 R E F がローレベルからハイレベルに遷移するタイミングであってもよいし、基準信号 R E F がハイレベルからローレベルに遷移するタイミングであってもよい。また、整数  $n$  は、前述の補正期間設定データ P N の値である。そして、補正データ生成回路 1 5 0 は、取得した 2 つの計時データにそれぞれ含まれる計時データ S U B \_\_ T の差分により、基準信号 R E F の  $n$  周期の間隔での計時データ S U B \_\_ T の変化量を算出し、補正データ T D を生成する。このように、補正データ T D は、基準信号 R E F に同期した間隔での計時データ S U B \_\_ T の変化量に基づいて生成されたデータである。

【 0 1 1 6 】

論理回路 5 0 は、補正データ生成回路 1 5 0 が生成した補正データ T D を用いて、第 1 実施形態と同様に、補正期間において第 1 分周回路 2 0 に対して緩急処理を行う。

【 0 1 1 7 】

また、補正データ生成回路 1 5 0 は、基準信号 R E F の  $n$  周期の間隔での計時データ S U B \_\_ T の変化量が所定値よりも大きい場合は、割込発生回路 1 1 0 に割込み制御信号 I R E を出力する。所定値は、例えば 1 秒である。割込発生回路 1 1 0 は、割込み制御信号 I R E を受けると割込み信号 I R Q を発生し、割込み信号 I R Q を、リアルタイムクロック回路 3 の端子 P 8 を介してホストデバイス 6 に出力する。ホストデバイス 6 は、割込み信号 I R Q を受けると、割込み処理を行って現在時刻のデータをリアルタイムクロック回路 3 のライトバッファ 6 0 に書き込み、計時回路 4 0 の計時データ B C D \_\_ T , B I N \_\_ T を更新する。

【 0 1 1 8 】

第 2 実施形態のリアルタイムクロックモジュール 1 のその他の構成は、第 1 実施形態と同様であるため、その設営を省略する。

【 0 1 1 9 】

図 1 3 は、第 2 実施形態のリアルタイムクロック回路 3 の補正方法の手順の一例を示す図である。

【 0 1 2 0 】

10

20

30

40

50

図 1 3 に示すように、まず、ホストデバイス 6 がリアルタイムクロック回路 3 のタイムスタンプ機能を有効にする (工程 S 1 0 1)。

【 0 1 2 1 】

次に、ホストデバイス 6 がリアルタイムクロック回路 3 に基準信号 R E F を送信する (工程 S 1 0 2)。

【 0 1 2 2 】

次に、リアルタイムクロック回路 3 が、基準信号 R E F の電圧レベルが遷移する所定のタイミングで、イベント時刻レジスタ 8 0 に計時データを保持する (工程 S 1 0 3)。工程 S 3 において保持される計時データは、計時データ S U B \_ T を含み、さらに計時データ B C D \_ T 又は計時データ B I N \_ T を含む。

10

【 0 1 2 3 】

そして、リアルタイムクロック回路 3 が基準信号 R E F を  $n + 1$  回受信するまで (工程 S 1 0 4 の N)、工程 S 1 0 2 及び工程 S 1 0 3 が繰り返される。整数  $n$  は、前述の補正期間設定データ P N の値である。例えば、 $n$  が 3 2 であり、基準信号 R E F の周期が 1 秒であれば、リアルタイムクロック回路 3 が基準信号 R E F を 3 3 回受信するまで、すなわち、基準信号 R E F の 1 回目の受信から 3 2 秒が経過するまで工程 S 1 0 2 及び工程 S 1 0 3 が繰り返される。

【 0 1 2 4 】

リアルタイムクロック回路 3 が基準信号 R E F を  $n + 1$  回受信すると (工程 S 1 0 4 の Y)、ホストデバイス 6 がリアルタイムクロック回路 3 のタイムスタンプ機能を無効にする (工程 S 1 0 5)。

20

【 0 1 2 5 】

次に、リアルタイムクロック回路 3 が、イベント時刻レジスタ 8 0 に保持された  $n + 1$  番目の計時データと 1 番目の計時データとの差分  $T$  を計算する (工程 S 1 0 6)。例えば、 $n$  が 3 2 であり、基準信号 R E F の周期が 1 秒であれば、差分  $T$  は計時データの 3 2 秒間の増加量に相当する。

【 0 1 2 6 】

そして、差分  $T$  の期待値に対する誤差が 1 秒以内である場合は (工程 S 1 0 7 の Y)、リアルタイムクロック回路 3 が、1 秒未満の変化量  $S u b C n t$  に基づき補正データ T D を生成する (工程 S 1 0 8)。変化量  $S u b C n t$  は、 $n + 1$  番目の計時データ S U B \_ T と 1 番目の計時データ S U B \_ T との差分である。例えば、 $n$  が 3 2 であり、基準信号 R E F の周期が 1 秒であれば、差分  $T$  の期待値は 3 2 秒であるので、差分  $T$  が 3 1 秒以上 3 3 秒以下である場合に工程 S 1 0 8 が行われる。また、工程 S 1 0 8 において、ホストデバイス 6 は、変化量  $S u b C n t$  が  $- 2 5 5 \sim + 2 5 5$  の範囲の値である前提で、補正データ T D の値を  $2 0 0 h - S u b C n t$  によって計算する。

30

【 0 1 2 7 】

次に、リアルタイムクロック回路 3 が、工程 S 1 0 8 で生成された補正データ T D を用いて第 1 分周回路 2 0 に対して緩急処理を行う (工程 S 1 0 9)。以降、リアルタイムクロック回路 3 は、補正データ T D が更新されるまで、各補正期間において当該補正データ T D を用いて時間的に分散して緩急処理を行う。

40

【 0 1 2 8 】

一方、差分  $T$  が 1 秒よりも大きい場合は (工程 S 1 0 7 の N)、リアルタイムクロック回路 3 が、ホストデバイス 6 に割込み信号 I R Q を送信する (工程 S 1 1 0)。

【 0 1 2 9 】

次に、ホストデバイス 6 が、割込み信号 I R Q を受信し、現在時刻のデータをリアルタイムクロック回路 3 のライトバッファ 6 0 に書き込む (工程 S 1 1 1)。例えば、ホストデバイス 6 は、年、月、日、時、分及び秒の時刻データ及び年、月、日、時、分及び秒を秒単位で表した時刻データをライトバッファ 6 0 に書き込む。

【 0 1 3 0 】

次に、リアルタイムクロック回路 3 が、計時回路 4 0 の計時データ B C D \_ T , B I N

50

\_\_Tをライトバッファ60が保持する現在時刻のデータに更新する(工程S112)。

【0131】

そして、工程S109又は工程S112の後、所定のインターバル時間が経過する毎に(工程S113のY)、工程S101~工程S112が繰り返し行われる。

【0132】

このように、本実施形態では、論理回路50は、例えば、32秒間の1秒未満の変化量SubCntに基づいて生成された補正データTDに基づいて、同じく32秒間の補正期間における第2クロック信号CK2の周波数が平均して1.024kHzとなるように緩急処理を行う。あるいは、論理回路50は、25.6秒間の1秒未満の変化量SubCntに基づいて生成された補正データTDに基づいて、同じく25.6秒である補正期間における第2クロック信号CK2の周波数が平均して1kHzとなるように緩急処理を行う。このように、1秒未満の変化量SubCntを計算するための期間である基準信号REFに同期した間隔と補正期間の長さを一致させることにより、補正データTDの値を変化量SubCntの符号を反転した値とすればよく、補正データ生成回路150のサイズを低減させることができる。

10

【0133】

以上に説明したように、第2実施形態では、リアルタイムクロック回路3において、補正データ生成回路150が、基準信号REFの電圧レベルが遷移する所定のタイミングでイベント時刻レジスタ80に保持された計時データSUB\_\_Tに基づいて、補正データTDを生成する。したがって、第2実施形態によれば、ホストデバイス6が補正データTDを生成する必要がないので、ホストデバイス6の計算負荷を低減させることができる。

20

【0134】

また、第2実施形態によれば、ホストデバイス6が計時データSUB\_\_Tを読み出す必要がないので、読み出しに要する遅延時間のばらつきによる計時データSUB\_\_Tの誤差が生じないので、補正データ生成回路150は正確な補正データTDを生成することができる。

【0135】

その他、第2実施形態のリアルタイムクロックモジュール1は、適宜、第1実施形態のリアルタイムクロックモジュール1と同様の効果を奏する。

【0136】

1-3. 第3実施形態

第1実施形態では、ホストデバイス6はリアルタイムクロック回路3のイベント時刻レジスタ80に保持されている計時データを読み出して補正データTDを生成するのに対して、第3実施形態では、ホストデバイス6はリアルタイムクロック回路3から現在時刻の計時データを読み出して補正データTDを生成する。以下、第3実施形態について、第1実施形態と同様の構成要素には同じ符号を付し、第1実施形態と重複する説明は省略または簡略し、主に第1実施形態と異なる内容について説明する。

30

【0137】

第3実施形態のリアルタイムクロックモジュール1の機能ブロック図は、図1と同様であるため、その図示を省略する。

40

【0138】

本実施形態では、ホストデバイス6は、内部で発生し、あるいは外部から受け取った基準信号REFに同期した間隔で、リアルタイムクロック回路3から計時データを読み出す。ホストデバイス6が読み出す計時データは、計時データSUB\_\_Tを含み、さらに計時データBCD\_\_T又は計時データBIN\_\_Tを含む。

【0139】

具体的には、ホストデバイス6は、基準信号REFの電圧レベルが遷移する所定のタイミングで、リアルタイムクロック回路3に、計時データSUB\_\_T及び計時データBCD\_\_T又は計時データBIN\_\_Tの読み出しを要求するアクセス信号を送信する。例えば、基準信号REFの電圧レベルが遷移する所定のタイミングは、基準信号REFがローレベ

50

ルからハイレベルに遷移するタイミングであってもよいし、基準信号 R E F がハイレベルからローレベルに遷移するタイミングであってもよい。リアルタイムクロック回路 3 のインターフェース回路 9 0 は、当該アクセス信号を受信し、読み出し対象となる計時データの読み出しを要求する不図示の読み出し要求信号を発生し、リードバッファ 7 0 に出力する。そして、インターフェース回路 9 0 は、リードバッファ 7 0 が取得して保持した読み出し対象の計時データである読み出しデータ R D A T を取得し、読み出しデータ R D A T をシリアルデータ信号 S D A に変換して端子 P 7 を介してホストデバイス 6 に送信し、ホストデバイス 6 は、計時データを取得する。

#### 【 0 1 4 0 】

その後、ホストデバイス 6 は、基準信号 R E F の電圧レベルが遷移する所定のタイミングが n 回発生すると、リアルタイムクロック回路 3 に、計時データ S U B \_ T 及び計時データ B C D \_ T 又は計時データ B I N \_ T の読み出しを要求するアクセス信号を再度送信し、当該計時データを取得する。整数 n は、前述の補正期間設定データ P N の値である。そして、ホストデバイス 6 は、取得した 2 つの計時データにそれぞれ含まれる計時データ S U B \_ T の差分により、基準信号 R E F の n 周期の間隔での計時データ S U B \_ T の変化量を算出し、補正データ T D を生成する。このように、補正データ T D は、基準信号 R E F に同期した間隔での計時データ S U B \_ T の変化量に基づいて生成されたデータである。

10

#### 【 0 1 4 1 】

論理回路 5 0 は、記憶部 1 0 0 に記憶された補正データ T D を用いて、第 1 実施形態と同様に、補正期間において第 1 分周回路 2 0 に対して緩急処理を行う。

20

#### 【 0 1 4 2 】

また、ホストデバイス 6 は、基準信号 R E F の n 周期の間隔での計時データ S U B \_ T の変化量が所定値よりも大きい場合は、現在時刻のデータをリアルタイムクロック回路 3 のライトバッファ 6 0 に書き込み、計時回路 4 0 の計時データ B C D \_ T , B I N \_ T を更新する。

#### 【 0 1 4 3 】

第 3 実施形態のリアルタイムクロックモジュール 1 のその他の構成は、第 1 実施形態と同様であるため、その設営を省略する。なお、リアルタイムクロック回路 3 は、タイムスタンプ機能及び割込発生機能がなくてもよいので、端子 P 5、イベント時刻レジスタ 8 0 及び割込発生回路 1 1 0 を備えていなくてもよい。

30

#### 【 0 1 4 4 】

図 1 4 は、第 3 実施形態のリアルタイムクロック回路 3 の補正方法の手順の一例を示す図である。

#### 【 0 1 4 5 】

図 1 4 に示すように、まず、基準信号 R E F の電圧レベルが例えばローレベルからハイレベルに遷移すると（工程 S 2 0 1 の Y）、ホストデバイス 6 がリアルタイムクロック回路 3 から計時データを読み出す（工程 S 2 0 2）。工程 S 2 0 2 において読み出される計時データは、計時データ S U B \_ T を含み、さらに計時データ B C D \_ T 又は計時データ B I N \_ T を含む。

40

#### 【 0 1 4 6 】

次に、基準信号 R E F の電圧レベルが例えばローレベルからハイレベルに n 回遷移すると（工程 S 2 0 3 の Y）、ホストデバイス 6 がリアルタイムクロック回路 3 から計時データを読み出す（工程 S 2 0 4）。工程 S 2 0 4 において読み出される計時データは、計時データ S U B \_ T を含み、さらに計時データ B C D \_ T 又は計時データ B I N \_ T を含む。整数 n は、前述の補正期間設定データ P N の値である。例えば、n が 3 2 であり、基準信号 R E F の周期が 1 秒であれば、リアルタイムクロック回路 3 が基準信号 R E F を 3 2 回受信すると、すなわち、工程 S 2 0 1 で基準信号 R E F の電圧レベルが遷移してから 3 2 秒が経過すると、再度、計時データが読み出される。

#### 【 0 1 4 7 】

50

次に、ホストデバイス6が、工程S204で読み出した計時データと工程S202で読み出した計時データとの差分  $T$  を計算する（工程S205）。例えば、 $n$  が32であり、基準信号REFの周期が1秒であれば、差分  $T$  は計時データの32秒間の増加量に相当する。

【0148】

そして、差分  $T$  の期待値に対する誤差が1秒以内である場合は（工程S206のY）、ホストデバイス6が、1秒未満の変化量  $SubCnt$  に基づき補正データTDを生成し、生成した補正データTDをリアルタイムクロック回路3の記憶部100に書き込む（工程S207）。変化量  $SubCnt$  は、工程S204で読み出した計時データSUB\_\_Tと工程S202で読み出した計時データSUB\_\_Tとの差分である。例えば、 $n$  が32であり、基準信号REFの周期が1秒であれば、差分  $T$  の期待値は32秒であるので、差分  $T$  が31秒以上33秒以下である場合に工程S207が行われる。また、工程S207において、ホストデバイス6は、変化量  $SubCnt$  が  $-255 \sim +255$  の範囲の値である前提で、補正データTDの値を  $200h - SubCnt$  によって計算する。

10

【0149】

次に、リアルタイムクロック回路3が、工程S207で記憶部100に書き込まれた補正データTDを用いて第1分周回路20に対して緩急処理を行う（工程S208）。以降、リアルタイムクロック回路3は、補正データTDが更新されるまで、各補正期間において当該補正データTDを用いて時間的に分散して緩急処理を行う。

【0150】

20

一方、差分  $T$  が1秒よりも大きい場合は（工程S206のN）、ホストデバイス6が、現在時刻のデータをリアルタイムクロック回路3のライトバッファ60に書き込む（工程S209）。例えば、ホストデバイス6は、年、月、日、時、分及び秒の時刻データ及び年、月、日、時、分及び秒を秒単位で表した時刻データをライトバッファ60に書き込む。

【0151】

次に、リアルタイムクロック回路3が、計時回路40の計時データBCD\_\_T, BIN\_\_Tをライトバッファ60が保持する現在時刻のデータに更新する（工程S210）。

【0152】

そして、工程S208又は工程S210の後、所定のインターバル時間が経過する毎に（工程S211のY）、工程S201～工程S210が繰り返し行われる。

30

【0153】

以上に説明したように、第3実施形態では、ホストデバイス6が、リアルタイムクロック回路3から計時データを読み出して補正データTDを生成し、生成した補正データTDをリアルタイムクロック回路3の記憶部100に書き込む。したがって、第3実施形態によれば、リアルタイムクロック回路3が補正データTDを生成する必要がないので、リアルタイムクロック回路3のサイズを低減させることができる。

【0154】

また、第3実施形態では、リアルタイムクロック回路3が、基準信号REFの電圧レベルが遷移する所定のタイミング毎に計時データを保持する必要がないので、リアルタイムクロック回路3のサイズを低減させ、あるいは、リアルタイムクロック回路3の処理負荷を低減させることができる。

40

【0155】

その他、第3実施形態のリアルタイムクロックモジュール1は、適宜、第1実施形態のリアルタイムクロックモジュール1と同様の効果を奏する。

【0156】

1-4. 変形例

上記の各実施形態では、第2分周回路30がバイナリーカウンターとして動作する場合は、補正データTDが生成される間隔及び補正期間の長さが、1Hzの基準信号REFの1周期の長さの32倍に相当する32秒である例を挙げ、第2分周回路30がBCDカウ

50

ンターとして動作する場合は、補正データTDが生成される間隔及び補正期間の長さが、 $1.25\text{ Hz}$ の基準信号REFの1周期の長さの32倍に相当する25.6秒である例を挙げたが、補正データTDが生成される間隔及び補正期間の長さや基準信号REFの周期はこれに限られない。例えば、基準信号REFの1周期を、補正データTDが生成される間隔及び補正期間の長さである32秒又は25.6秒と一致させてもよい。

【0157】

また、上記の各実施形態では、第2分周回路30がBCDカウンターとして動作する場合、 $1.25\text{ Hz}$ の基準信号REFの1周期の長さは0.8秒であり、1PPSの信号の1周期の長さである1秒の整数倍となっていないが、基準信号REFの1周期の長さが1秒の整数倍となるようにしてもよい。例えば、基準信号REFの1周期の長さを256秒とし、基準信号REFの1周期の間隔で取得された2つの計時データSUB\_Tの差分を $1/10$ して符号を反転した値を補正データTDの値としてもよい。あるいは、基準信号REFの1周期の長さを1秒とし、すなわち、1PPSの信号を基準信号REFとし、基準信号REFの256周期の間隔で取得された2つの計時データSUB\_Tの差分を $1/10$ して符号を反転した値を補正データTDの値としてもよい。

10

【0158】

また、上記の各実施形態では、第1分周回路20、第2分周回路30及び計時回路40が非同期リップル回路である例を挙げたが、第1分周回路20、第2分周回路30及び計時回路40は同期型カウンター回路であってもよい。例えば、第1分周回路20は第1クロック信号CK1に同期して動作するカウンター回路であってもよいし、第2分周回路20は第2クロック信号CK2に同期して動作するカウンター回路であってもよいし、計時回路40は第2クロック信号CK2又は第3クロック信号CK3に同期して動作するカウンター回路であってもよい。

20

【0159】

## 2. 電子機器

図15は、上述した各実施形態のリアルタイムクロックモジュール1又はリアルタイムクロック回路3を用いた電子機器の実施形態の構成の一例を示す機能ブロック図である。また、図16は、本実施形態の電子機器の一例であるスマートフォンの外観の一例を示す図である。

【0160】

本実施形態の電子機器300は、リアルタイムクロックモジュール1、ホストデバイス320、操作部330、記憶部340、通信部350、表示部360及び音出力部370を含んで構成されている。なお、本実施形態の電子機器300は、図15の構成要素の一部を省略又は変更し、あるいは、他の構成要素を付加した構成としてもよい。

30

【0161】

前述の通り、リアルタイムクロックモジュール1は、振動子2と、リアルタイムクロック回路3とを備える。

【0162】

ホストデバイス320は、記憶部340等に記憶されているプログラムに従い、各種の計算処理や制御処理を行う。具体的には、ホストデバイス320は、操作部330からの操作信号に応じた各種の処理、他の機器とデータ通信を行うために通信部350を制御する処理、表示部360に各種の情報を表示させるための表示信号を送信する処理、音出力部370から各種の音を出力させるための音信号を送信する処理等を行う。

40

【0163】

また、ホストデバイス320は、リアルタイムクロック回路3と通信する。例えば、ホストデバイス320は、リアルタイムクロック回路3から計時データ等を読み出して各種の計算処理や制御処理を行う。また、ホストデバイス320は、リアルタイムクロック回路3に対して計時データの書き換え等を行う。また、ホストデバイス320は、リアルタイムクロック回路3に対して、前述の補正データTDを含む各種のデータや基準信号REFを送信してもよい。ホストデバイス320は、例えば、MCU (Micro Controller Un

50

it)やMPU(Micro Processor Unit)によって実現される。なお、ホストデバイス320は、上述したホストデバイス6に対応する。

【0164】

操作部330は、操作キーやボタンスイッチ等により構成される入力装置であり、ユーザーによる操作に応じた操作信号をホストデバイス320に出力する。ホストデバイス320は、例えば、操作部330から入力される信号に応じて、リアルタイムクロック回路3に時刻情報を設定することができる。

【0165】

記憶部340は、ホストデバイス320が各種の計算処理や制御処理を行うためのプログラムやデータ等を記憶している。また、記憶部340は、ホストデバイス320の作業領域として用いられ、記憶部340から読み出されたプログラムやデータ、操作部330から入力されたデータ、ホストデバイス320が各種プログラムに従って実行した演算結果等を一時的に記憶する。記憶部340は、ROM(Read Only Memory)やRAM(Random Access Memory)を含んで構成され、例えば、ハードディスク、フレキシブルディスク、MO、MT、各種のメモリー、CD-ROM、又は、DVD-ROM等によって実現される。

10

【0166】

通信部350は、ホストデバイス320と外部装置との間のデータ通信を成立させるための各種制御を行う。

【0167】

表示部360は、LCD(Liquid Crystal Display)等により構成される表示装置であり、ホストデバイス320から入力される表示信号に基づいて各種の情報を表示する。表示部360には操作部330として機能するタッチパネルが設けられていてもよい。

20

【0168】

音出力部370は、スピーカー等によって構成され、ホストデバイス320から入力される音信号に基づいて各種の情報を音や音声として出力する。

【0169】

本実施形態の電子機器300は、短時間で簡易に計時データの補正データを取得することが可能なリアルタイムクロック回路3を備えるので、高い信頼性を実現することができる。

30

【0170】

このような電子機器300としては種々の電子機器が考えられ、例えば、電子時計、モバイル型、ラップトップ型、タブレット型などのパーソナルコンピューター、スマートフォンや携帯電話機などの移動体端末、デジタルカメラ、インクジェットプリンターなどのインクジェット式吐出装置、ルーターやスイッチなどのストレージエリアネットワーク機器、ローカルエリアネットワーク機器、移動体端末基地局用機器、テレビ、ビデオカメラ、ビデオレコーダー、カーナビゲーション装置、リアルタイムクロック装置、ページャー、電子手帳、電子辞書、電卓、電子ゲーム機器、ゲーム用コントローラー、ワードプロセッサ、ワークステーション、テレビ電話、防犯用テレビモニター、電子双眼鏡、POS端末、電子体温計、血圧計、血糖計、心電図計測装置、超音波診断装置、電子内視鏡等の医療機器、魚群探知機、各種測定機器、車両、航空機、船舶等の計器類、フライトシミュレーター、ヘッドマウントディスプレイ、モーショントレース、モーショントラッキング、モーションコントローラー、歩行者自立航法(PDR: Pedestrian Dead Reckoning)装置等が挙げられる。

40

【0171】

本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【0172】

上述した実施形態および変形例は一例であって、これらに限定されるわけではない。例えば、各実施形態および各変形例を適宜組み合わせることも可能である。

50

## 【0173】

本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び効果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

## 【0174】

上述した実施形態および変形例から以下の内容が導き出される。

## 【0175】

リアルタイムクロック回路の一態様は、  
振動子を発振させて第1クロック信号を生成する発振回路と、  
前記第1クロック信号を分周して第2クロック信号を生成する第1分周回路と、  
前記第2クロック信号を分周して第3クロック信号を生成するとともに、前記第2クロック信号に基づいて1秒よりも短い時間の第1計時データを生成する第2分周回路と、  
前記第3クロック信号に基づいて1秒以上の時間の第2計時データを生成する計時回路と、  
基準信号に同期した間隔での前記第1計時データの変化量に基づいて生成された補正データを用いて、前記間隔に相当する長さの期間において、前記第1分周回路に対して緩急処理を行う論理回路と、を備える。

## 【0176】

このリアルタイムクロック回路では、論理回路が、基準信号に同期した間隔での1秒よりも短い時間の第1計時データの変化量に基づいて生成された補正データを用いて、第2クロック信号を生成する第1分周回路に対して緩急処理を行う。したがって、1秒以上の任意の短時間で生成された補正データを用いて、第2クロック信号が補正される。そして、第2分周回路が第2クロック信号を分周して第3クロック信号を生成し、計時回路が第3クロック信号に基づいて1秒以上の時間の第2計時データを生成するので、第2計時データが短時間で補正される。また、このリアルタイムクロック回路では、基準信号に同期した間隔での第1計時データの変化量に基づいて補正データが生成される。そのため、リアルタイムクロック回路が第3クロック信号を外部装置に出力し、外部装置が第3クロック信号の周波数を計測して補正データを作成する必要がない。したがって、このリアルタイムクロック回路によれば、短時間で簡易に計時データの補正データを取得することができる。さらに、このリアルタイムクロック回路では、補正データを用いた緩急処理が行われる期間の長さが、補正データを生成するために第1計時データの変化量が算出される間隔と一致するので、第1計時データの変化量の符号を反転した値を補正データの値とすることができる。したがって、このリアルタイムクロック回路によれば、補正データの生成が容易である。以上より、このリアルタイムクロック回路によれば、優れたユーザー利便性を実現することができる。

## 【0177】

前記リアルタイムクロック回路の一態様において、  
前記間隔は、前記第3クロック信号の周期よりも長く、  
前記論理回路は、前記期間において、前記第2クロック信号の周期よりも長い時間間隔で前記緩急処理を行ってもよい。

## 【0178】

このリアルタイムクロック回路によれば、補正データを生成するために第1計時データの変化量が算出される間隔が、1秒以上の第2計時データを生成する計時回路が用いる第3クロック信号の周期よりも長いので、論理回路は高い分解能で第2クロック信号を補正することができる。さらに、このリアルタイムクロック回路によれば、論理回路が、第2クロック信号の周期よりも長い時間間隔で時間的に分散して第1分周回路に対して緩急処理を行うので、第2クロック信号の周波数変動量のばらつきを小さくすることができる。

10

20

30

40

50

## 【0179】

前記リアルタイムクロック回路の一態様は、

前記基準信号の電圧レベルが遷移する所定のタイミングで前記第1計時データを保持するバッファ回路を備えてもよい。

## 【0180】

このリアルタイムクロック回路では、補正データが、基準信号の電圧レベルが遷移する所定のタイミングでバッファ回路に保持された第1計時データに基づいて生成される。したがって、このリアルタイムクロック回路によれば、例えば、外部装置がバッファ回路に保持された第1計時データを読み出して補正データを生成する場合において、第1計時データの読み出しに要する遅延時間にばらつきがあっても、遅延時間のばらつきによる第1計時データの誤差が生じないので、高い精度で計時データを補正することができる。

10

## 【0181】

前記リアルタイムクロック回路の一態様は、

保持した前記第1計時データに基づいて前記補正データを生成する補正データ生成回路を備えてもよい。

## 【0182】

このリアルタイムクロック回路では、補正データ生成回路が、基準信号の電圧レベルが遷移する所定のタイミングでバッファ回路に保持された第1計時データに基づいて、補正データを生成する。したがって、このリアルタイムクロック回路によれば、外部装置が補正データを生成する必要がないので、外部装置の計算負荷を低減させることができる。また、このリアルタイムクロックによれば、外部装置が第1計時データを読み出す必要がないので、読み出しに要する遅延時間のばらつきによる第1計時データの誤差が生じないので、高い精度で計時データを補正することができる。

20

## 【0183】

前記リアルタイムクロック回路の一態様は、

前記第1計時データを送信するインターフェース回路を備えてもよい。

## 【0184】

このリアルタイムクロック回路によれば、外部装置が、インターフェース回路が送信する第1計時データを受信して補正データを生成することができる。したがって、リアルタイムクロック回路が補正データを生成する必要がないので、リアルタイムクロック回路のサイズを低減させることができる。

30

## 【0185】

前記リアルタイムクロック回路の一態様において、

前記インターフェース回路は、前記間隔を指定する情報を受信してもよい。

## 【0186】

このリアルタイムクロック回路によれば、補正データを生成するために第1計時データの変化量が算出される間隔、すなわち、補正データを用いた緩急処理が行われる期間の長さを、補正の精度と補正に要する時間とのトレードオフを考慮して、ユーザーが任意に設定することができる。

## 【0187】

リアルタイムクロックモジュールの一態様は、

前記リアルタイムクロック回路の一態様と、

前記振動子と、を備える。

40

## 【0188】

電子機器の一態様は、

前記リアルタイムクロック回路の一態様と、

前記リアルタイムクロック回路と通信するホストデバイスと、を備える。

## 【0189】

リアルタイムクロック回路の補正方法の一態様は、

振動子を発振させて第1クロック信号を生成する発振回路と、前記第1クロック信号を

50

分周して第2クロック信号を生成する第1分周回路と、前記第2クロック信号を分周して第3クロック信号を生成するとともに、前記第2クロック信号に基づいて1秒よりも短い時間の第1計時データを生成する第2分周回路と、前記第3クロック信号に基づいて1秒以上の時間の第2計時データを生成する計時回路と、を備えたリアルタイムクロック回路の補正方法であって、

前記リアルタイムクロック回路が、基準信号に同期した間隔での前記第1計時データの変化量に基づいて生成された補正データを用いて、前記間隔に相当する長さの期間において、前記第1分周回路に対して緩急処理を行う工程を備える。

#### 【0190】

このリアルタイムクロック回路の補正方法では、リアルタイムクロック回路が、基準信号に同期した間隔での1秒よりも短い時間の第1計時データの変化量に基づいて生成された補正データを用いて、第2クロック信号を生成する第1分周回路に対して緩急処理を行う。したがって、1秒以上の任意の短時間で生成された補正データを用いて、第2クロック信号が補正される。そして、第2分周回路が第2クロック信号を分周して第3クロック信号を生成し、計時回路が第3クロック信号に基づいて1秒以上の時間の第2計時データを生成するので、第2計時データが短時間で補正される。また、このリアルタイムクロック回路の補正方法では、基準信号に同期した間隔での第1計時データの変化量に基づいて補正データが生成される。そのため、リアルタイムクロック回路が第3クロック信号を外部装置に出力し、外部装置が第3クロック信号の周波数を計測して補正データを作成する必要がない。したがって、このリアルタイムクロック回路の補正方法によれば、短時間で簡易に計時データの補正データを取得することができる。さらに、このリアルタイムクロック回路の補正方法では、補正データを用いた緩急処理が行われる期間の長さが、補正データを生成するために第1計時データの変化量が算出される間隔と一致するので、第1計時データの変化量の符号を反転した値を補正データの値とすることができる。したがって、このリアルタイムクロック回路の補正方法によれば、補正データの生成が容易である。以上より、このリアルタイムクロック回路の補正方法によれば、優れたユーザー利便性を実現することができる。

#### 【0191】

前記リアルタイムクロック回路の補正方法の一態様は、

ホストデバイスが、前記リアルタイムクロック回路に前記基準信号を送信する工程と、前記リアルタイムクロック回路が、前記基準信号の電圧レベルが遷移する所定のタイミング毎に前記第1計時データを保持する工程と、

前記リアルタイムクロック回路が、前記ホストデバイスに割込み信号を送信する工程と、前記ホストデバイスが、前記割込み信号を受信し、前記間隔で保持された2つの前記第1計時データを読み出す工程と、

前記ホストデバイスが、読み出した2つの前記第1計時データに基づいて前記補正データを生成し、生成した前記補正データを前記リアルタイムクロック回路の記憶部に書き込む工程と、を含んでもよい。

#### 【0192】

このリアルタイムクロック回路の補正方法では、ホストデバイスが、リアルタイムクロック回路から第1計時データを読み出して補正データを生成し、生成した補正データをリアルタイムクロック回路の記憶部に書き込む。したがって、このリアルタイムクロック回路の補正方法によれば、リアルタイムクロック回路が補正データを生成する必要がないので、リアルタイムクロック回路のサイズを低減させることができる。また、このリアルタイムクロック回路の補正方法では、リアルタイムクロック回路が基準信号の電圧レベルが遷移する所定のタイミングで保持した第1計時データに基づいて、ホストデバイスが補正データを生成する。したがって、このリアルタイムクロック回路の補正方法によれば、ホストデバイスが第1計時データの読み出しに要する遅延時間にばらつきがあっても、遅延時間のばらつきによる第1計時データの誤差が生じないので、高い精度で計時データを補正することができる。

10

20

30

40

50

## 【 0 1 9 3 】

前記リアルタイムクロック回路の補正方法の一態様は、  
 ホストデバイスが、前記リアルタイムクロック回路に前記基準信号を送信する工程と、  
 前記リアルタイムクロック回路が、前記基準信号の電圧レベルが遷移する所定のタイミ  
 ング毎に前記第 1 計時データを保持する工程と、  
 前記リアルタイムクロック回路が、前記間隔で保持された 2 つの前記第 1 計時データに  
 基づいて前記補正データを生成する工程と、を含んでもよい。

## 【 0 1 9 4 】

このリアルタイムクロック回路の補正方法では、リアルタイムクロック回路が、基準信  
 号の電圧レベルが遷移する所定のタイミングでバッファ回路に保持された第 1 計時デー  
 タに基づいて、補正データを生成する。したがって、このリアルタイムクロック回路の補  
 正方法によれば、ホストデバイスが補正データを生成する必要がないので、ホストデバイ  
 スの計算負荷を低減させることができる。また、このリアルタイムクロック回路の補正方  
 法では、リアルタイムクロック回路が、基準信号の電圧レベルが遷移する所定のタイミ  
 ングで保持した第 1 計時データに基づいて、補正データを生成する。したがって、このリア  
 ルタイムクロック回路の補正方法によれば、ホストデバイスが第 1 計時データを読み出す  
 必要がないので、読み出しに要する遅延時間のばらつきによる第 1 計時データの誤差が生  
 じないので、高い精度で計時データを補正することができる。

## 【 0 1 9 5 】

前記リアルタイムクロック回路の補正方法の一態様は、  
 ホストデバイスが、前記間隔で前記リアルタイムクロック回路から 2 つの前記第 1 計時  
 データを読み出す工程と、  
 前記ホストデバイスが、読み出した 2 つの前記第 1 計時データに基づいて前記補正デー  
 タを生成し、生成した前記補正データを前記リアルタイムクロック回路の記憶部に書き込  
 む工程と、を含んでもよい。

## 【 0 1 9 6 】

このリアルタイムクロック回路の補正方法では、ホストデバイスが、リアルタイムクロ  
 ック回路から第 1 計時データを読み出して補正データを生成し、生成した補正データをリア  
 ルタイムクロック回路の記憶部に書き込む。したがって、このリアルタイムクロック回  
 路の補正方法によれば、リアルタイムクロック回路が補正データを生成する必要がないの  
 で、リアルタイムクロック回路のサイズを低減させることができる。また、このリアルタ  
 イムクロック回路の補正方法では、リアルタイムクロック回路が、基準信号の電圧レベル  
 が遷移する所定のタイミング毎に第 1 計時データを保持する必要がないので、リアルタ  
 イムクロック回路のサイズを低減させ、あるいは、リアルタイムクロック回路の処理負荷を  
 低減させることができる。

## 【符号の説明】

## 【 0 1 9 7 】

1 ... リアルタイムクロックモジュール、 2 ... 振動子、 3 ... リアルタイムクロック回路、 4  
 ... メイン電源、 5 ... バックアップ電源、 6 ... ホストデバイス、 10 ... 発振回路、 20 ... 第  
 1 分周回路、 21 ... 分周回路、 22 ~ 25 ... 2 分周回路、 30 ... 第 2 分周回路、 31 ~ 3  
 A ... 2 分周回路、 3B, 3C, 3D ... カウンター、 40 ... 計時回路、 41 ~ 47 ... カウン  
 ター、 50 ... 論理回路、 60 ... ライトバッファ、 70 ... リードバッファ、 80 ... イベ  
 ント時刻レジスタ、 90 ... インターフェース回路、 100 ... 記憶部、 110 ... 割込発生  
 回路、 120 ... 電源電圧選択回路、 130 ... 電源電圧判定回路、 140 ... レギュレーター  
 、 150 ... 補正データ生成回路、 300 ... 電子機器、 320 ... ホストデバイス、 330 ...  
 操作部、 340 ... 記憶部、 350 ... 通信部、 360 ... 表示部、 370 ... 音出力部

10

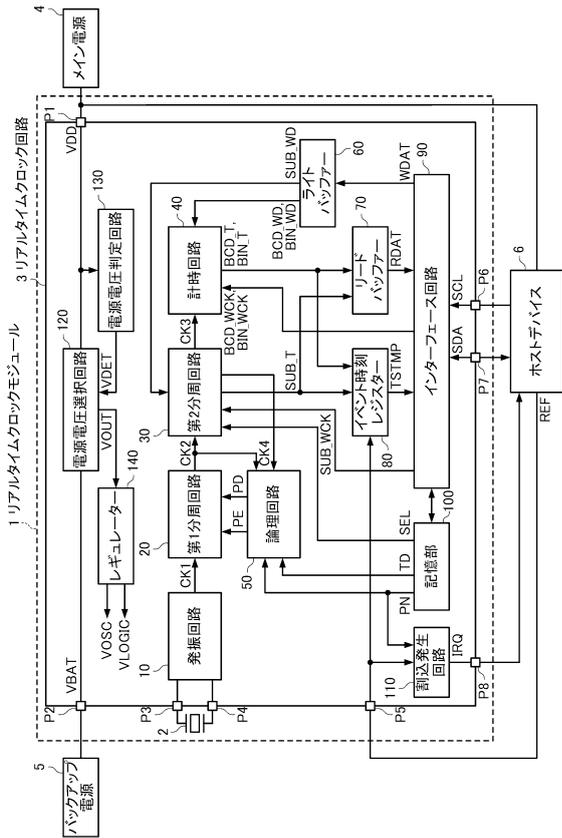
20

30

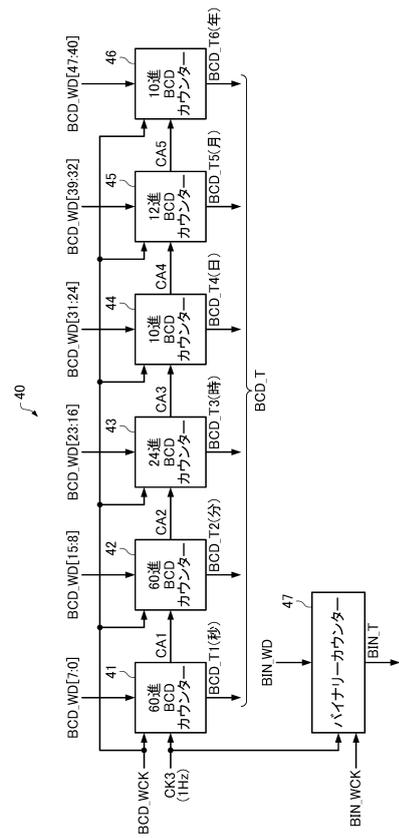
40

50

【図面】  
【図 1】



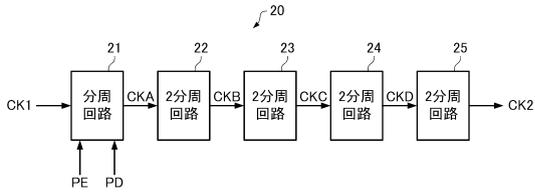
【図 2】



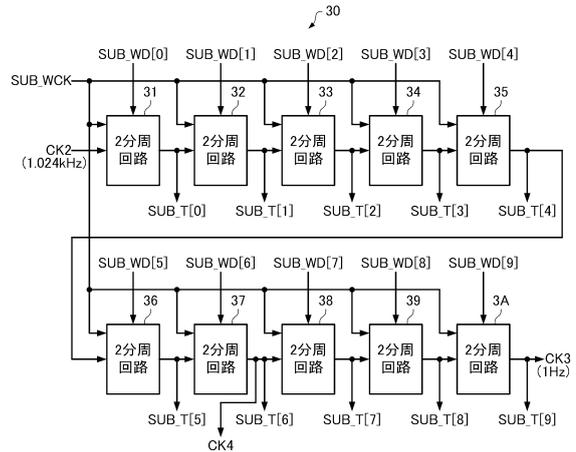
10

20

【図 3】



【図 4】

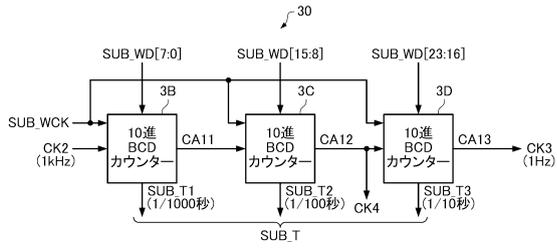


30

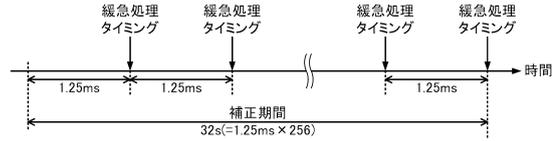
40

50

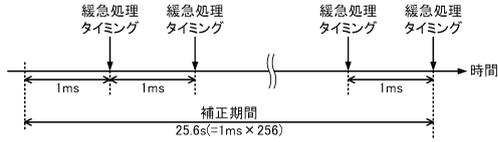
【図 5】



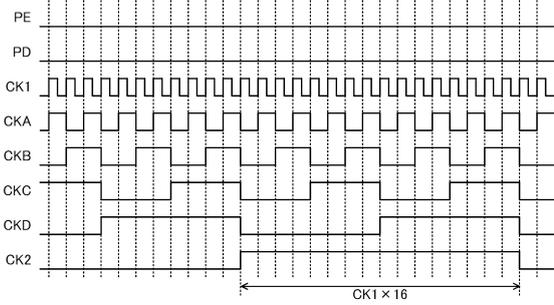
【図 6】



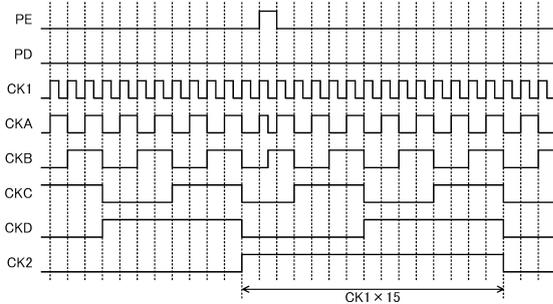
【図 7】



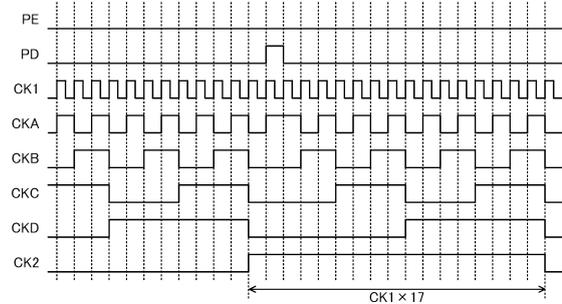
【図 8】



【図 9】



【図 10】



10

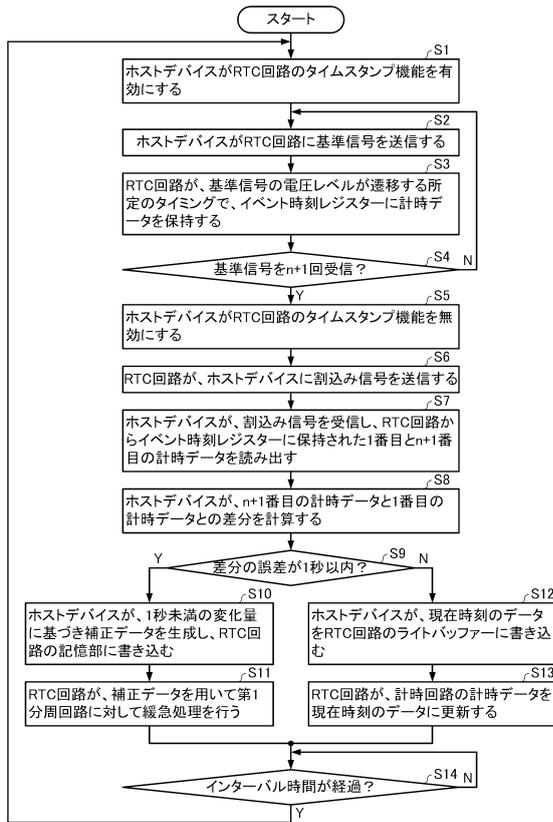
20

30

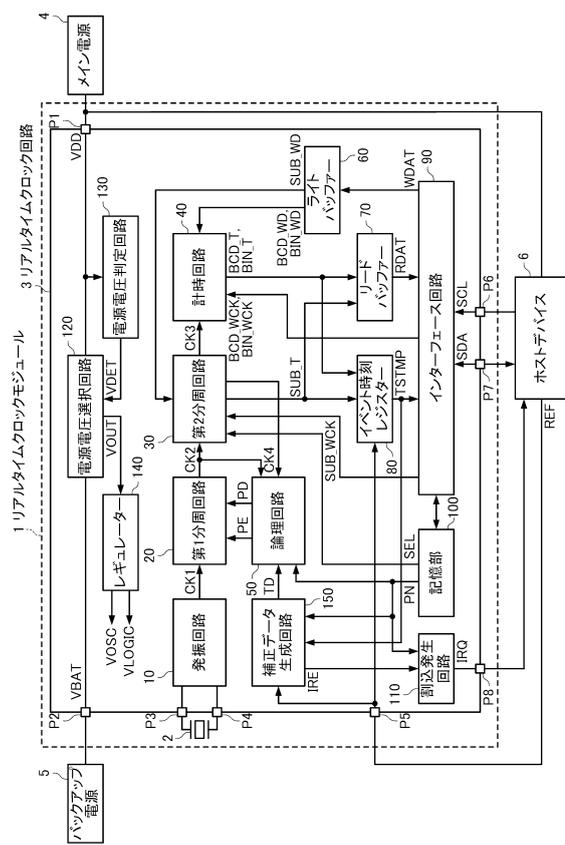
40

50

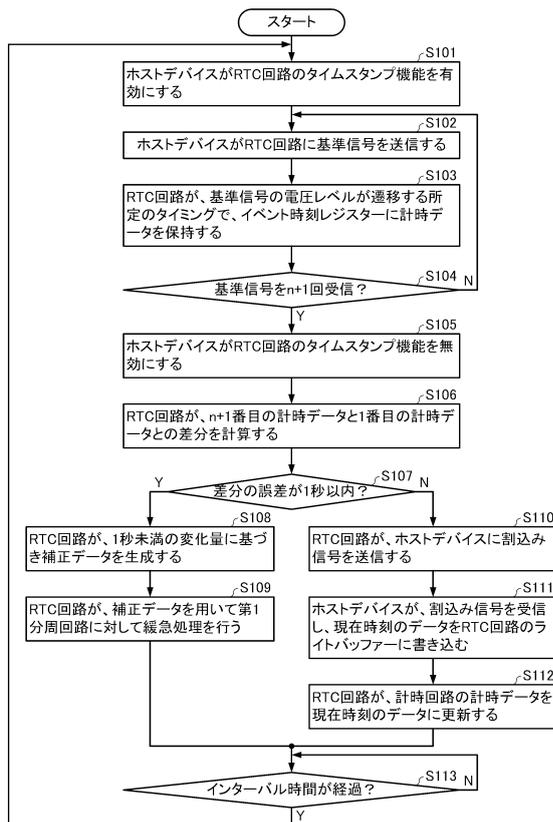
【図 1 1】



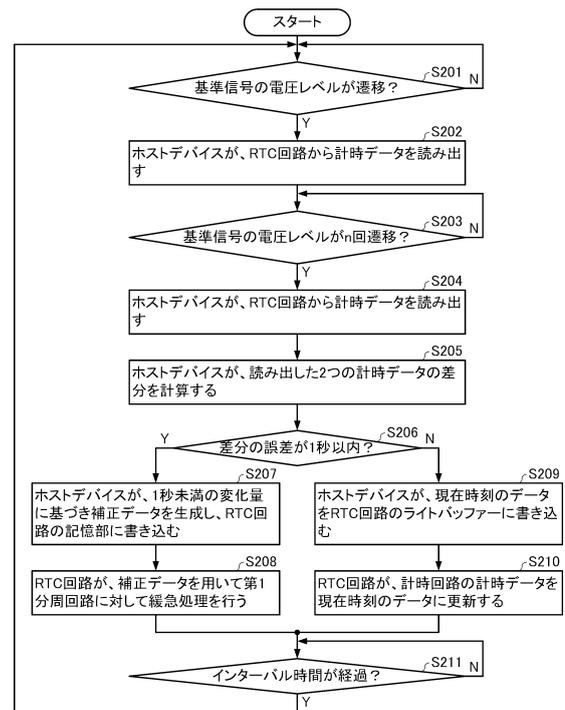
【図 1 2】



【図 1 3】



【図 1 4】



10

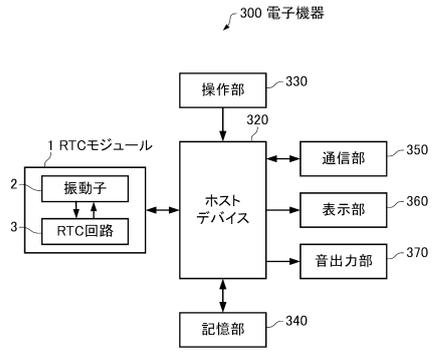
20

30

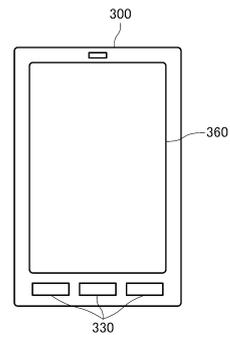
40

50

【図15】



【図16】



10

20

30

40

50

---

フロントページの続き

(51)国際特許分類

F I

G 0 4 G

3/00

M

(56)参考文献

特開 2 0 0 2 - 2 2 8 7 7 8 ( J P , A )

特開 2 0 0 4 - 3 0 1 7 5 3 ( J P , A )

特開昭 6 3 - 0 4 0 9 2 6 ( J P , A )

(58)調査した分野 (Int.Cl. , D B 名)

G 0 4 G 3 / 0 0

G 0 4 G 3 / 0 2

G 0 4 G 7 / 0 0

G 0 4 G 5 / 0 0

G 0 6 F 1 / 1 4