



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월15일
(11) 등록번호 10-2203298
(24) 등록일자 2021년01월11일

(51) 국제특허분류(Int. Cl.)
G11C 16/06 (2021.01) G11C 16/14 (2006.01)
(21) 출원번호 10-2014-0099104
(22) 출원일자 2014년08월01일
심사청구일자 2019년07월29일
(65) 공개번호 10-2016-0016007
(43) 공개일자 2016년02월15일
(56) 선행기술조사문헌
KR100725417 B1*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
정봉길
서울특별시 송파구 한가람로 448 동아한가람아파트 104동 1702호
(74) 대리인
특허법인가산

전체 청구항 수 : 총 9 항

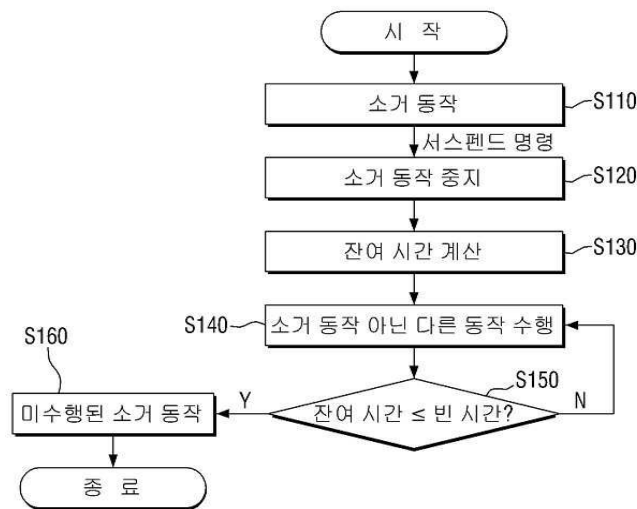
심사관 : 박소정

(54) 발명의 명칭 비휘발성 메모리 장치 및 비휘발성 메모리 장치의 구동 방법

(57) 요약

비휘발성 메모리 장치 및 비휘발성 메모리 장치의 구동 방법이 제공된다. 비휘발성 메모리 장치의 구동 방법은, 복수의 메모리 셀에 대해 소거 동작을 수행하고, 서스펜드 명령에 의하여 상기 소거 동작을 중지하고, 상기 소거 동작 중 미수행된 소거 동작의 잔여 시간을 계산하고, 제1 동작을 수행하고, 상기 제1 동작의 완료 시점부터 제2 동작 시작 시점 사이의 빈 시간과 상기 잔여 시간을 비교하고, 상기 잔여 시간이 상기 빈 시간보다 짧으면 상기 미수행된 소거 동작을 수행하고, 상기 잔여 시간이 상기 빈 시간보다 길면 상기 제2 동작을 수행하는 것을 포함한다.

대표도 - 도5



(56) 선행기술조사문헌

KR1020060024146 A*

US20140215175 A1*

KR1020120092561 A

US20130198451 A1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

복수의 메모리 셀에 대해 소거 동작을 수행하고,
 서스펜드 명령에 의하여 상기 소거 동작을 중지하고,
 중지된 상기 소거 동작 중 미수행된 소거 동작의 잔여 시간을 계산하고,
 상기 소거 동작 후에, 제1 동작을 수행하고,
 상기 제1 동작의 완료 시점부터 제2 동작 시작 시점 사이의 제1 빈 시간과 상기 잔여 시간을 비교하고,
 상기 잔여 시간이 상기 제1 빈 시간보다 짧거나 같으면 상기 미수행된 소거 동작을 수행하고, 상기 잔여 시간이
 상기 제1 빈 시간보다 길면 상기 제2 동작을 수행하는 것을 포함하되,
 상기 잔여 시간을 계산하는 것은, 소거 동작 정보를 이용하여 상기 잔여 시간을 계산하는 것을 포함하고,
 상기 소거 동작 정보는, 상기 소거 동작의 진행 정도, 상기 소거 동작이 수행된 메모리 셀의 개수 및 상기 복수
 의 메모리 셀 중에서 제1 전압 이상인 메모리 셀의 개수 중 적어도 하나를 포함하는 비휘발성 메모리 장치의 구
 동 방법.

청구항 2

삭제

청구항 3

제 1항에 있어서,
 상기 미수행된 소거 동작을 수행하는 것은, 상기 미수행된 소거 동작의 잔여 시간을 조절하여 상기 미수행된 소
 거 동작을 수행하는 것을 포함하는 비휘발성 메모리 장치의 구동 방법.

청구항 4

제 1항에 있어서,
 상기 미수행된 소거 동작은 중지없이 한번에 수행되는 비휘발성 메모리 장치의 구동 방법.

청구항 5

제 1항에 있어서,
 상기 복수의 메모리 셀을 포함하는 제1 블록과, 상기 제1 블록과는 다른 복수개의 제2 블록을 포함하고,
 상기 제1 동작과 상기 제2 동작은 상기 복수개의 제2 블록에 대하여 수행되는 비휘발성 메모리 장치의 구동 방
 법.

청구항 6

복수의 메모리 셀에 대해 소거 동작을 수행하고,
 서스펜드 명령에 의해 상기 소거 동작을 중지하고,
 상기 소거 동작 중 미수행된 소거 동작의 잔여 시간을 계산하고,
 상기 소거 동작과 다른 제1 내지 제3 동작을 순차적으로 수행하는 것을 포함하되,
 상기 제1 동작과 상기 제2 동작 사이의 시간 보다 상기 잔여 시간이 짧거나 같으면 상기 제2 동작을 수행하기
 전에 상기 미수행된 소거 동작을 수행하고, 상기 제2 동작과 상기 제3 동작 사이의 시간보다 상기 잔여 시간이

짧거나 같으면 상기 제3 동작을 수행하기 전에 상기 미수행된 소거 동작을 수행하는 비휘발성 메모리 장치의 구동 방법.

청구항 7

제 6항에 있어서,

상기 미수행된 소거 동작을 수행하기 전에, 상기 미수행된 소거 동작의 잔여 시간을 조절하여 상기 미수행된 소거 동작을 수행하는 것을 포함하는 비휘발성 메모리 장치의 구동 방법.

청구항 8

각각이 복수의 메모리 셀을 포함하는 복수의 블록을 포함하는 메모리 장치; 및

호스트의 요청에 따라 상기 메모리 장치를 제어하는 메모리 컨트롤러를 포함하되,

상기 메모리 컨트롤러는,

상기 복수의 블록 중 적어도 하나의 블록에 소거 동작을 수행하는 중 상기 호스트로부터 서스펜드 명령을 받으면 상기 소거 동작을 중지하고, 중지된 상기 소거 동작 중 미수행된 소거 동작의 잔여 시간을 계산하고,

상기 소거 동작 이후 순차적으로 제1 동작과 제2 동작을 수행하되, 상기 제1 동작과 상기 제2 동작 사이의 빈 시간과 상기 잔여 시간을 비교하여 상기 잔여 시간이 상기 빈 시간보다 짧으면 상기 제2 동작 수행 전에 상기 미수행된 소거 동작을 수행하고, 상기 잔여 시간이 상기 빈 시간보다 길면 상기 제2 동작 이후에 상기 미수행된 소거 동작을 수행하고,

상기 미수행된 소거 동작은 중지없이 한번에 수행되고,

상기 메모리 컨트롤러는 상기 잔여 시간을 조절하는 비휘발성 메모리 장치.

청구항 9

제 8항에 있어서,

상기 제1 및 제2 동작은 상기 소거 동작과는 다른 비휘발성 메모리 장치.

청구항 10

제 8항에 있어서,

상기 복수의 블록 중에서, 상기 소거 동작이 수행되는 블록과, 상기 제1 및 제2 동작이 수행되는 블록은 서로 다른 비휘발성 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 비휘발성 메모리 장치 및 비휘발성 메모리 장치의 구동 방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치는 실리콘(Si), 게르마늄(Ge), 비화 갈륨(GaAs), 인화인듐(InP) 등과 같은 반도체를 이용하여 구현되는 기억장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치와 비휘발성 메모리 장치로 구분된다.

[0003] 휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치는 SRAM(Static RAM), DRAM(Dynamic RAM), SDRAM(Synchronous DRAM) 등을 포함한다. 비휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터를 유지하는 메모리 장치이다. 비휘발성 메모리 장치는 플래시 메모리 장치, ROM(Read Only Memory), PROM(Programmable ROM), EPROM(Electrically Programmable ROM), EEPROM(Electrically Erasable and Programmable ROM), 저항성 메모리 장치(예를 들어, PRAM(Phase-change RAM), FRAM(Ferroelectric RAM), RRAM(Resistive RAM)) 등을 포함한다.

발명의 내용

해결하려는 과제

- [0004] 본 발명이 해결하고자 하는 기술적 과제는 성능과 속도가 향상된 비휘발성 메모리 장치의 구동 방법을 제공하는 것이다.
- [0005] 본 발명이 해결하고자 하는 다른 기술적 과제는 성능과 속도가 향상된 비휘발성 메모리 장치를 제공하는 것이다.
- [0006] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 구동 방법은, 복수의 메모리 셀에 대해 소거 동작을 수행하고, 서스펜드 명령에 의하여 상기 소거 동작을 중지하고, 상기 소거 동작 중 미수행된 소거 동작의 잔여 시간을 계산하고, 제1 동작을 수행하고, 상기 제1 동작의 완료 시점부터 제2 동작 시작 시점 사이의 제1 빈 시간과 상기 잔여 시간을 비교하고, 상기 잔여 시간이 상기 제1 빈 시간보다 짧거나 같으면 상기 미수행된 소거 동작을 수행하고, 상기 잔여 시간이 상기 제1 빈 시간보다 길면 상기 제2 동작을 수행하는 것을 포함한다.
- [0008] 상기 잔여 시간을 계산하는 것은, 소거 동작 정보를 이용하여 상기 잔여 시간을 계산하는 것을 포함하고, 상기 소거 동작 정보는, 상기 소거 동작의 진행 정도, 상기 소거 동작이 수행된 메모리 셀의 개수 및 상기 복수의 메모리 셀 중에서 제1 전압 이상인 메모리 셀의 개수 중 적어도 하나를 포함할 수 있다.
- [0009] 상기 제1 전압은 베리파이(verify) 전압일 수 있다.
- [0010] 상기 미수행된 소거 동작을 수행하는 것은, 상기 미수행된 소거 동작의 잔여 시간을 조절하여 상기 미수행된 소거 동작을 수행할 수 있다.
- [0011] 상기 미수행된 소거 동작은 적어도 하나의 소거 단위 동작과, 옵션 동작을 포함하고, 상기 잔여 시간을 조절하는 것은 상기 옵션 동작을 제거하는 것을 포함할 수 있다.
- [0012] 상기 옵션 동작은 상기 복수의 메모리 셀과 연결된 라인들을 점검하는 동작을 포함할 수 있다.
- [0013] 상기 미수행된 소거 동작은 중지없이 한번에 수행될 수 있다.
- [0014] 상기 제2 동작을 수행한 후에, 상기 제2 동작의 완료 시점부터 제3 동작 시작 시점 사이의 제2 빈 시간과 상기 잔여 시간을 비교하고, 상기 잔여 시간이 상기 제2 빈 시간보다 짧거나 같으면 상기 미수행된 소거 동작을 수행하고, 상기 잔여 시간이 상기 제2 빈 시간보다 길면 상기 제3 동작을 수행하는 것을 더 포함할 수 있다.
- [0015] 상기 제2 동작을 수행한 후에 상기 잔여 시간을 조절하는 것을 더 포함하고, 상기 제2 빈 시간과 상기 잔여 시간을 비교하는 것은 상기 제2 빈 시간과 상기 조절된 잔여 시간을 비교하는 것을 포함할 수 있다.
- [0016] 상기 복수의 메모리 셀을 포함하는 제1 블록과, 상기 제1 블록과는 다른 복수개의 제2 블록을 포함하고, 상기 제1 동작과 상기 제2 동작은 상기 복수개의 제2 블록에 대하여 수행될 수 있다.
- [0017] 상기 소거 동작은 블록 단위로 수행될 수 있다.
- [0018] 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치의 구동 방법은, 복수의 메모리 셀에 대해 소거 동작을 수행하고, 서스펜드 명령에 의해 상기 소거 동작을 중지하고, 상기 소거 동작 중 미수행된 소거 동작의 잔여 시간을 계산하고, 상기 소거 동작과 다른 제1 내지 제3 동작을 순차적으로 수행하는 것을 포함하되, 상기 제1 동작과 상기 제2 동작 사이의 시간 보다 상기 잔여 시간이 짧거나 같으면 상기 제2 동작을 수행하기 전에 상기 미수행된 소거 동작을 수행하고, 상기 제2 동작과 상기 제3 동작 사이의 시간보다 상기 잔여 시간이 짧거나 같으면 상기 제3 동작을 수행하기 전에 상기 미수행된 소거 동작을 수행한다.
- [0019] 상기 미수행된 소거 동작을 수행하기 전에, 상기 미수행된 소거 동작의 잔여 시간을 조절하여 상기 미수행된 소거 동작을 수행하는 것을 포함할 수 있다.
- [0020] 상기 소거 동작은 복수개의 소거 단위 동작과 옵션 동작을 포함하고, 상기 잔여 시간을 조절하는 것은, 상기 옵션

선 동작을 제거하여 상기 잔여 시간을 조절하는 것을 포함할 수 있다.

- [0021] 상기 제1 동작과 상기 제2 동작 사이의 시간 보다 상기 잔여 시간이 길고, 상기 제2 동작과 상기 제3 동작 사이의 시간보다 상기 잔여 시간이 길면 상기 제3 동작을 수행한 후에 상기 미수행된 소거 동작을 수행할 수 있다.
- [0022] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 비휘발성 메모리 장치는, 각각이 복수의 메모리 셀을 포함하는 복수의 블록을 포함하는 메모리 장치 및 호스트의 요청에 따라 상기 비휘발성 메모리 장치를 제어하는 메모리 컨트롤러를 포함하되, 상기 메모리 컨트롤러는, 상기 복수의 블록 중 적어도 하나의 블록에 소거 동작을 수행하는 중 상기 호스트로부터 서스펜드 명령을 받으면 상기 소거 동작을 중지하고, 상기 소거 동작 중 미수행된 소거 동작의 잔여 시간을 계산하고, 순차적으로 제1 동작과 제2 동작을 수행하되, 상기 제1 동작과 상기 제2 동작 사이의 빈 시간과 상기 잔여 시간을 비교하여 상기 잔여 시간이 상기 빈 시간보다 짧으면 상기 제2 동작 수행 전에 상기 미수행된 소거 동작을 수행하고, 상기 잔여 시간이 상기 빈 시간보다 길면 상기 제2 동작 이후에 상기 미수행된 소거 동작을 수행한다.
- [0023] 상기 제1 및 제2 동작은 상기 소거 동작과는 다를 수 있다.
- [0024] 상기 복수의 블록 중에서, 상기 소거 동작이 수행되는 블록과, 상기 제1 및 제2 동작이 수행되는 블록은 서로 다를 수 있다.
- [0025] 상기 미수행된 소거 동작은 중지없이 한번에 수행될 수 있다.
- [0026] 상기 메모리 컨트롤러는 상기 잔여 시간을 조절할 수 있다.
- [0027] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 블록도이다.
- 도 2는 도 1의 메모리 장치를 설명하기 위한 블록도이다.
- 도 3은 도 2의 메모리 블록을 설명하기 위한 등가 회로도이다.
- 도 4는 도 1의 메모리 컨트롤러를 설명하기 위한 블록도이다.
- 도 5는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 구동 방법을 설명하기 위한 순서도이다.
- 도 6은 소거 동작을 설명하기 위한 도면이다.
- 도 7은 소거 동작에 따라 변화하는 산포를 도시한 도면이다.
- 도 8은 도 5의 구동 방법을 설명하기 위한 흐름도이다.
- 도 9는 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치의 구동 방법을 설명하기 위한 순서도이다.
- 도 10은 본 발명의 또다른 실시예에 따른 비휘발성 메모리 장치의 구동 방법을 설명하기 위한 순서도이다.
- 도 11은 본 발명의 또다른 실시예에 따른 비휘발성 메모리 장치의 구동 방법을 설명하기 위한 순서도이다.
- 도 12는 프로그램 동작을 설명하기 위한 도면이다.
- 도 13은 프로그램 동작에 따라 변화하는 산포를 도시한 도면이다.
- 도 14는 도 11의 구동 방법을 설명하기 위한 흐름도이다.
- 도 15 내지 도 19는 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치의 구동 방법을 사용하는 메모리 시스템을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은

청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- [0030] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0031] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션 일 수도 있음은 물론이다.
- [0032] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0033] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0034] 도 1은 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치(1000)를 설명하기 위한 블록도이다. 도 2는 도 1의 메모리 장치(1100)를 설명하기 위한 블록도이다. 도 3은 도 2의 메모리 블록을 설명하기 위한 등가 회로도이다. 도 4는 도 1의 메모리 컨트롤러(1200)를 설명하기 위한 블록도이다.
- [0035] 도 1을 참조하면, 비휘발성 메모리 장치(1000)는 메모리 장치(1100), 메모리 컨트롤러(1200) 등을 포함한다.
- [0036] 메모리 컨트롤러(1200)는 호스트(Host) 및 메모리 장치(1100)에 연결된다. 호스트(Host)로부터의 요청에 응답하여, 메모리 컨트롤러(1200)는 메모리 장치(1100)를 액세스하도록 구성된다. 예를 들면, 메모리 컨트롤러(1200)는 비휘발성 메모리 장치(1100)의 읽기, 프로그램, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 메모리 컨트롤러(1200)는 메모리 장치(1100) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 메모리 컨트롤러(1200)는 비휘발성 메모리 장치(1100)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0037] 메모리 장치(1100)는 메모리 컨트롤러(1200)의 제어를 받고, 예를 들어, 플래시 메모리 장치(예를 들어, CTF(Charge Trap Flash) 장치), ROM(Read Only Memory), PROM(Programmable ROM), EPROM(Electrically Programmable ROM), EEPROM(Electrically Erasable and Programmable ROM), 저항성 메모리 장치(예를 들어, PRAM(Phase-change RAM), FRAM(Ferroelectric RAM), RRAM(Resistive RAM)) 등일 수 있다. 이하에서는, 설명의 편의상, 메모리 장치(1100)가 CTF 장치인 경우를 예로 든다.
- [0038] 메모리 컨트롤러(1200) 및 메모리 장치(1100)는 하나의 반도체 장치로 집적될 수 있다. 예시적으로, 메모리 컨트롤러(1200) 및 메모리 장치(1100)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 메모리 컨트롤러(1200) 및 메모리 장치(1100)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성한다.
- [0039] 또한, 메모리 컨트롤러(1200) 및 메모리 장치(1100)는 하나의 반도체 장치로 집적되어 반도체 드라이브(SSD, Solid State Drive)를 구성할 수도 있다. 비휘발성 메모리 장치(1000)가 반도체 드라이브(SSD)로 이용되는 경우, 비휘발성 메모리 장치(1000)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선된다.
- [0040] 다른 예로서, 비휘발성 메모리 장치(1000)는 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless

phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공된다.

- [0041] 예시적으로, 메모리 장치(1100) 또는 비휘발성 메모리 장치(1000)는 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 메모리 장치(1100) 또는 비휘발성 메모리 장치(1000)는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.
- [0042] 여기서, 도 2를 참조하면, 메모리 장치(1100)는 예를 들어, 계층적 구조(hierarchical structure)를 가질 수 있다. 구체적으로, 메모리 장치(1100)는 복수의 플레인(plane)(PL1~PLn, 단, n은 자연수)을 포함할 수 있다. 각 플레인(PL1~PLn)은 복수의 블록(BLK1~BLKm, 단, m은 자연수)을 포함할 수 있다.
- [0043] 각 블록(BLK1~BLKm)은 복수의 페이지(PAGE1~PAGEk, 단, k는 자연수)를 포함할 수 있다. 각 페이지(PAGE1~PAGEk)에 해당하는 복수의 비휘발성 메모리 셀은 공통의 워드라인(wordline)에 연결될 수 있다. 즉, 대응되는 워드라인에 신호가 인가되면, 대응되는 페이지(PAGE1~PAGEk)에 속하는 복수의 비휘발성 메모리 셀에 상기 신호가 인가될 수 있다.
- [0044] 도 3을 참조하여 각 블록(BLK1~BLKm)에 대하여 구체적으로 설명하기로 한다.
- [0045] 도 3을 참조하면, 비트 라인들(BL<1>, BL<2>, BL<3>)과 공통 소스 라인(CSL) 사이에 셀 스트링들(NS11~NS33)이 배치된다.
- [0046] 제 1 비트 라인(BL<1>) 및 공통 소스 라인(CSL) 사이에 셀 스트링들(NS11, NS21, NS31)이 배치된다. 제 2 비트 라인(BL<2>) 및 공통 소스 라인(CSL) 사이에 셀 스트링들(NS12, NS22, NS32)이 배치된다. 제 3 비트 라인(BL<3>) 및 공통 소스 라인(CSL) 사이에 셀 스트링들(NS13, NS23, NS33)이 배치된다.
- [0047] 셀 스트링들(NSs)의 스트링 선택 트랜지스터(SST)는 대응하는 비트 라인(BL)과 연결된다. 셀 스트링들(NSs)의 접지 선택 트랜지스터(GST)는 공통 소스 라인(CSL)과 연결된다. 셀 스트링(NSs)의 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST) 사이에 메모리 셀들(MC0~MC11)이 배치된다.
- [0048] 이하에서는, 행 및 열 단위로 셀 스트링들(NS)을 구분하기로 한다.
- [0049] 하나의 비트 라인에 공통으로 연결된 셀 스트링들(NS)은 하나의 열을 형성한다. 예를 들어, 제1 비트 라인(BL<1>)에 연결된 셀 스트링들(NS11~NS31)은 제1 열에 대응할 것이다. 제2 비트 라인(BL<2>)에 연결된 셀 스트링들(NS12~NS32)은 제2 열에 대응할 것이다. 제3 비트 라인(BL<3>)에 연결된 셀 스트링들(NS13~NS33)은 제3 열에 대응할 것이다.
- [0050] 하나의 스트링 선택 라인(SSL)에 연결되는 셀 스트링들(NS)은 하나의 행을 형성한다. 예를 들어, 제1 스트링 선택 라인(SSL<1>)에 연결된 셀 스트링들(NS11~NS13)은 제1 행을 형성한다. 제2 스트링 선택 라인(SSL<2>)에 연결된 셀 스트링들(NS21~NS23)은 제2 행을 형성한다. 제3 스트링 선택 라인(SSL<3>)에 연결된 셀 스트링들(NS31~NS33)은 제3 행을 형성한다.
- [0051] 동일한 행들의 셀 스트링들(NSs)은 스트링 선택 라인(SSL)을 공유한다. 셀 스트링들(NSs) 각각은 스트링 선택 트랜지스터(SST)를 포함한다. 동일한 행들의 스트링 선택 트랜지스터(SST)들은 하나의 스트링 선택 라인들(SSL<1>, SSL<2>, SSL<3>)에 의해서 제어될 수 있다.
- [0052] 동일한 행들의 메모리 셀들(MC)은 워드 라인(WL)을 공유한다. 동일 높이에서, 상이한 행들의 메모리 셀들(MC)은

워드 라인(WL)을 공유한다.

- [0053] 동일한 행들의 셀 스트링들(NSs)은 접지 선택 라인(GSL)을 공유한다. 상이한 행들의 셀 스트링들(NSs)도 접지 선택 라인(GSL)을 공유한다. 셀 스트링들(NSs) 각각은 접지 선택 트랜지스터(GST)를 포함한다. 접지 선택 트랜지스터(GST)들은 하나의 접지 선택 라인(GSL)에 의해서 제어될 수 있다.
- [0054] 공통 소스 라인(CSL)은 셀 스트링들(NSs)에 공통으로 연결된다.
- [0055] 도 3에서는 수직형(vertical) 낸드 플래시 메모리 장치의 일 예를 도시하였으나, 본 발명이 이에 한정되는 것은 아니고, 본 발명의 메모리 장치(1100)는 평면형(planar) 낸드 플래시 메모리 장치에도 실질적으로 동일하게 적용될 수 있다.
- [0056] 도 4를 참조하면, 메모리 컨트롤러(1200)는 마이크로 프로세서(1210), 호스트 인터페이스(1220), RAM(1230), ROM(1240), 메모리 인터페이스(1260) 등을 포함할 수 있다.
- [0057] 호스트 인터페이스(1220)는 호스트(Host)와 메모리 컨트롤러(1200) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한다. 예시적으로, 메모리 컨트롤러(1200)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 외부(호스트)와 통신하도록 구성된다.
- [0058] RAM(1230)은 버퍼(buffer)역할을 하는 메모리이다. 예를 들어, RAM(1230)은 호스트 인터페이스(1220)를 통하여 입력되는 명령어, 어드레스, 각종 변수 등을 저장하고, 메모리 장치(1100)로부터 출력되는 데이터, 각종 변수 등을 저장할 수 있다.
- [0059] ROM(1240)은 구동 펌웨어 코드를 저장할 수 있다. 펌웨어 코드는 ROM(1240) 이외의 다양한 비휘발성 메모리 장치, 예를 들면, 낸드 플래시 메모리 장치에 저장될 수도 있다.
- [0060] 메모리 인터페이스(1260)는 메모리 장치(1100)와 인터페이싱한다. 예를 들면, 메모리 인터페이스(1260)는 낸드 인터페이스 또는 노어 인터페이스를 포함한다. 메모리 인터페이스(1260)를 통해서 마이크로 프로세서(1210)의 명령어가 메모리 장치(1100)로 제공될 수 있으며, 또한, 데이터가 비휘발성 메모리 장치(2200)로 전송될 수 있다. 또한, 비휘발성 메모리 장치(1100)로부터 출력되는 데이터는 메모리 인터페이스(1260)를 통해서 메모리 컨트롤러(1200)로 제공된다.
- [0061] 도 5는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 구동 방법을 설명하기 위한 순서도이다. 도 6은 소거 동작을 설명하기 위한 도면이다. 도 7은 소거 동작에 따라 변화하는 산포를 도시한 도면이다. 도 7에서, x축은 문턱 전압이고 y축은 메모리 셀의 개수이다. 도 8은 도 5의 구동 방법을 설명하기 위한 흐름도이다.
- [0062] 도 5를 참조하면, 먼저 소거 동작을 수행한다(S110). 메모리 컨트롤러(1200)는 메모리 장치(1100)에 소거 동작을 요청할 수 있고, 메모리 장치(1100)는 복수의 메모리 셀에 대하여 소거 동작을 수행할 수 있다. 예를 들어, 소거 동작은 블록 단위로 수행될 수 있고, 복수의 블록(BLK1~BLKm) 중 적어도 하나에 대하여 소거 동작을 수행할 수 있다. 그러나, 본 발명이 이에 제한되는 것은 아니며, 예를 들어, 소거 동작은 페이지 단위로 수행되어 복수의 페이지(PAGE1~PAGEk) 중에서 적어도 하나에 대하여 소거 동작을 수행할 수 있다.
- [0063] 도 6을 참조하면 소거 동작은 기본 동작(Basic Operation)과 옵션 동작(Optional Operation)을 포함한다.
- [0064] 기본 동작은 소거 동작을 수행하기 위한 소거 준비 동작(ERS setup)과, 소거 준비 동작(ERS setup) 이후에 수행되는 복수의 소거 단위 동작(ERS1~ERSn, n은 자연수)과, 복수의 소거 단위 동작(ERS1~ERSn) 이후에 수행되는 초기화 동작(ERS recovery)을 포함한다.
- [0065] 소거 준비 동작(ERS setup)에 의하여 메모리 장치(1100)는 소거 동작이 시작되는 것을 알 수 있고, 소거 동작을 준비할 수 있다.
- [0066] 복수의 소거 단위 동작(ERS1~ERSn)에 의하여 복수의 메모리 셀의 문턱 전압은 가장 낮은 문턱 전압 산포(E)로 이동할 수 있다. 도 7과 같이 복수의 메모리 셀은 복수의 문턱 전압 산포(E, P1~ Pi, i는 자연수)를 가질 수 있고, 소거 단위 동작(ERS)에 의하여 복수의 메모리 셀의 문턱 전압 산포는 가장 낮은 문턱 전압 산포(E)로 이동할 수 있다. 한번의 소거 단위 동작(ERS)에 의하여 복수의 메모리 셀이 전부 가장 낮은 문턱 전압 산포(E)로 이

동하지 않을 수 있으므로, 복수의 소거 단위 동작(ERS1~ERSn)을 수행하여 복수의 메모리 셀의 문턱 전압 산포는 가장 낮은 문턱 전압 산포(E)로 이동한다.

- [0067] 한편, 복수의 메모리 셀이 가장 낮은 문턱 전압 산포(E)를 갖는지 여부는 제1 전압(V1)을 인가하여 측정할 수 있다. 제1 전압(V1)은 베리파이(verify) 전압일 수 있으며, 가장 낮은 문턱 전압 산포(E)와 그 다음의 문턱 전압 산포(P1) 사이의 전압이다. 다시 말해서, 복수의 메모리 셀에 제1 전압(V1)을 인가하여 복수의 메모리 셀 중 몇 개의 셀이 가장 낮은 전압 산포(E)를 갖는지, 몇 개의 셀이 아직 가장 낮은 전압 산포(E)를 가지지 않아 소거 동작이 필요한지 확인할 수 있다.
- [0068] 도 7에서는 복수의 메모리 셀이 복수의 문턱 전압 산포(E, P1~Pi)를 갖는 MLC(multi level cell)인 것으로 설명하였으나, 본 발명이 이에 제한되는 것은 아니며, 복수의 메모리 셀은 2개의 문턱 전압 산포(E, P1)를 갖는 SLC(single level cell)일 수 있다.
- [0069] 초기화 동작(ERS recovery)은 소거 단위 동작(ERS1~ERSn)이 완료된 후에 수행되고, 메모리 장치(1100)가 소거 동작이 아닌 다른 동작, 예를 들어, 쓰기, 읽기, 배경 동작 등을 수행할 수 있도록 메모리 장치(1100)를 준비시키는 동작이다.
- [0070] 옵션 동작(Optional Operation)은 복수의 메모리 셀과 연결된 라인들, 트랜지스터를 점검하는 동작이다. 예를 들어, 옵션 동작은 접지 선택 라인(GSL)을 점검하는 동작(GSL check), 스트링 선택 라인(SSL)을 점검하는 동작(SSL check), 접지 선택 트랜지스터(GST)와 스트링 선택 트랜지스터(SST)를 점검하는 동작(GST, SST check) 등을 포함할 수 있다. 그러나, 본 발명이 이에 제한되는 것은 아니며, 옵션 동작은 상술한 동작 이외의 다른 동작을 포함할 수 있다.
- [0071] 도 8을 참조하면, 메모리 장치(1100)는 메모리 컨트롤러(1200)에 의해 소거 동작을 수행한다. 복수의 메모리 셀에 대하여 소거 준비 동작(ERS setup)과 소거 단위 동작(ERS)을 수행한다.
- [0072] 다시 도 5를 참조하면, 서스펜드(suspend) 명령에 의하여 소거 동작을 중지한다(S120). 메모리 컨트롤러(1200)는 서스펜드 명령을 메모리 장치(1100)에 제공하고, 메모리 장치(1100)는 소거 동작을 중지한다. 소거 동작은 다른 동작들, 예를 들어, 프로그램, 읽기, 배경 동작보다 긴 시간을 필요로 한다. 따라서, 비휘발성 메모리 장치(1000)의 구동 시간을 단축하기 위하여, 소거 동작 수행 중 다른 동작의 수행이 필요하면 수행하던 소거 동작을 중지한 뒤 다른 동작을 수행하고, 다른 동작의 수행이 끝나면 미수행된 나머지 소거 동작을 수행할 수 있다.
- [0073] 도 8을 참조하면, 메모리 장치(1100)는 소거 동작을 수행하는 중 서스펜드(suspend) 명령을 받으면 초기화 동작(ERS recovery)을 수행하고 소거 동작을 중지한다. 따라서, 서스펜드 명령에 의하여 소거 동작은 이미 수행된 소거 동작인 제1 소거 동작과, 소거 동작 중 아직 수행되지 않은 동작, 즉 미수행된 소거 동작인 제2 소거 동작으로 나뉠 수 있다.
- [0074] 도 8에서는 예시적으로 복수의 메모리 셀에 제1 소거 단위 동작(ERS1)과 제2 소거 단위 동작(ERS2)을 수행하고 서스펜드 명령을 받은 것으로 도시하였다.
- [0075] 다시 도 5를 참조하면, 메모리 컨트롤러(1200)는 제2 소거 동작의 잔여 시간을 계산한다(S130). 잔여 시간은 소거 동작 정보를 이용하여 계산할 수 있다. 소거 동작 정보는 예를 들어, 소거 동작의 진행 정도, 소거 동작이 수행된 메모리 셀의 개수 및 복수의 메모리 셀 중에서 제1 전압 이상인 메모리 셀의 개수 중 적어도 하나에 대한 정보 등을 포함한다.
- [0076] 예를 들어, 도 8을 참조하면, 소거 동작은 제1 소거 동작까지 수행되고 제2 소거 동작은 수행되지 않았다. 따라서, 소거 동작 정보는 제2 소거 동작이 포함하는 소거 준비 동작(ERS setup), 남아있는 소거 단위 동작(ERS3~ERSn), 옵션 동작에 대한 정보를 포함할 수 있다. 또한, 복수의 메모리 셀에 제1 전압(도 7의 V1)을 인가하여 제1 전압(V1) 이상의 문턱 전압을 갖는 메모리 셀의 개수, 복수의 메모리 셀 중 소거 동작이 수행된 메모리 셀의 개수 등도 포함할 수 있다.
- [0077] 메모리 컨트롤러(1200)는 소거 동작 정보를 이용하여 잔여 시간을 계산할 수 있고, 잔여 시간을 RAM(1230)에 저장할 수 있다.
- [0078] 다시 도 5를 참조하면, 소거 동작이 아닌 다른 동작을 수행한다(S140).
- [0079] 도 8에서는 다른 동작이 제1 동작, 제2 동작, 제3 동작으로 도시하였다. 메모리 장치(1100)는 제1 소거 동작을 수행하고, 서스펜드 동작에 의해 소거 동작을 중지한 후 이어서 제1 동작을 수행한다. 다른 동작, 즉 제1 내지

제3 동작은 소거 동작이 수행되는 복수의 메모리 셀이 아닌 다른 복수의 메모리 셀에 수행된다. 예를 들어, 소거 동작이 블록 단위로 수행되고 제1 블록(도 2의 BLk1)에 소거 동작이 수행되는 경우, 다른 동작은 제2 블록 내지 제m 블록(BLk2~ BLkm)에 수행된다. 소거 동작이 완료되지 않은 블록에는 다른 동작이 수행되지 않는다.

[0080] 또는, 예를 들어, 소거 동작이 페이지 단위로 수행되고 제1 페이지(도 2의 PAGE1)에 소거 동작이 수행되는 경우, 다른 동작은 제2 페이지 내지 제k 페이지(PAGE2~PAGEk)에 수행된다. 소거 동작이 완료되지 않은 페이지에 다른 동작이 수행되지 않는다.

[0081] 다시 도 5를 참조하면, 다른 동작을 수행한 후, 잔여 시간과 빈 시간을 비교한다(S150). 잔여 시간이 빈 시간보다 짧거나 같으면 미수행된 소거 동작, 즉 제2 소거 동작을 수행하고(S160), 잔여 시간이 빈 시간보다 길면 또 다른 동작을 수행한다.

[0082] 예를 들어 도 8을 참조하면, 제1 동작을 수행한 후에 제1 동작과 제2 동작 사이의 제1 빈 시간과 잔여 시간을 비교한다. 여기서, 빈 시간이란 제1 동작과 제2 동작 사이의 텀(term)을 의미하며, 구체적으로, 제1 동작 완료 시점부터 제2 동작 시작 시점 사이의 시간이다. 메모리 컨트롤러(1200)는 빈 시간을 구하고, 제1 빈 시간과 미리 구한 잔여 시간을 비교한다. 이 때, 제1 빈 시간이 잔여 시간보다 길면 제1 동작 후에 제2 소거 동작을 수행하고, 이어서 제2 동작을 수행한다. 다시 말해서, 제2 소거 동작은 제1 동작과 제2 동작 사이에 수행된다.

[0083] 한편, 제1 동작 이후에 제2 동작이 없으면 제1 빈 시간을 구할 필요 없이 제1 동작 이후 제2 소거 동작을 수행할 수 있다.

[0084] 잔여 시간이 제1 빈 시간보다 길면 제2 소거 동작을 수행하지 않고 제2 동작을 수행한다. 제2 동작을 수행한 후에 제2 동작과 제3 동작 사이의 제2 빈 시간, 즉, 제2 동작 완료 시점부터 제3 동작 시작 시점 사이의 시간을 구하고, 제2 빈 시간과 잔여 시간을 비교한다. 잔여 시간이 제2 빈 시간보다 짧거나 같으면, 제2 소거 동작은 제2 동작 이후에 수행될 수 있다. 잔여 시간이 제2 빈 시간보다 길면 제2 동작 이후 제3 동작을 수행하고 제2 소거 동작은 제3 동작 이후에 수행될 수 있다. 제3 동작 이후에도 다른 동작이 복수개 존재하는 경우, 상술한 바와 같은 방법으로 제2 소거 동작의 수행 시기를 결정할 수 있다.

[0085] 잔여 시간과 빈 시간을 비교하지 않으면 제1 동작 후에 바로 제2 소거 동작을 수행한다. 그런데, 제2 소거 동작의 잔여 시간이 제1 동작과 제2 동작 사이의 제1 빈 시간보다 길면 제2 소거 동작은 진행 중 다시 중지되고, 제2 소거 동작 중 미수행된 소거 동작은 제2 동작 수행 후 수행된다. 이와 같이 제2 소거 동작을 한번에 수행하지 못하고 제2 소거 동작은 복수번 나뉘어 수행되기 때문에, 비휘발성 메모리 장치(1000)의 성능이 열화될 수 있다.

[0086] 또한, 소거 동작이 수행되기 위해서는 소거 단위 동작(ERS) 전후로 소거 준비 동작(ERS setup)과 초기화 동작(ERS recovery)이 필요하다. 그런데 제2 소거 동작을 한번에 수행하지 못하고 여러 번 나누어서 수행하게 된다면 소거 준비 동작(ERS setup)과 초기화 동작(ERS recovery)도 여러 번 수행하게 되어 그만큼의 시간이 필요하게 된다. 따라서, 비휘발성 메모리 장치(1000)의 구동 속도가 감소할 수 있다.

[0087] 따라서, 잔여 시간과 빈 시간을 비교하여 제2 소거 동작을 중지 없이 한번에 수행한다면 비휘발성 메모리 장치(1000)의 성능과 구동 속도를 향상시킬 수 있다.

[0088] 도 8 및 도 9를 참조하여 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치(1000)의 구동 방법을 설명하기로 한다. 상술한 바와 중복되는 내용은 설명을 생략하고 차이점을 위주로 설명하기로 한다.

[0089] 도 9는 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치(1000)의 구동 방법을 설명하기 위한 순서도이다.

[0090] 도 9의 구동 방법은 도 8의 구동 방법과 동일하게 소거 동작을 수행하고(S110), 서스펜드 명령에 의하여 소거 동작을 중지하고(S120), 제2 소거 동작의 잔여 시간을 계산하고(S130), 소거 동작이 아닌 다른 동작(예를 들어, 도 8의 제1 내지 제3 동작)을 수행하고(S140), 잔여 시간과 빈 시간을 비교하고(S150), 잔여 시간이 빈 시간보다 짧거나 같으면 제2 소거 동작을 수행한다(S160).

[0091] 그런데, 잔여 시간이 빈 시간보다 길면, 메모리 컨트롤러(1200)는 잔여 시간을 조절할 수 있다(S170). 예를 들어, 제2 소거 동작이 포함하는 옵션 동작을 제거하여 잔여 시간을 줄일 수 있다. 옵션 동작은 소거 동작에 추가되어 수행되는 동작으로, 메모리 셀의 문턱 전압 산포를 가장 낮은 전압 산포(E)로 이동하는데 관련이 없는 동작이다. 따라서, 소거 동작의 기본 동작을 수행할 때마다 옵션 동작을 매번 수행할 필요가 없고, 옵션 동작을 제거하여 잔여 시간을 단축할 수 있다.

- [0092] 잔여 시간을 조절하기 위하여, 옵션 동작이 포함하는 동작, 예를 들어, 접지 선택 라인(GSL)을 점검하는 동작(GSL check), 스트링 선택 라인(SSL)을 점검하는 동작(SSL check), 접지 선택 트랜지스터(GST)와 스트링 선택 트랜지스터(SST)를 점검하는 동작(GST, SST check) 중 적어도 하나를 제거할 수 있다.
- [0093] 한편, 잔여 시간을 조절하기 위하여, 제2 동작의 복수개의 소거 단위 동작(ERS3-ERSn)의 개수를 조절할 수 있다. 메모리 컨트롤러(1200)는 잔여 시간을 계산하기 위하여 소거 동작 정보를 이용한다. 소거 동작 정보는 제1 전압(V1)을 이용하여 구한 가장 낮은 전압 산포(E)를 갖는 메모리 셀의 개수 정보를 포함한다. 그런데, 제1 소거 동작을 수행하여 가장 낮은 전압 산포(E)를 갖는 메모리 셀의 개수가 예상보다 많다면 제2 동작의 복수개의 소거 단위 동작(ERS3-ERSn)을 모두 수행할 필요가 없다. 따라서, 제3 내지 제1 소거 단위 동작(ERS3-ERS1, 1은 n보다 작은 자연수)만 제2 소거 동작 중에 수행할 수 있다.
- [0094] 잔여 시간을 조절한 후에, 제2 동작을 수행한다. 제2 동작을 수행한 후에, 제2 동작과 제3 동작 사이의 제2 빈 시간과 옵션 동작을 제거하여 조절된 잔여 시간을 비교하여 옵션 동작이 제거된 제2 소거 동작을 수행할지 제3 동작을 수행할지 결정한다. 옵션 동작이 제거되었기 때문에, 제2 소거 동작의 잔여 시간은 단축되어 제2 소거 동작이 수행될 확률을 높일 수 있다.
- [0095] 도 8 및 도 10을 참조하여 본 발명의 또다른 실시예에 따른 비휘발성 메모리 장치(1000)의 구동 방법을 설명하기로 한다. 상술한 바와 중복되는 내용은 설명을 생략하고 차이점을 위주로 설명하기로 한다.
- [0096] 도 10은 본 발명의 또다른 실시예에 따른 비휘발성 메모리 장치(1000)의 구동 방법을 설명하기 위한 순서도이다.
- [0097] 도 10의 구동 방법은 도 9의 구동 방법과 동일하게 소거 동작을 수행하고(S110), 서스펜드 명령에 의하여 소거 동작을 중지하고(S120), 제2 소거 동작의 잔여 시간을 계산하고(S130), 소거 동작이 아닌 다른 동작(예를 들어, 도 8의 제1 내지 제3 동작)을 수행하고(S140), 잔여 시간과 빈 시간을 비교하고(S150), 잔여 시간이 빈 시간보다 짧거나 같으면 제2 소거 동작을 수행하고(S160), 잔여 시간이 빈 시간보다 길면, 메모리 컨트롤러(1200)는 잔여 시간을 조절할 수 있다(S170).
- [0098] 그런데, 제2 소거 동작을 수행하기 전에, 잔여 시간을 조절할 수 있다(S155). 잔여 시간을 조절하기 위하여, 상술한 바와 같이 옵션 동작을 제거할 수 있다. 잔여 시간을 조절한 후 제2 소거 동작을 수행하면, 제2 소거 동작 완료 후 제2 동작 시작하기 전까지의 마진(margin)을 확보할 수 있어 안정적으로 비휘발성 메모리 장치(1000)를 구동할 수 있다.
- [0099] 한편, 잔여 시간을 조절하기 위하여, 제2 동작의 복수개의 소거 단위 동작(ERS3-ERSn)의 개수를 조절할 수 있다. 메모리 컨트롤러(1200)는 잔여 시간을 계산하기 위하여 소거 동작 정보를 이용한다. 소거 동작 정보는 제1 전압(V1)을 이용하여 구한 가장 낮은 전압 산포(E)를 갖는 메모리 셀의 개수 정보를 포함한다. 그런데, 제1 소거 동작을 수행하여 가장 낮은 전압 산포(E)를 갖는 메모리 셀의 개수가 예상보다 많다면 제2 동작의 복수개의 소거 단위 동작(ERS3-ERSn)을 모두 수행할 필요가 없다. 따라서, 제3 내지 제1 소거 단위 동작(ERS3-ERS1, 1은 n보다 작은 자연수)만 제2 소거 동작 중에 수행할 수 있다.
- [0100] 도 11은 본 발명의 또다른 실시예에 따른 비휘발성 메모리 장치의 구동 방법을 설명하기 위한 순서도이다. 도 12는 프로그램 동작을 설명하기 위한 도면이다. 도 13은 프로그램 동작에 따라 변화하는 산포를 도시한 것이다. 도 13에서, x축은 문턱 전압이고 y축은 메모리 셀의 개수이다. 도 14는 도 11의 구동 방법을 설명하기 위한 흐름도이다.
- [0101] 도 11을 참조하면, 먼저 프로그램 동작을 수행한다(S210). 메모리 컨트롤러(1200)는 메모리 장치(1100)에 프로그램 동작을 요청할 수 있고, 메모리 장치(1100)는 복수의 메모리 셀에 대하여 프로그램 동작을 수행할 수 있다.
- [0102] 도 12를 참조하면, 프로그램 동작은 프로그램 준비 동작(PGM setup)과, 프로그램 준비 동작(PGM setup) 이후에 수행되는 복수의 프로그램 단위 동작(PGM1~PGMn, n은 자연수)과, 복수의 프로그램 단위 동작(PGM1~PGMn) 이후에 수행되는 초기화 동작(PGM recovery)을 포함한다. 복수의 프로그램 단위 동작(PGM1~PGMn) 각각은 단위 프로그램 동작(PGM)과 단위 베리파이 동작(Verify)을 포함할 수 있다.
- [0103] 프로그램 준비 동작(PGM setup)에 의하여 메모리 장치(1100)는 프로그램 동작이 시작되는 것을 알 수 있고, 프로그램 동작을 준비할 수 있다.
- [0104] 복수의 프로그램 단위 동작(PGM1~PGMn)에 의하여, 도 13과 같이 복수의 메모리 셀의 문턱 전압은 가장 낮은 문

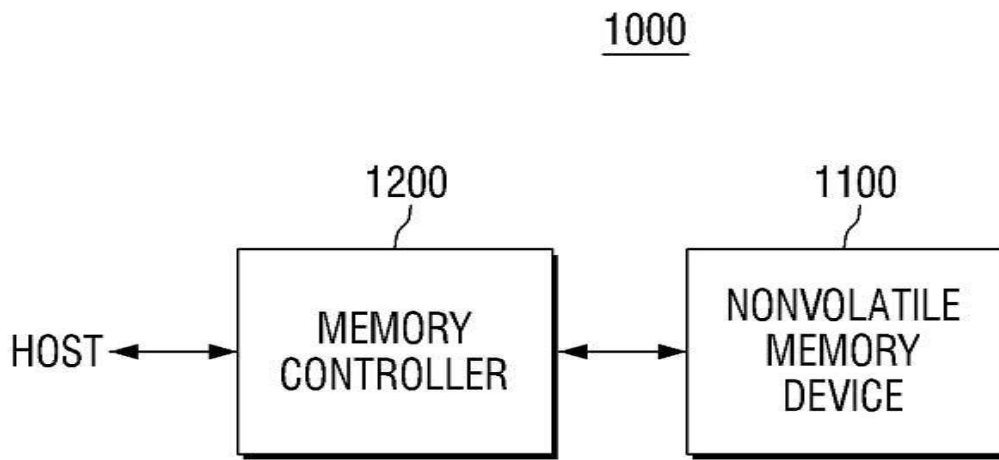
터 전압 산포(E)에서 복수의 문턱 전압 산포(P1~ Pi)로 이동할 수 있다.

- [0105] 복수의 프로그램 단위 동작(PGM1~PGMn) 각각은 단위 프로그램 동작(PGM)과 단위 베리파이 동작(Verify)을 포함할 수 있다. 단위 프로그램 동작(PGM)에 의하여 복수의 메모리 셀의 문턱 전압은 이동할 수 있고, 단위 베리파이 동작(Verify)을 통해서 복수의 메모리 셀의 문턱 전압이 정확하게 이동했는지, 추가적인 단위 프로그램 동작(PGM)이 필요한지 여부를 판단할 수 있다.
- [0106] 도 13에서는 복수의 메모리 셀이 복수의 문턱 전압 산포(E, P1~Pi)를 갖는 MLC(multi level cell)인 것으로 설명하였으나, 본 발명이 이에 제한되는 것은 아니며, 복수의 메모리 셀은 2개의 문턱 전압 산포(E, P1)를 갖는 SLC(single level cell)일 수 있다.
- [0107] 초기화 동작(PGM recovery)은 프로그램 단위 동작(PGM1~PGMn)이 완료된 후에 수행되고, 메모리 장치(1100)가 프로그램 동작이 아닌 다른 동작, 예를 들어, 읽기, 소거, 배경 동작 등을 수행할 수 있도록 메모리 장치(1100)를 준비시키는 동작이다.
- [0108] 도 14를 참조하면, 메모리 장치(1100)는 메모리 컨트롤러(1200)에 의해 프로그램 동작을 수행한다. 복수의 메모리 셀에 대하여 프로그램 준비 동작(PGM setup)과 프로그램 단위 동작(PGM1~PGMn)을 수행한다.
- [0109] 다시 도 11을 참조하면, 서스펜드(suspend) 명령에 의하여 프로그램 동작을 중지한다(S220). 메모리 컨트롤러(1200)는 서스펜드 명령을 메모리 장치(1100)에 제공하고, 메모리 장치(1100)는 프로그램 동작을 중지한다. 프로그램 동작을 수행하는 중에 메모리 장치(1100)의 필요에 의하여 다른 동작들, 예를 들어, 읽기, 소거, 배경 동작 등의 수행이 요구될 수 있다. 이러한 메모리 장치(1000)의 요구에 대응하기 위하여, 프로그램 동작 수행 중 다른 동작의 수행이 필요하면 수행하던 프로그램 동작을 중지한 뒤 다른 동작을 수행하고, 다른 동작의 수행이 끝나면 미수행된 나머지 프로그램 동작을 수행할 수 있다.
- [0110] 도 11을 참조하면, 메모리 장치(1100)는 프로그램 동작을 수행하는 중 서스펜드(suspend) 명령을 받으면 초기화 동작(PGM recovery)을 수행하고 프로그램 동작을 중지한다. 따라서, 서스펜드 명령에 의하여 프로그램 동작은 이미 수행된 프로그램 동작인 제1 프로그램 동작과, 프로그램 동작 중 아직 수행되지 않은 동작, 즉 미수행된 프로그램 동작인 제2 프로그램 동작으로 나뉠 수 있다.
- [0111] 도 13에서는 예시적으로 복수의 메모리 셀에 제1 프로그램 단위 동작(PGM1)과 제2 프로그램 단위 동작(PGM2)을 수행하고 서스펜드 명령을 받은 것으로 도시하였다.
- [0112] 다시 도 11을 참조하면, 메모리 컨트롤러(1200)는 제2 프로그램 동작의 잔여 시간을 계산한다(S230). 잔여 시간은 프로그램 동작 정보를 이용하여 계산할 수 있다. 프로그램 동작 정보는 예를 들어, 프로그램 동작의 진행 정도, 프로그램 동작이 수행된 메모리 셀의 개수 및 복수의 메모리 셀 중에서 프로그램된 메모리 셀의 개수 중 적어도 하나에 대한 정보 등을 포함한다.
- [0113] 예를 들어, 도 14를 참조하면, 프로그램 동작은 제1 프로그램 동작까지 수행되고 제2 프로그램 동작은 수행되지 않았다. 따라서, 프로그램 동작 정보는 제2 프로그램 동작이 포함하는 프로그램 준비 동작(PGM setup), 남아있는 프로그램 단위 동작(PGM3~PGMn)에 대한 정보를 포함할 수 있다. 또한, 복수의 메모리 셀 중 프로그램된 메모리 셀의 개수에 대한 정보 등도 포함할 수 있다.
- [0114] 메모리 컨트롤러(1200)는 프로그램 동작 정보를 이용하여 잔여 시간을 계산할 수 있고, 잔여 시간을 RAM(1230)에 저장할 수 있다.
- [0115] 다시 도 11을 참조하면, 프로그램 동작이 아닌 다른 동작을 수행한다(S240).
- [0116] 도 11에서는 다른 동작을 제4 동작, 제5 동작, 제6 동작으로 도시하였다. 메모리 장치(1100)는 제1 프로그램 동작을 수행하고, 서스펜드 동작에 의해 프로그램 동작을 중지한 후 이어서 제4 동작을 수행한다. 다른 동작, 즉 제4 내지 제6 동작은 프로그램 동작이 수행되는 복수의 메모리 셀이 아닌 다른 복수의 메모리 셀에 수행된다. 예를 들어, 프로그램 동작이 블록 단위로 수행되고 제1 블록(도 2의 BLk1)에 프로그램 동작이 수행되는 경우, 다른 동작은 제2 블록 내지 제m 블록(BLk2~BLkm)에 수행된다. 프로그램 동작이 완료되지 않은 블록에는 다른 동작이 수행되지 않는다.
- [0117] 또는, 예를 들어, 프로그램 동작이 페이지 단위로 수행되고 제1 페이지(도 2의 PAGE1)에 프로그램 동작이 수행되는 경우, 다른 동작은 제2 페이지 내지 제k 페이지(PAGE2~PAGEk)에 수행된다. 프로그램 동작이 완료되지 않은 페이지에는 다른 동작이 수행되지 않는다.

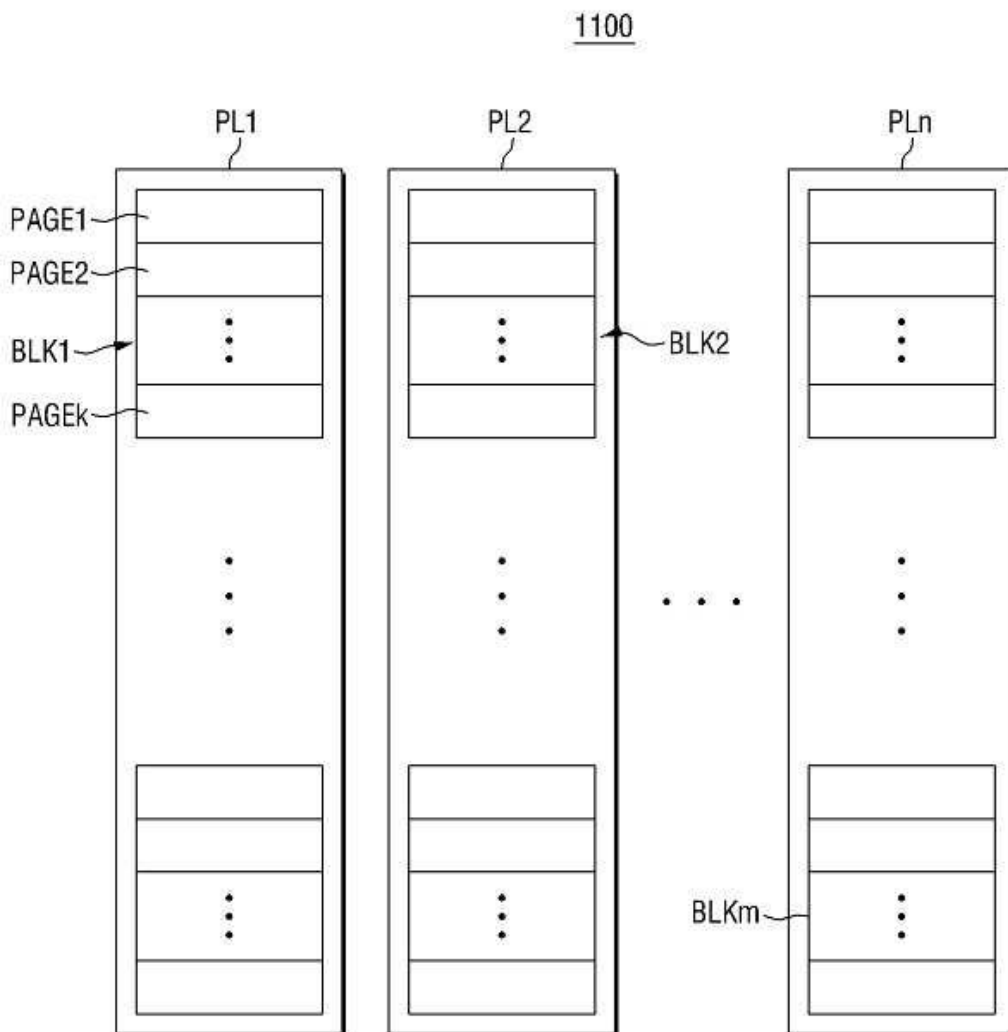
- [0118] 다시 도 11을 참조하면, 다른 동작을 수행한 후, 잔여 시간과 빈 시간을 비교한다(S250). 잔여 시간이 빈 시간보다 짧거나 같으면 미수행된 프로그램 동작, 즉 제2 프로그램 동작을 수행하고(S260), 잔여 시간이 빈 시간보다 길면 또다른 동작을 수행한다.
- [0119] 예를 들어 도 14를 참조하면, 제4 동작을 수행한 후에 제5 동작과 제6 동작 사이의 제3 빈 시간과 잔여 시간을 비교한다. 여기서, 빈 시간이란 제4 동작과 제5 동작 사이의 텀(term)을 의미하며, 구체적으로, 제4 동작 완료 시점부터 제5 동작 시작 시점 사이의 시간이다. 메모리 컨트롤러(1200)는 빈 시간을 구하고, 제3 빈 시간과 미리 구한 잔여 시간을 비교한다. 이 때, 제3 빈 시간이 잔여 시간보다 길면 제4 동작 후에 제2 프로그램 동작을 수행하고, 이어서 제5 동작을 수행한다. 다시 말해서, 제2 프로그램 동작은 제4 동작과 제5 동작 사이에 수행된다.
- [0120] 한편, 제4 동작 이후에 제5 동작이 없으면 제3 빈 시간을 구할 필요 없이 제4 동작 이후 제2 프로그램 동작을 수행할 수 있다.
- [0121] 잔여 시간이 제3 빈 시간보다 길면 제2 프로그램 동작을 수행하지 않고 제5 동작을 수행한다. 제5 동작을 수행한 후에 제5 동작과 제6 동작 사이의 제4 빈 시간, 즉, 제5 동작 완료 시점부터 제6 동작 시작 시점 사이의 시간을 구하고, 제4 빈 시간과 잔여 시간을 비교한다. 잔여 시간이 제4 빈 시간보다 짧거나 같으면, 제2 프로그램 동작은 제5 동작 이후에 수행될 수 있다. 잔여 시간이 제4 빈 시간보다 길면 제5 동작 이후 제6 동작을 수행하고 제2 프로그램 동작은 제6 동작 이후에 수행될 수 있다. 제6 동작 이후에도 다른 동작이 복수개 존재하는 경우, 상술한 바와 같은 방법으로 제2 프로그램 동작의 수행 시기를 결정할 수 있다.
- [0122] 잔여 시간과 빈 시간을 비교하지 않으면 제4 동작 후에 바로 제2 프로그램 동작을 수행한다. 그런데, 제2 프로그램 동작의 잔여 시간이 제4 동작과 제5 동작 사이의 제3 빈 시간보다 길면 제2 프로그램 동작은 진행 중 다시 중지되고, 제2 프로그램 동작 중 미수행된 프로그램 동작은 제2 프로그램 수행 후 수행된다. 이와 같이 제2 프로그램 동작을 한번에 수행하지 못하고 제2 프로그램 동작은 복수번 나누어 수행되기 때문에, 비휘발성 메모리 장치(1000)의 성능이 열화될 수 있다.
- [0123] 또한, 프로그램 동작이 수행되기 위해서는 프로그램 단위 동작(PGM1~PGMn) 전후로 프로그램 준비 동작(PGM setup)과 초기화 동작(PGM recovery)이 필요하다. 그런데 제2 프로그램 동작을 한번에 수행하지 못하고 여러 번 나누어서 수행하게 된다면 프로그램 준비 동작(PGM setup)과 초기화 동작(PGM recovery)도 여러 번 수행하게 되어 그만큼의 시간이 필요하게 된다. 따라서, 비휘발성 메모리 장치(1000)의 구동 속도가 감소할 수 있다.
- [0124] 따라서, 잔여 시간과 빈 시간을 비교하여 제2 프로그램 동작을 중지 없이 한번에 수행한다면 비휘발성 메모리 장치(1000)의 성능과 구동 속도를 향상시킬 수 있다.
- [0125] 도 15 내지 도 19는 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치의 구동 방법을 사용하는 메모리 시스템을 설명하기 위한 도면이다.
- [0126] 도 15 내지 도 19는 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치의 구동 방법을 사용하는 메모리 시스템을 설명하기 위한 도면이다.
- [0127] 도 15는 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치의 구동 방법이 사용되는 휴대폰 시스템(cellular phone system)의 예시적 도면이다.
- [0128] 도 15를 참조하면, 휴대폰 시스템은 소리를 압축하거나 압축된 소리를 푸는(compression or decompression) ADPCM 코덱 회로(1202), 스피커(speaker)(1203), 마이크로폰(microphone)(1204), 디지털 데이터를 시분할 멀티플렉싱하는 TDMA회로(1206), 무선 신호의 캐리어 주파수(carrier frequency)를 세팅하는 PLL회로(1210), 무선 신호를 전달하거나 받기 위한 RF 회로(1211) 등을 포함할 수 있다.
- [0129] 또한, 휴대폰 시스템은 여러가지 종류의 메모리 장치를 포함할 수 있는데, 예를 들어, 비휘발성 메모리 장치(1207), ROM(1208), SRAM(1209)를 포함할 수 있다. 비휘발성 메모리 장치(1207)는 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치의 구동 방법이 사용될 수 있고, 예를 들어, ID번호를 저장할 수 있다. ROM(1208)은 프로그램을 저장할 수 있고, SRAM(1209)은 시스템 컨트롤 마이크로컴퓨터(1212)를 위한 작업 영역으로써 역할을 하거나 데이터를 일시적으로 저장한다. 여기서, 시스템 컨트롤 마이크로컴퓨터(1212)는 프로세서로서, 도 1의 메모리 컨트롤러(1200)와 같이 비휘발성 메모리 장치(1207)의 소거 동작을 제어할 수 있다.
- [0130] 도 16은 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치의 구동 방법이 사용되는 메모리 카드(memory card)의 예시적 도면이다. 메모리 카드는 예를 들어, MMC 카드, SD카드, 멀티유즈(multiuse) 카드, 마이크로 SD

도면

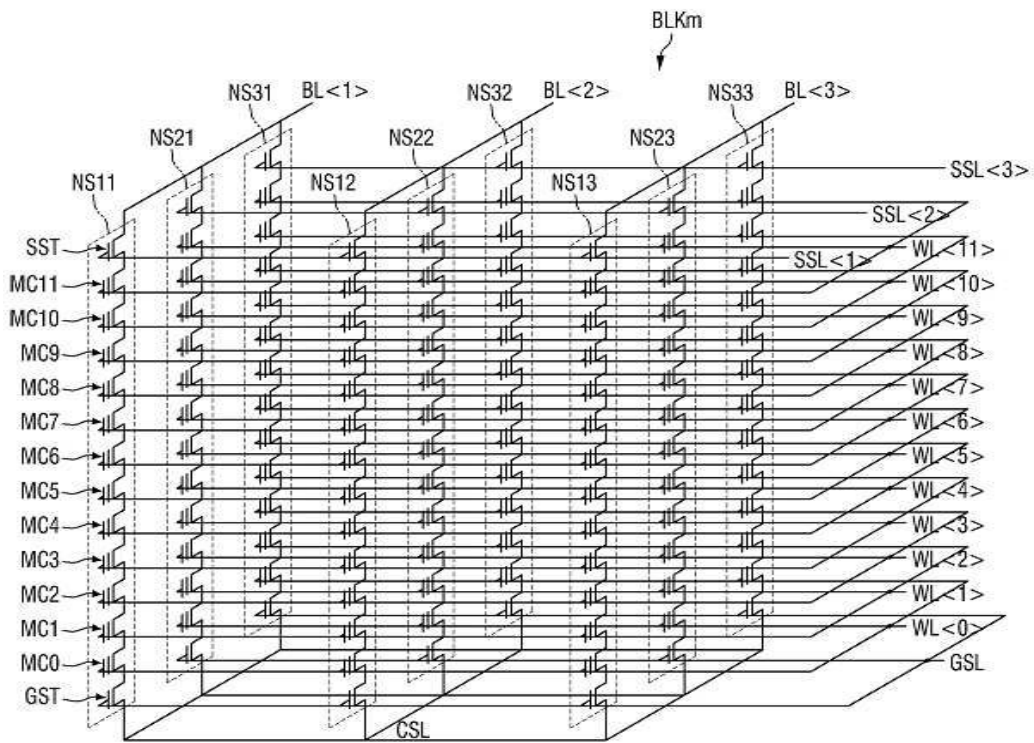
도면1



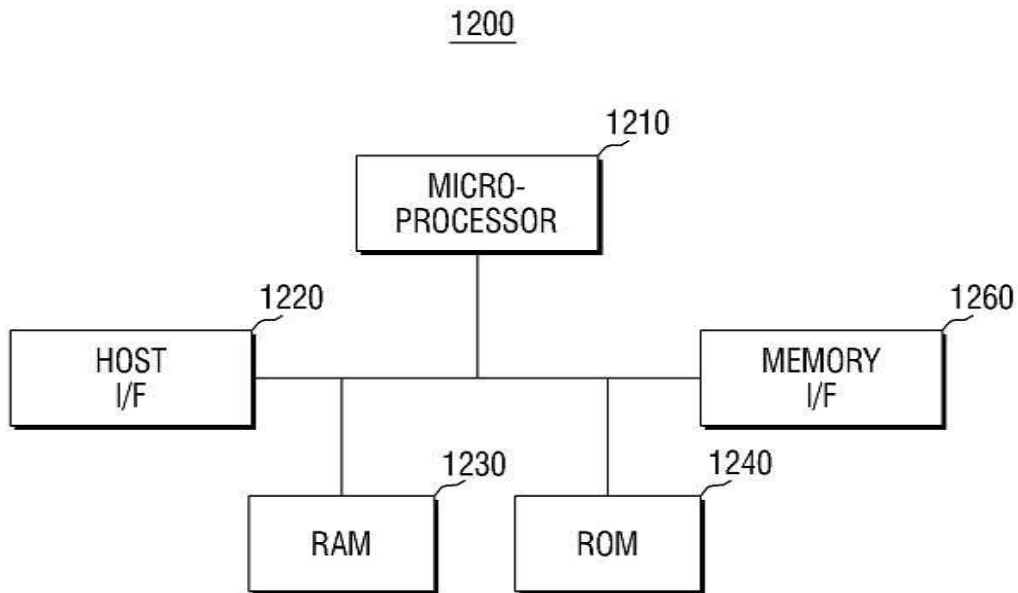
도면2



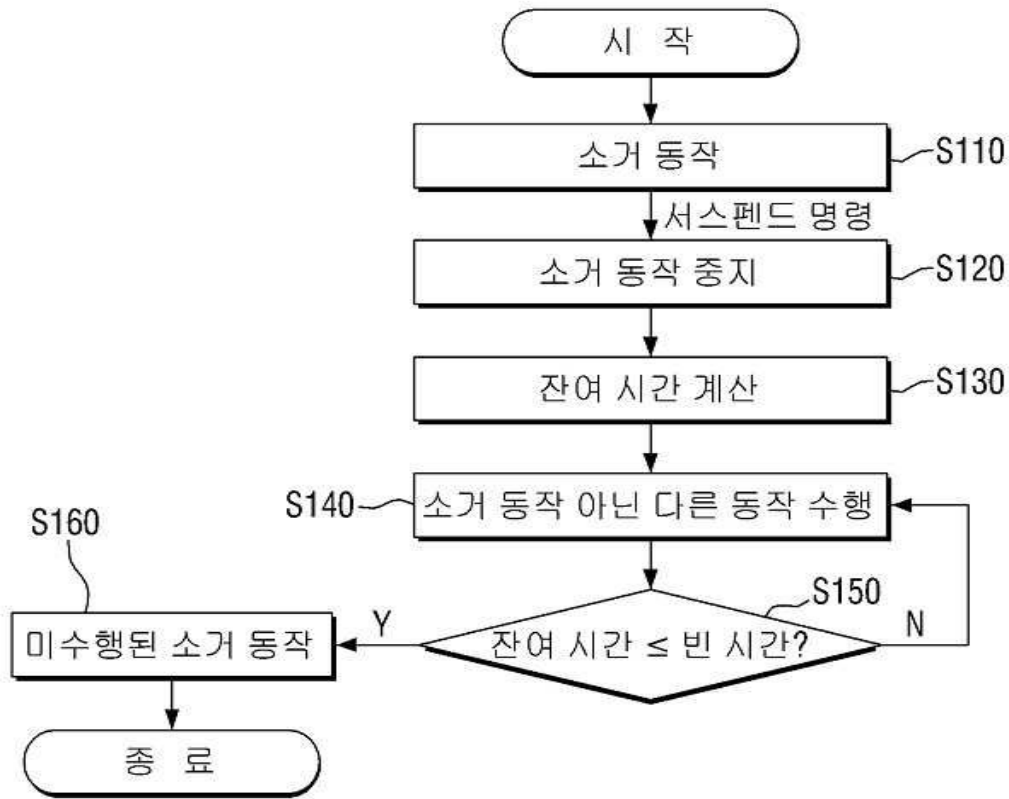
도면3



도면4

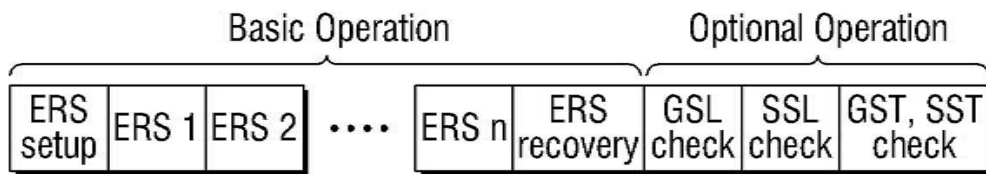


도면5

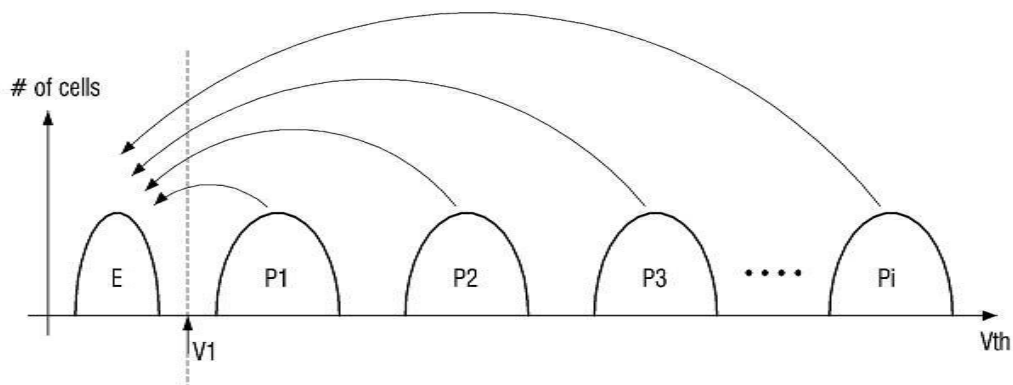


도면6

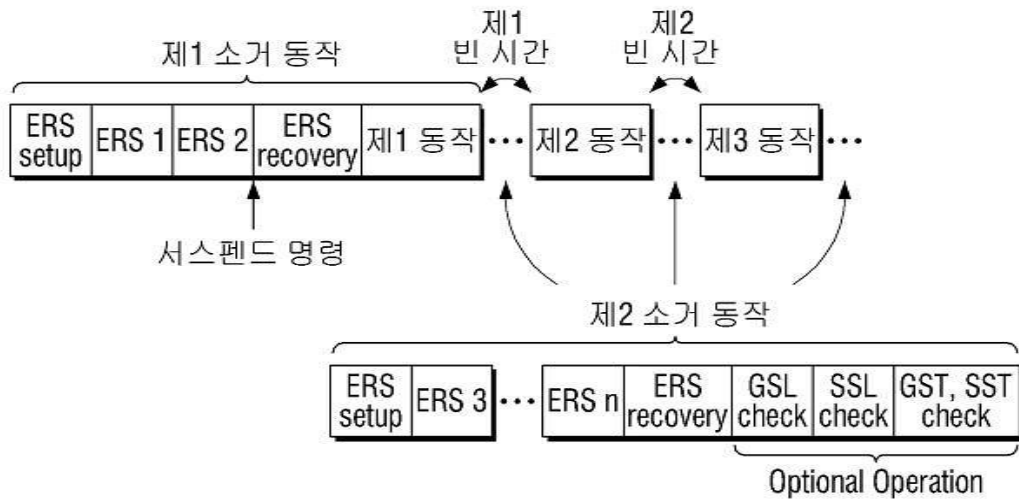
[소거 동작]



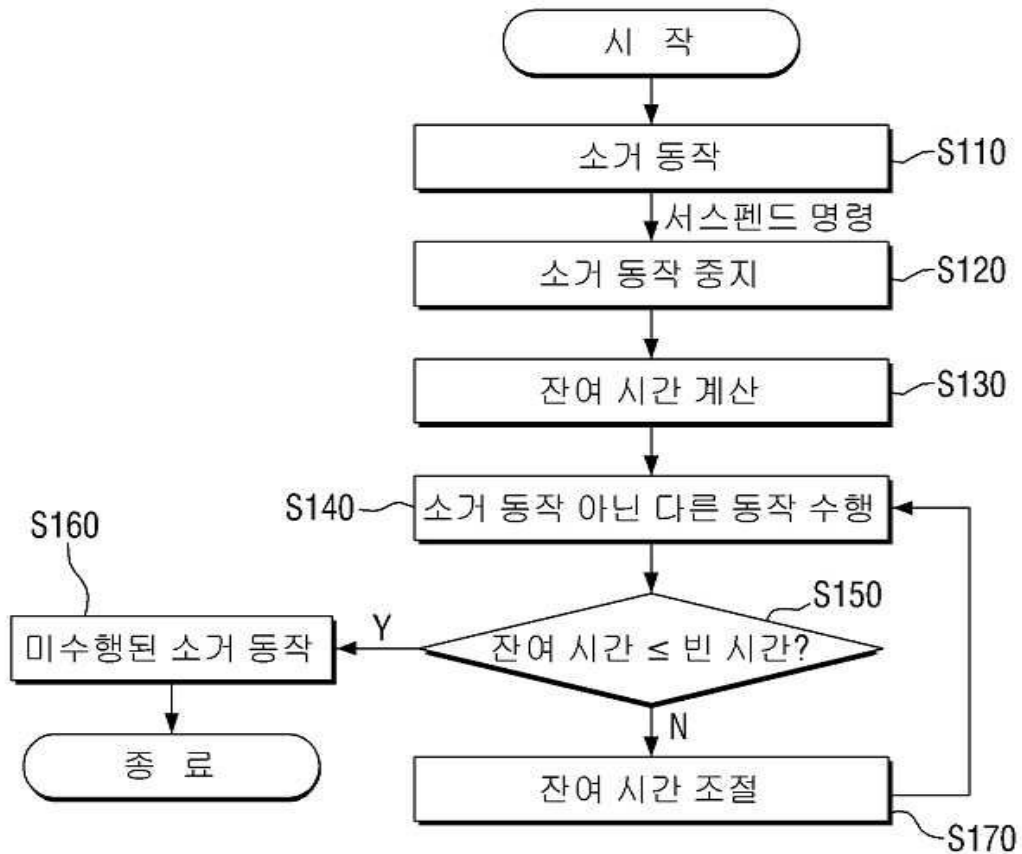
도면7



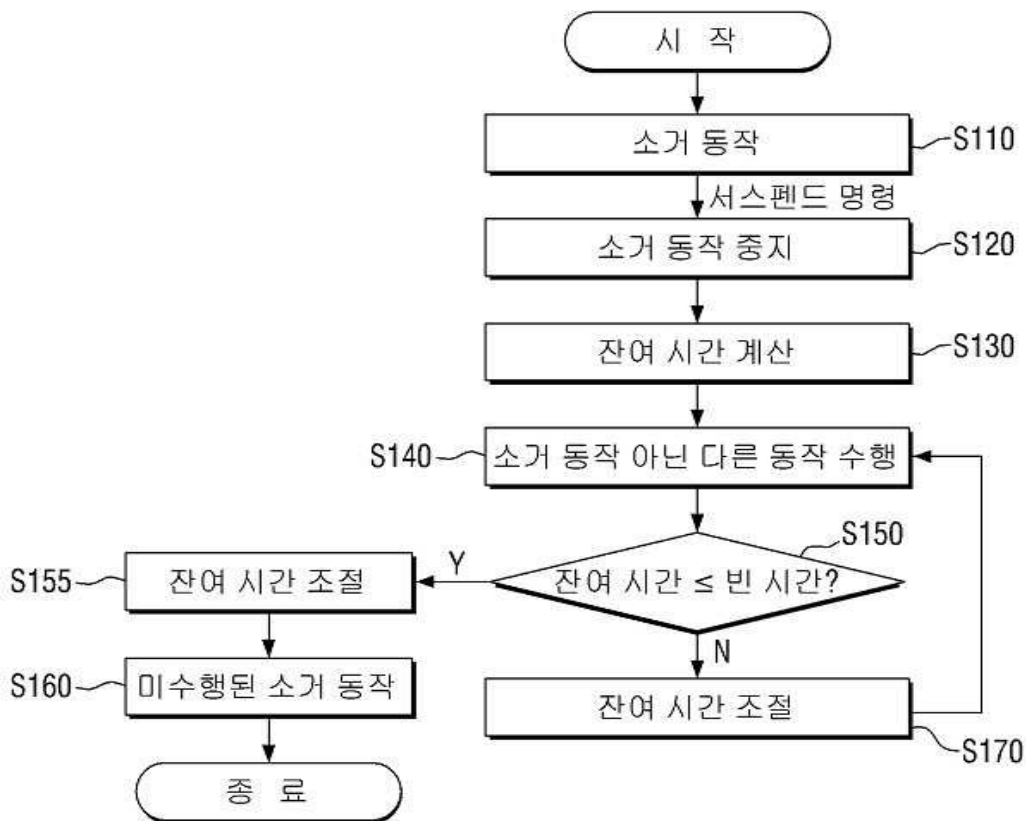
도면8



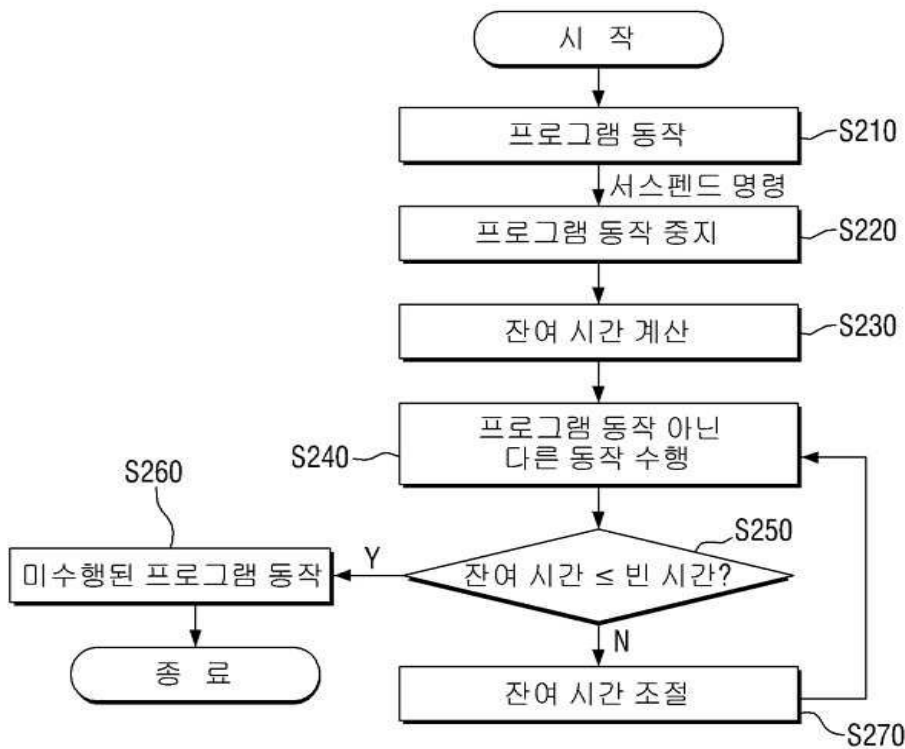
도면9



도면10

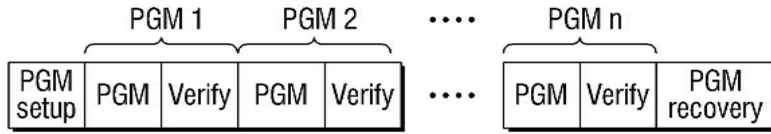


도면11

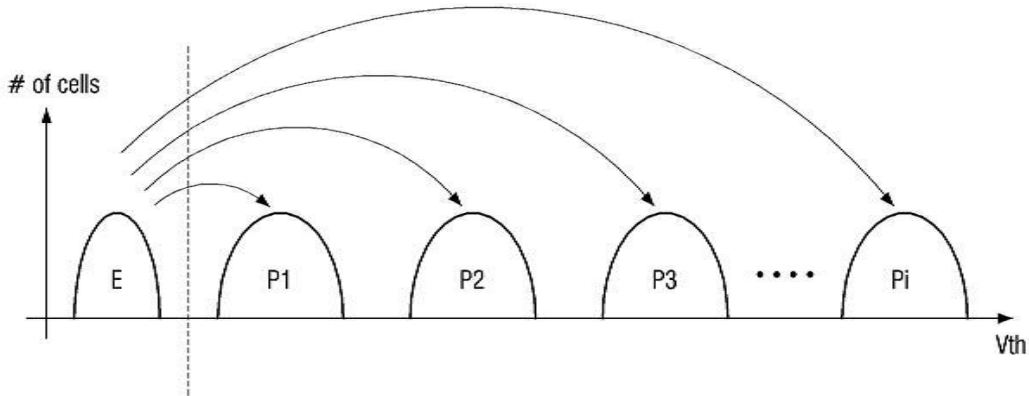


도면12

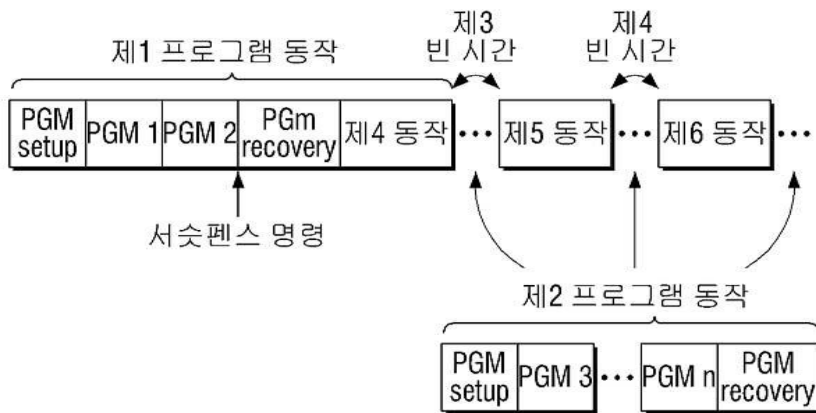
[프로그램 동작]



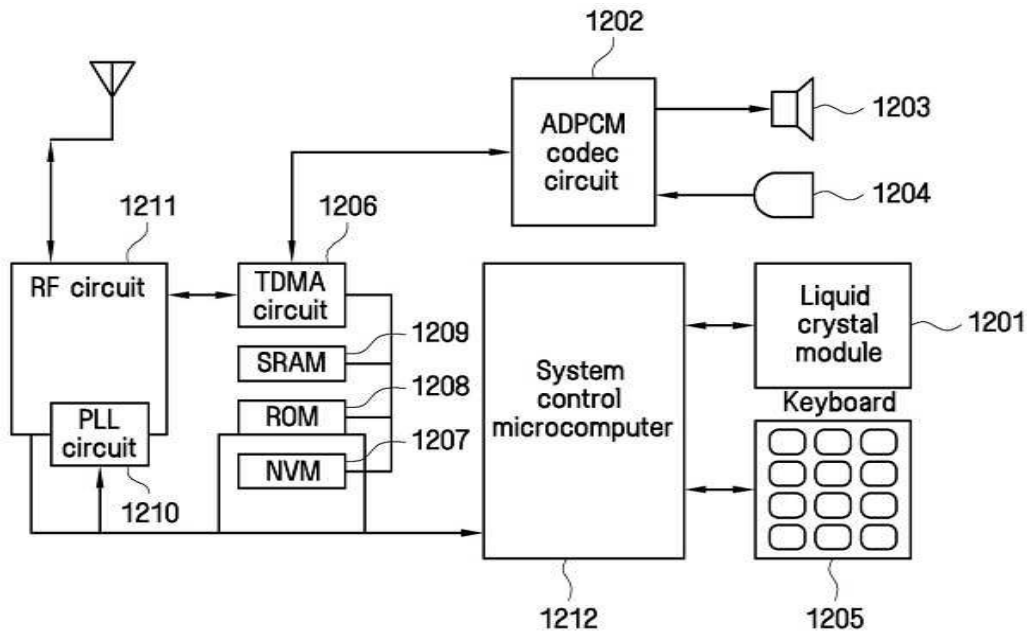
도면13



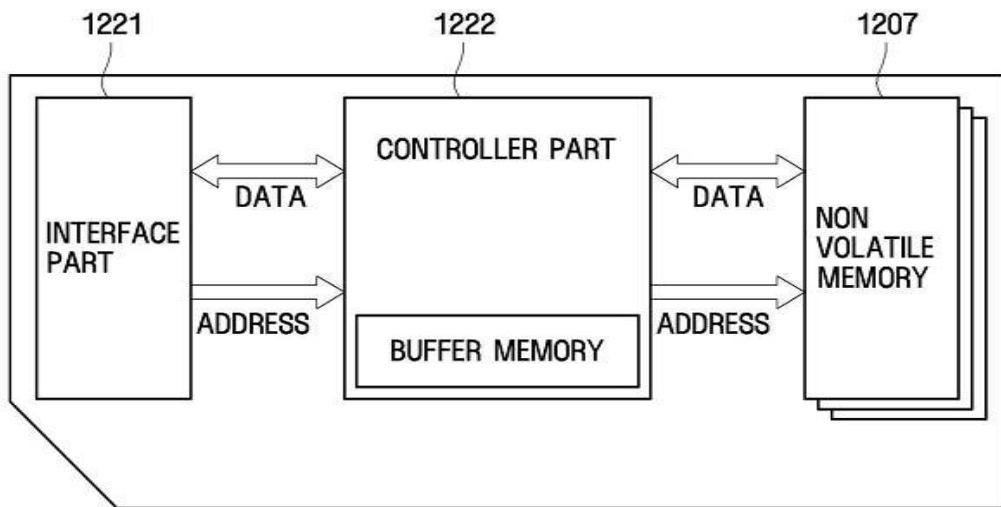
도면14



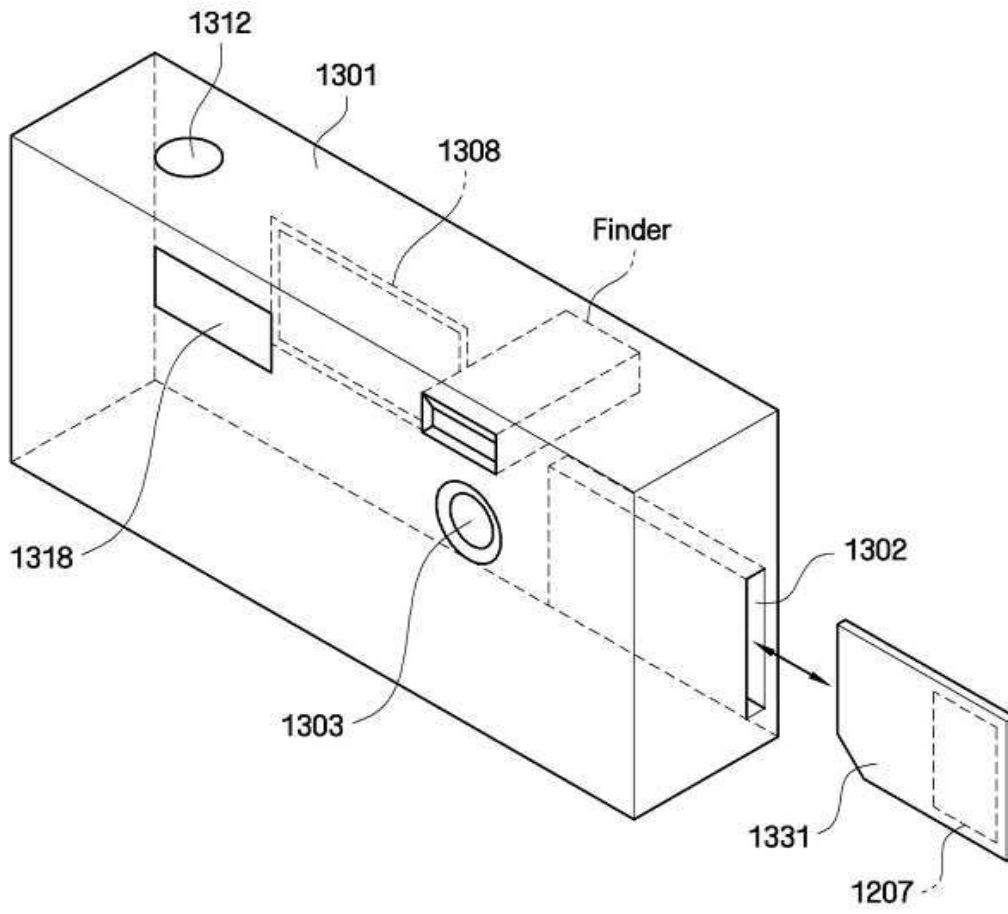
도면15



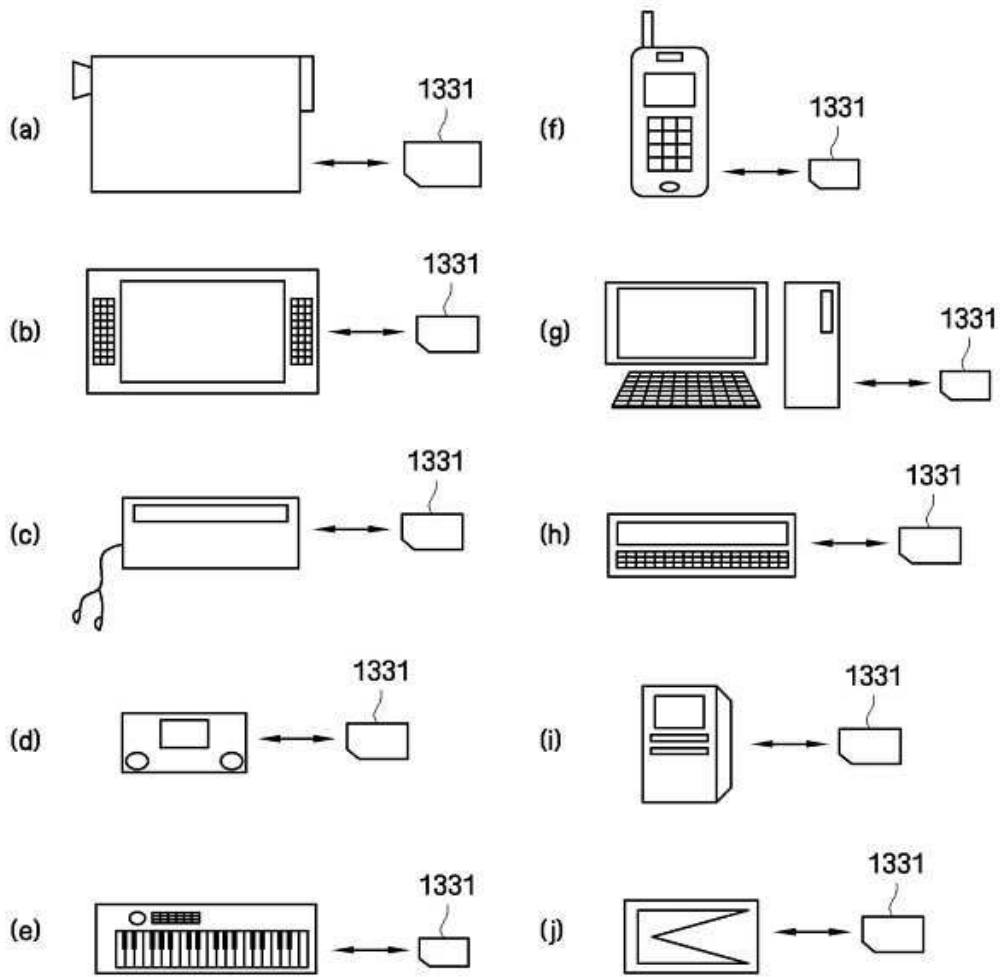
도면16



도면17



도면18



도면19

