

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5179787号  
(P5179787)

(45) 発行日 平成25年4月10日(2013.4.10)

(24) 登録日 平成25年1月18日(2013.1.18)

(51) Int.Cl. F I  
 HO 1 L 25/10 (2006.01) HO 1 L 25/14 Z  
 HO 1 L 25/11 (2006.01) HO 1 L 23/12 5 O 1 W  
 HO 1 L 25/18 (2006.01)  
 HO 1 L 23/12 (2006.01)

請求項の数 11 (全 26 頁)

(21) 出願番号	特願2007-165488 (P2007-165488)	(73) 特許権者	308033711 ラピスセミコンダクタ株式会社 東京都八王子市東浅川町550番地1
(22) 出願日	平成19年6月22日(2007.6.22)	(73) 特許権者	390008855 ラピスセミコンダクタ宮崎株式会社 宮崎県宮崎市清武町木原727番地
(65) 公開番号	特開2009-4650 (P2009-4650A)	(74) 代理人	100079049 弁理士 中島 淳
(43) 公開日	平成21年1月8日(2009.1.8)	(74) 代理人	100084995 弁理士 加藤 和詳
審査請求日	平成22年5月14日(2010.5.14)	(74) 代理人	100085279 弁理士 西元 勝一
		(74) 代理人	100099025 弁理士 福田 浩志

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

表面に半導体チップの電極と電気的に接続される電極パッドが形成されると共に、裏面に前記電極パッドと電気的に接続された外部接続パッドが形成されたパッケージ基板と、前記パッケージ基板の表面に載置され、前記電極が前記電極パッドに電気的に接続された半導体チップと、

側面に周方向に沿って全周にわたり形成された複数の突条を備え、一端が前記電極パッドと電気的に接続された柱状の表面側端子であって、前記一端側に前記半導体チップが配置される方向に突き出した段差部を備えた表面側端子と、

前記半導体チップを封止樹脂で封止すると共に、前記表面側端子の他端が表面に露出するように前記表面側端子の周囲を覆う封止樹脂層と、

を含むことを特徴とする半導体装置。

【請求項2】

前記表面側端子は、前記パッケージ基板に対し垂直に立てられていることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記表面側端子の柱状部は、円柱状又は円錐状であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記表面側端子は、前記パッケージ基板上に積層した金属膜を複数回に分けてエッチン

10

20

グして形成されたことを特徴とする請求項 1 から 3 までのいずれか 1 項に記載の半導体装置。

【請求項 5】

前記突条は、エッチング時のサイドエッチにより形成されたことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記封止樹脂層の表面に形成された再配線パッドと、  
前記封止樹脂層の表面に形成され、前記表面側端子の他端と前記再配線パッドとを電氣的に接続する接続配線と、  
を更に含むことを特徴とする請求項 1 から 5 までのいずれか 1 項に記載の半導体装置。

10

【請求項 7】

複数のパッケージ基板に分割されるフレーム基板に、パッケージ毎に、パッケージ基板の表面に半導体チップの電極と電氣的に接続される電極パッドを形成すると共に、パッケージ基板の裏面に前記電極パッドと電氣的に接続された外部接続パッドを形成する工程と、

前記フレーム基板上に金属膜を積層し、一端が各々対応する前記電極パッドと電氣的に接続される柱状の表面側端子が複数形成されるように、前記金属膜の表面に所定パターンの第 1 のマスクを形成する工程と、

前記第 1 のマスクを用いて前記金属膜が所定厚さになるまで第 1 のエッチングを行う工程と、

20

前記第 1 のエッチングにより形成された柱状部の側面を保護する第 2 のマスクを形成し、前記第 1 のマスク及び前記第 2 のマスクを用いて前記パッケージ基板が露出するまで第 2 のエッチングを行う工程と、

パッケージ毎に、前記パッケージ基板の表面に前記半導体チップを載置し、前記電極を前記電極パッドに電氣的に接続する工程と、

前記表面側端子の一端が露出するように、前記フレーム基板上に前記表面側端子と同じ高さの封止樹脂層を形成し、前記半導体チップの各々を封止樹脂で封止する工程と、

前記半導体チップの各々がパッケージ毎に収納されると共に、前記電極パッド、前記外部接続パッド、前記表面側端子、及び前記封止樹脂層の各々がパッケージ毎に形成された前記フレーム基板をスクライビングして、個々のパッケージに分割する工程と、

30

を含むことを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 6 に記載の半導体装置を製造する半導体装置の製造方法であって、

複数のパッケージ基板に分割されるフレーム基板に、パッケージ毎に、パッケージ基板の表面に半導体チップの電極と電氣的に接続される電極パッドを形成すると共に、パッケージ基板の裏面に前記電極パッドと電氣的に接続された外部接続パッドを形成する工程と、

前記フレーム基板上に金属膜を積層し、一端が各々対応する前記電極パッドと電氣的に接続される柱状の表面側端子が複数形成されるように、前記金属膜の表面に所定パターンの第 1 のマスクを形成する工程と、

40

前記第 1 のマスクを用いて前記金属膜が所定厚さになるまで第 1 のエッチングを行う工程と、

前記第 1 のエッチングにより形成された柱状部の側面を保護する第 2 のマスクを形成し、前記第 1 のマスク及び前記第 2 のマスクを用いて前記パッケージ基板が露出するまで第 2 のエッチングを行う工程と、

パッケージ毎に、前記パッケージ基板の表面に前記半導体チップを載置し、前記電極を前記電極パッドに電氣的に接続する工程と、

前記表面側端子の他端が露出するように、前記フレーム基板上に前記表面側端子と同じ高さの封止樹脂層を形成し、前記半導体チップの各々を封止樹脂で封止する工程と、

前記封止樹脂層の表面に、パッケージ毎に、再配線パッドを形成すると共に、前記表面

50

側端子の他端と前記再配線パッドとを電氣的に接続する接続配線を形成する工程と、

前記半導体チップの各々がパッケージ毎に収納されると共に、前記電極パッド、前記外部接続パッド、前記表面側端子、前記封止樹脂層、前記再配線パッド、及び前記接続配線の各々がパッケージ毎に形成された前記フレーム基板をスクライピングして、個々のパッケージに分割する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 9】

前記金属膜の表面に形成される前記第 1 のマスクは、前記電極パッドの前記表面側端子と接続される接続パッド部の各々に対向する位置に小円形のマスクが複数配置されたパターンで形成されたことを特徴とする請求項 7 又は 8 に記載の半導体装置の製造方法。

10

【請求項 10】

第 2 のエッチングを、第 1 のエッチングよりもサイドエッチが大きくなる条件で行うことにより、前記表面側端子の前記電極パッドと電氣的に接続される一端側を、前記封止樹脂層の表面に露出する他端側よりも細くすることを特徴とする請求項 7 から 9 までのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 11】

前記第 2 のマスクと共に、前記第 1 のエッチング後に残った金属膜の表面に前記第 2 のマスクから前記半導体チップが配置される方向に延びる第 3 のマスクを更に形成し、前記第 1 のマスク、前記第 2 のマスク、及び前記第 3 のマスクを用いて前記パッケージ基板が露出するまで第 2 のエッチングを行い、前記表面側端子の前記電極パッドと電氣的に接続される一端側に、前記半導体チップが配置される方向に突き出した段差部を形成することを特徴とする請求項 7 から 9 までのいずれか 1 項に記載の半導体装置の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に係り、特に、両面電極構造の半導体装置（両面電極パッケージ）及びその製造方法に関する。

【背景技術】

【0002】

近時、携帯電話など電子機器の小型化により、より実装密度の高い 3 次元パッケージ技術の開発が進められてきた。3 次元パッケージ技術の中では、1 つのパッケージ上に別のパッケージを積層するパッケージ・オン・パッケージ（POP）という方法が有望である。POP では、3 層、4 層といった多層にわたるパッケージの積層も提案されている（特許文献 1 参照）。

30

【0003】

図 18 に従来の POP の代表的な構造を示す。この POP 構造では、パッケージ 1 の上に、別のパッケージ 2 が積層されている。下側のパッケージ 1 では、半導体チップがフリップチップ接続されている。また、パッケージ 1 は、その裏面側に接続端子として半田ボールが設けられており、その表面側には半田ペーストを塗布してランド部が設けられている。

40

【0004】

上側のパッケージ 2 では、半導体チップがワイヤボンダ接続され、樹脂で封止されている。また、パッケージ 2 にも、裏面側に接続端子としてランド部が設けられている。パッケージ 2 のランド部は、積層状態でパッケージ 1 と対向する位置に設けられている。そして、上側のパッケージ 2 のランド部は、半田ボール 3 によって、下側のパッケージ 1 のランド部に電氣的に接続されている。

【特許文献 1】特開平 11 - 260999 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

50

しかしながら、従来のPOPには種々の課題がある。例えば、(1)パッケージ同士の積層であるため、半導体チップのスタックに比べて取り付け高さを低くできない、(2)パッケージに反りが発生すると、電気的な接続信頼性が低下する、(3)下側のパッケージは封止が不十分になるため、耐湿信頼性が低下する、(4)パッケージに接続端子として設けられる半田ボールの径を小さくするにも限界があるため、半導体チップの多ピン化に対応できない、等である。これらの課題は、何れも積層される各パッケージの構造に起因するものである。

【0006】

上記のPOPには、両面電極パッケージが使用される。両面電極パッケージは、少なくとも、半導体チップと接続される内部配線と、パッケージ表面側の電極と内部配線とを接続する貫通電極と、パッケージ裏面側の電極と内部配線とを接続する貫通電極と、を備えている。上述した従来のPOPの課題を解決するためには、信頼性、生産性、及び汎用性に優れた構造の両面電極パッケージを開発する必要がある。

10

【0007】

本発明は、上記事情に鑑み成されたものであり、本発明の目的は、簡易且つ低コストに製造でき、他のパッケージとの接続信頼性及び耐湿信頼性に優れた構造の両面電極パッケージを提供することにある。また、本発明の他の目的は、他のパッケージとの接続信頼性及び耐湿信頼性に優れた構造の両面電極パッケージを、簡易且つ低コストに製造できる製造方法を提供することにある。

【0008】

本発明の更に他の目的は、半導体チップのピンの数や大きさに応じて、任意のレイアウトで内部配線(電極パッド)を形成できる構造の両面電極パッケージを、簡易且つ低コストに製造できるようにすることにある。

20

【課題を解決するための手段】

【0009】

上記目的を達成するために本発明の半導体装置は、表面に半導体チップの電極と電氣的に接続される電極パッドが形成されると共に、裏面に前記電極パッドと電氣的に接続された外部接続パッドが形成されたパッケージ基板と、前記パッケージ基板の表面に載置され、前記電極が前記電極パッドに電氣的に接続された半導体チップと、側面に周方向に沿って全周にわたり形成された複数の突条を備え、一端が前記電極パッドと電氣的に接続された柱状の表面側端子であって、前記一端側に前記半導体チップが配置される方向に突き出した段差部を備えた表面側端子と、前記半導体チップを封止樹脂で封止すると共に、前記表面側端子の他端が表面に露出するように前記表面側端子の周囲を覆う封止樹脂層と、を含むことを特徴としている。

30

【0010】

本発明の半導体装置において、前記表面側端子は、前記パッケージ基板に対し垂直に立てられていることが好ましい。また、前記表面側端子は、円柱状又は円錐状であることが好ましい。

【0011】

また、前記表面側端子は、前記電極パッドと電氣的に接続される一端側を、前記封止樹脂層の表面に露出する他端側よりも細くすることができる。或いは、前記表面側端子は、前記電極パッドと電氣的に接続される一端側に、前記半導体チップが配置される方向に突き出した段差部を備えていてもよい。

40

【0012】

また、前記表面側端子は、前記パッケージ基板上に積層した金属膜を複数回に分けてエッチングして形成することができる。前記表面側端子の側面の前記突条は、エッチング時のサイドエッチにより形成することができる。

【0013】

また、本発明の半導体装置は、前記封止樹脂層の表面に形成された再配線パッドと、前記封止樹脂層の表面に形成され、前記表面側端子の他端と前記再配線パッドとを電氣的に

50

接続する接続配線と、を更に含んでいてもよい。

【0014】

上記目的を達成するために本発明の半導体装置の製造方法は、複数のパッケージ基板に分割されるフレーム基板に、パッケージ毎に、パッケージ基板の表面に半導体チップの電極と電氣的に接続される電極パッドを形成すると共に、パッケージ基板の裏面に前記電極パッドと電氣的に接続された外部接続パッドを形成する工程と、前記フレーム基板上に金属膜を積層し、一端が各々対応する前記電極パッドと電氣的に接続される柱状の表面側端子が複数形成されるように、前記金属膜の表面に所定パターンの第1のマスクを形成する工程と、前記第1のマスクを用いて前記金属膜が所定厚さになるまで第1のエッチングを行う工程と、前記第1のエッチングにより形成された柱状部の側面を保護する第2のマスクを形成し、前記第1のマスク及び前記第2のマスクを用いて前記パッケージ基板が露出するまで第2のエッチングを行う工程と、パッケージ毎に、前記パッケージ基板の表面に前記半導体チップを載置し、前記電極を前記電極パッドに電氣的に接続する工程と、前記表面側端子の一端が露出するように、前記フレーム基板上に前記表面側端子と同じ高さの封止樹脂層を形成し、前記半導体チップの各々を封止樹脂で封止する工程と、前記半導体チップの各々がパッケージ毎に収納されると共に、前記電極パッド、前記外部接続パッド、前記表面側端子、及び前記封止樹脂層の各々がパッケージ毎に形成された前記フレーム基板をスクライビングして、個々のパッケージに分割する工程と、を含むことを特徴としている。

10

【0015】

前記再配線パッドと前記接続配線とを更に含む半導体装置の場合には、前記フレーム基板をスクライビングして個々のパッケージに分割する前に、前記封止樹脂層の表面に、パッケージ毎に、再配線パッドを形成すると共に、前記表面側端子の他端と前記再配線パッドとを電氣的に接続する接続配線を形成する工程を実施し、その後で、前記半導体チップの各々がパッケージ毎に収納されると共に、前記電極パッド、前記外部接続パッド、前記表面側端子、前記封止樹脂層、前記再配線パッド、及び前記接続配線の各々がパッケージ毎に形成された前記フレーム基板をスクライビングして、個々のパッケージに分割する工程を実施する。

20

【0016】

本発明の製造方法において、前記金属膜の表面に形成される前記第1のマスクは、前記電極パッドの前記表面側端子と接続される接続パッド部の各々に対向する位置に小円形のマスクが複数配置されたパターンで形成することができる。

30

【0017】

また、第2のエッチングを、第1のエッチングよりもサイドエッチが大きくなる条件で行うことにより、前記表面側端子の前記電極パッドと電氣的に接続される一端側を、前記封止樹脂層の表面に露出する他端側よりも細くすることができる。

【0018】

また、前記第2のマスクと共に、前記第1のエッチング後に残った金属膜の表面に前記第2のマスクから前記半導体チップが配置される方向に延びる第3のマスクを更に形成し、前記第1のマスク、前記第2のマスク、及び前記第3のマスクを用いて前記パッケージ基板が露出するまで第2のエッチングを行って、前記表面側端子の前記電極パッドと電氣的に接続される一端側に、前記半導体チップが配置される方向に突き出した段差部を形成することができる。

40

【発明の効果】

【0019】

本発明によれば、他のパッケージとの接続信頼性及び耐湿信頼性に優れた構造の両面電極パッケージを、簡易且つ低コストに製造することができる、という効果がある。また、柱状の表面側端子の構造を工夫することで、半導体チップのピンの数や大きさに応じて、任意のレイアウトで内部配線（電極パッド）を形成することができる、という効果がある。

50

## 【発明を実施するための最良の形態】

## 【0020】

以下、図面を参照して本発明の実施の形態の一例を詳細に説明する。

## 【0021】

<第1の実施の形態>

## [両面電極パッケージ]

図1は本発明の第1の実施の形態に係る両面電極パッケージの構成を示す概略断面図である。第1の実施の形態に係る両面電極パッケージ10は、樹脂やセラミクスなどの絶縁体で構成された平板状のコア材16を備えている。コア材16には、コア材16を貫通するビア24が複数形成されている。各々のビア24内に、導電性材料26が充填されて、貫通電極28とされている。貫通電極28の一端はコア材16の表面に露出し、貫通電極28の他端はコア材16の裏面に露出している。

10

## 【0022】

また、コア材16の表面には、所定のレイアウトで、LSIチップ等の半導体チップ44を接続するための複数の電極パッド18と、複数の表面側端子36と、電極パッド18と貫通電極28の一端又は表面側端子36の一端とを電気的に接続する複数の配線20と、が形成されている。複数の電極パッド18は、内側と外側の2列に配列されている。柱状(ポスト状)の表面側端子36の各々は、コア材16の表面に形成された配線20上に、コア材16に対して略垂直に立てられている。なお、電極パッド18と配線20とが、本発明の「電極パッド」に相当する。

20

## 【0023】

以下では、内側と外側の電極パッド18を区別する必要がある場合には、電極パッド18と総称する。一方、内側と外側の電極パッド18を区別する必要がある場合には、内側の電極パッド18を内側電極パッド18<sub>in</sub>と称し、外側の電極パッド18を外側電極パッド18<sub>out</sub>と称する。

## 【0024】

また、配線20についても、内側と外側の配線20を区別する必要がある場合には、配線20と総称する。一方、内側と外側の配線20を区別する必要がある場合には、内側電極パッド18<sub>in</sub>と貫通電極28の一端とを接続する配線20を内側配線20<sub>in</sub>と称し、外側電極パッド18<sub>out</sub>と表面側端子36の一端とを接続する配線20を外側配線20<sub>out</sub>と称する。

30

## 【0025】

コア材16の裏面には、貫通電極28の露出部を覆うように、外部接続用のランド30が複数形成されている。コア材16の裏面に露出した貫通電極28の他端は、このランド30に電気的に接続されている。また、コア材16の裏面は、ランド30を残して、ソルダレジスト42で被覆されている。

## 【0026】

上述した電極パッド18、配線20、貫通電極28、ランド30、及びソルダレジスト42が形成されたコア材16が、パッケージ基板12である。パッケージ基板12は、平面視が矩形状であり、そのサイズは半導体チップ44の平面サイズよりも大きい(図2(A)参照)。電極パッド18、配線20、及びランド30の各々は、コア材16の表面又は裏面に、半田ペースト等の導電性材料を所定のパターンで塗布するなどして形成されている。表面側端子36は、銅(Cu)等の金属で形成されている。ソルダレジスト42は、コア材16の裏面に、耐熱性の樹脂材料を塗布するなどして形成されている。

40

## 【0027】

パッケージ基板12の中央部には、LSIチップ等の半導体チップ44が載置(マウント)されている。半導体チップ44の裏面は、ダイボンダ材46によりパッケージ基板12の表面に接着されている。半導体チップ44の表面には、図示しない複数の電極が形成されている。半導体チップ44のこれら電極と電極パッド18との間に、金(Au)細線などの金属ワイヤ48がループ状に架け渡されて、半導体チップ44がパッケージ基板1

50

2にワイヤボンディングされている。即ち、金属ワイヤ48の一端が半導体チップ44の電極と電氣的に接続されると共に、金属ワイヤ48の他端が電極パッド18と電氣的に接続されている。

【0028】

半導体チップ44は、封止樹脂層50によって封止されている。封止樹脂層50は、エポキシ樹脂などの封止樹脂をモールド成型する等して形成される。同様に、電極パッド18、配線20、及び金属ワイヤ48も、封止樹脂層50により封止されている。封止樹脂層50の表面50Aは、表面側端子36と同じ高さとされている。このため、封止樹脂層50の表面50Aには、表面側端子36の端面36A(図4参照)が複数露出している。換言すれば、パッケージ基板12の表面は、端面36Aを残して、封止樹脂層50で被覆

10

【0029】

封止樹脂層50の表面50A上には、上側に積層される他の両面電極パッケージと接続するための外部接続端子として、複数の再配線パッド52が形成されている。また、表面50A上には、これらの再配線パッド52と端面36Aとを一对一で接続する配線54が形成されて、封止樹脂層50の表面で再配線が行われている。なお、両面電極パッケージ10の表面は、再配線パッド52だけを残して、ソルダレジストで被覆されていてもよい。また、再配線パッド52と配線54とが形成される前のパッケージを、両面電極パッケージ10Aと称する。

【0030】

20

図2(A)は半導体チップ44がマウントされる前のパッケージ基板12を表面側から見た平面図である。図2(B)は、図2(A)の矩形形状のパッケージ基板12の表面の約1/4の領域32の様子を図示している。なお、本実施の形態では、パッケージ基板12の大きさは13mm×13mmである。また、図1は図2のA-A断面図に相当する。

【0031】

図2(A)及び(B)に示すように、パッケージ基板12の半導体チップ44が配置されるチップ配置領域14(図2(A)において点線で囲んだ領域)には、貫通電極28の端面が露出している。本実施の形態では、パッケージ基板12の中央部には、114個の貫通電極28が、中央の数個を除いた11×11のマトリクス状に配置されている。また、パッケージ基板12の周辺部には、配線20を介して表面側端子36と対向するように、106個の貫通電極28が配置されている。

30

【0032】

パッケージ基板12のチップ配置領域14の外側には、チップ配置領域14を四角く取り囲むように、156個の内側電極パッド18<sub>in</sub>が、1辺に39個ずつ配置されている。また、内側電極パッド18<sub>in</sub>の外側には、チップ配置領域14を四角く取り囲むように、160個の外側電極パッド18<sub>out</sub>が、1辺に40個ずつ配置されている。上述した通り、本実施の形態では、パッケージ基板12の大きさは13mm×13mmであり、パッケージ基板12の外周より約2mm内側の仮想線(図2(B)の一点鎖線)を挟んで、この仮想線の内側に内側電極パッド18<sub>in</sub>が配列され、仮想線の外側に外側電極パッド18<sub>out</sub>が配列されている。

40

【0033】

即ち、複数の電極パッド18は、内側と外側の2列に配列されている。また、図示したとおり、隣接する2個の内側電極パッド18<sub>in</sub>の間に外側電極パッド18<sub>out</sub>が対向するように、内側電極パッド18<sub>in</sub>と外側電極パッド18<sub>out</sub>とは千鳥状に配列されている。このように、複数の電極パッド18を、複数列に配列したり、千鳥状に配列することで、配線を容易にして配列する電極パッド18の個数を増やすことが可能になる。

【0034】

パッケージ基板12の電極パッド18の外側には、電極パッド18及びチップ配置領域14を四角く取り囲むように、106個の表面側端子36が配置されている。上述した通り、本実施の形態では、パッケージ基板12の大きさは13mm×13mmであり、パッ

50

ケージ基板 12 の外周より約 1.3 m の範囲に、複数の表面側端子 36 が配置されている。

【0035】

本実施の形態では、矩形のパッケージ基板 12 の一辺あたり、29 個又は 24 個の表面側端子 36 が配置されている。29 個の表面側端子 36 が配列されている領域では、内側に 8 個と外側に 21 個の 2 列に配列されている。24 個の表面側端子 36 が配列されている領域では、内側に 8 個と外側に 16 個の 2 列に配列されている。

【0036】

また、部分的に見れば、隣接する 2 個の外側の表面側端子 36 の間に内側の表面側端子 36 が対向するように、千鳥状に配列されている。電極パッド 18 と同様に、複数の表面側端子 36 を、複数列に配列したり、千鳥状に配列することで、配線を容易にして配列する表面側端子 36 の個数を増やすことが可能になる。

【0037】

パッケージ基板 12 の表面には、貫通電極 28 の一端と内側電極パッド 18<sub>in</sub> とを一对一で接続するように内側配線 20<sub>in</sub> が所定のパターンで適宜設けられると共に、表面側端子 36 の一端と外側電極パッド 18<sub>out</sub> とを一对一で接続する外側配線 20<sub>out</sub> が所定のパターンで適宜設けられている。本実施の形態では、114 個の貫通電極 28 に対応して 114 本の内側配線 20<sub>in</sub> が設けられている。また、106 個の表面側端子 36 に対応して 106 本の外側配線 20<sub>out</sub> が設けられている。

【0038】

なお、図 2 (A) 及び (B) は、パッケージ基板 12 におけるレイアウトの一例を示したに過ぎない。パッケージ基板 12 の電極パッド 18、配線 20、貫通電極 28、及び表面側端子 36 の個数や配置は、半導体チップ 44 の電極 (ピン) の数や、半導体チップ 44 の大きさなどに応じて、適宜変更することができる。パッケージ基板 12 の大きさも半導体チップ 44 の大きさなどに応じて、適宜変更することができる。

【0039】

特に、本発明では、他の実施の形態で説明するように、表面側端子 36 の形状を工夫することが可能で、レイアウトの自由度が従来以上に向上する。また、後述するように、本発明では、表面側端子 36 と封止樹脂との密着性が良いので、表面側端子 36 の個数を増やすことで、表面側端子 36 と封止樹脂層 50 とを、より強固に接着することができる。

【0040】

図 3 は表面側端子 36 の形状を示す斜視図である。図 3 は、図 2 (B) の点線で囲んだ領域 22 に在る 2 個の表面側端子 36 を斜め上から見たときの斜視図である。外側配線 20<sub>out</sub> の端部は、表面側端子 36 の断面 (略円形) よりひとまわり大きいドロップ状のパターンに形成されている。上述した通り、円柱状 (ポスト状) の表面側端子 36 の各々は、配線 20 のドロップ状の端部の上に、略垂直に立てられている。また、表面側端子 36 の各々は、側面に周方向に沿って全周にわたり形成された複数の突条 (周方向に連続した凸部) を備えている。

【0041】

本実施の形態では、表面側端子 36 の各々は 3 個の突条を備えている。この複数の突条により、柱状の表面側端子 36 の側面には、波打つような凹凸が形成されている。なお、表面側端子 36 の平坦な頂上部分が、後述する端面 36A (図 4 参照) として封止樹脂層 50 から露出することになる。

【0042】

表面側端子 36 の周囲は封止樹脂により埋められるが、表面側端子 36 が側面に凹凸を備えることで、封止樹脂との密着性が顕著に向上する。このため、表面側端子 36 と封止樹脂層 50 とが剥離しにくくなり、両面電極パッケージ 10 の耐湿信頼性が顕著に向上する。また、封止樹脂との密着性が顕著に向上することは、両面電極パッケージ 10 が曝される環境温度が変化して、金属製の表面側端子 36 が膨張・収縮しても、封止樹脂層 50 がそれに追従することを意味する。このため、反りなどにより電氣的な接続が困難になる

10

20

30

40

50

おそれが少なく、上部に積層されるパッケージとの接続信頼性が顕著に向上する。

【 0 0 4 3 】

表面側端子 3 6 の高さは、0 . 1 ~ 0 . 3 mm 程度とすることができる。一般に、半導体チップ 4 4 の厚さは 5 0 ~ 1 0 0 μ m 程度である。表面側端子 3 6 の高さは、半導体チップ 4 4 の厚さの 2 倍 ~ 3 倍程度にするのが好ましい。

【 0 0 4 4 】

図 4 は両面電極パッケージ 1 0 を表面側から見た部分平面図である。両面電極パッケージ 1 0 の表面の約 1 / 4 の領域の様子を図示している。また、図 1 は図 4 の A - A 断面図に相当する。図 1 で説明したように、半導体チップ 4 4 がマウントされたパッケージ基板 1 2 の表面は、表面側端子 3 6 の端面 3 6 A を残して、封止樹脂層 5 0 で被覆されている。また、封止樹脂層 5 0 の表面 5 0 A 上には、複数の再配線パッド 5 2 と、これと端面 3 6 A とを一对一で接続する配線 5 4 と、が形成されている。

10

【 0 0 4 5 】

上述した通り、本実施の形態では、1 0 6 個の表面側端子 3 6 が配置されている。柱状の表面側端子 3 6 は、パッケージ基板 1 2 に対し略垂直に立てられているので、表面側端子 3 6 の端面 3 6 A は、表面側端子 3 6 の各々に対応する位置に露出することになる。本実施の形態では、両面電極パッケージ 1 0 の表面には、1 0 6 個の端面 3 6 A が露出している。

【 0 0 4 6 】

また、本実施の形態では、両面電極パッケージ 1 0 の表面には、1 0 4 個の再配線パッド 5 2 が設けられている。再配線パッド 5 2 の各々は、配線 5 4 により何れかの端面 3 6 A と一对一で電氣的に接続されている。本実施の形態では、両面電極パッケージ 1 0 の表面には、再配線パッド 5 2 の個数に応じて、1 0 4 本の配線 5 4 が設けられている。封止樹脂層 5 0 の表面は平坦で、再配線パッド 5 2 を任意のレイアウトで配置（再配線）することができるので、上側に積層されるパッケージとの接続が非常に容易になる。言うまでも無いが、再配線パッド 5 2 の個数や配置は、上側に積層されるパッケージの外部接続端子の位置などに応じて、適宜変更することができる。

20

【 0 0 4 7 】

[両面電極パッケージの製造方法]

次に、上述した両面電極パッケージ 1 0 を製造する製造方法について説明する。図 5 ~ 図 1 2 は第 1 の実施の形態に係る両面電極パッケージ 1 0 の製造工程を示す図である。この製造工程では、図 5 に示すように、複数のパッケージ基板 1 2 が形成された単一の基板フレーム 6 0 が用いられる。この基板フレーム 6 0 上には、パッケージ基板毎に、両面電極パッケージの構造が形成される。最後に、基板フレーム 6 0 をダイシングすることにより、個々の両面電極パッケージに分割（個片化）される。以下、両面電極パッケージ 1 0 の製造工程を、順を追って説明する。

30

【 0 0 4 8 】

(基板フレームの準備工程)

まず、複数のパッケージ基板 1 2 が形成された単一の基板フレーム 6 0 を用意する。図 5、図 6 及び図 7 は基板フレーム 6 0 の準備工程を示す図である。図 5 は基板フレーム 6 0 を表面側から見た平面図である。図 6 は基板フレーム 6 0 の部分断面図である。

40

【 0 0 4 9 】

長尺状の基板フレーム 6 0 には、複数のパッケージ基板 1 2 が形成されている。ここでは、図 5 に示すように、基板フレーム 6 0 には、3 6 個のパッケージ基板 1 2 が配置されている。3 6 個のパッケージ基板 1 2 は、9 個ずつ 4 組に分けられている。1 つの組では、9 個のパッケージ基板 1 2 が 3 × 3 のマトリクス状に配置されている。各組は、基板フレーム 6 0 の長さ方向に沿って、所定間隔をへだてて配置されている。なお、図 2 ( B ) 等では、個々のパッケージ基板 1 2 の図面左上の約 1 / 4 の領域 3 2 だけを図示している。

【 0 0 5 0 】

50

図6には、2個のパッケージ基板12を含む部分のみを図示している。図中、点線で囲んだ部分が、図1及び図2に示す1個のパッケージ基板12に相当する。基板フレーム60は、平板状のコア材16を備えている。コア材16には、複数の電極パッド18、複数の配線20、複数の貫通電極28、複数のランド30、複数の表面側端子36、及びソルダレジスト42が、パッケージ基板12毎に形成されている。

#### 【0051】

コア材16やソルダレジスト42は、絶縁体で構成されている。絶縁体としては、有機樹脂などが好ましい。ソルダレジスト42は、コア材16の裏面に、耐熱性の樹脂を塗布するなどして形成されている。表面側端子36は、コア材16に電極パッド18、配線20、貫通電極28、ランド30、及びソルダレジスト42を形成した後で形成する。表面側端子36の作製方法については、後で詳細に説明する。

10

#### 【0052】

また、電極パッド18、配線20、貫通電極28のビア24に充填される導電性材料26、及びランド30等は、当然ながら導電性の材料で構成されている。電極パッド18、配線20、及びランド30の各々は、コア材16の表面又は裏面に、半田ペースト等の導電性材料を所定のパターンで塗布するなどして形成されている。導電性材料としては、電気抵抗の低い材料が好ましい。

#### 【0053】

後述する通り、電極パッド18、配線20などを形成した後に、金属製の表面側端子36をエッチングで形成するので、電極パッド18、配線20には、エッチング液に不溶な導電性材料を使用することが好ましい。本実施の形態では、銅製の表面側端子36を形成するので、電極パッド18、配線20には、エッチング液である塩化第二鉄の水溶液に不溶な導電性材料を使用することが好ましい。例えば、半田ペーストして汎用されているスズ鉛(SnPb)などを用いることができる。

20

#### 【0054】

図7(A)~(F)は、各パッケージ基板に表面側端子36を形成する工程を示す図である。これらの工程は、3段階のウエットエッチング工程からなっている。なお、各パッケージ基板には、複数の表面側端子36が形成されるが、図7(A)~(F)では、1個の表面側端子36が形成されることを図示している。

#### 【0055】

まず、図7(A)に示すように、電極パッド18、配線20、貫通電極28、ランド30、ソルダレジスト42が形成されたコア材16の表面に、厚さdの銅箔56を貼り付ける。銅箔56の厚さdは0.1~0.3mmとすることができる。この銅箔56の表面56Aに、円柱状の表面側端子36を複数形成するために、エッチング用のマスク58Aを複数形成する。マスク58Aの各々は、コア材16表面に形成された配線20のドロップ状の端部に対向する位置に、所定のパターンで形成される。本実施の形態では、小さな円形のマスク58Aを複数形成する。

30

#### 【0056】

次に、図7(B)に示すように、マスク58Aの各々を用いて、銅箔56を表面56Aから約1/3dの深さまでエッチングする。銅箔56のエッチングには、塩化第二鉄の水溶液がエッチング液として用いられる。ウエットエッチングは、浸漬方式で行ってもよく、スピン方式で行っても良い。銅箔56が約1/3dの深さまでエッチングされると、各マスク58Aの下方に約1/3dの高さで柱状の銅箔(Cuポスト)が残ると共に、同じ深さで銅箔56の他の部分が除去されて、銅箔56の新たな表面56Bが露出する。また、ウエットエッチングは等方的に進行するため、マスク58Aの下方までサイドエッチされる。このため、Cuポストの各々は典型的な円柱状ではなく、その側面36Bには周方向に連続した凹部が形成される。

40

#### 【0057】

次に、図7(C)に示すように、Cuポスト各々の頂上のマスク58Aは残したまま、Cuポスト各々の側面36Bにマスク58Bを形成する。図7(D)に示すように、マス

50

ク58Aとマスク58Bとを用いて、銅箔56を表面56Aから約 $2/3d$ の深さまでエッチングする。銅箔56が約 $2/3d$ の深さまでエッチングされると、各マスク58Aの下方に柱状の銅箔(Cuポスト)が残ると共に、同じ深さで銅箔56の他の部分が除去されて、銅箔56の新たな表面56Cが露出する。また、新たに形成されたCuポストもサイドエッチされて、その側面36Cには周方向に連続した凹部が形成される。

【0058】

次に、図7(E)に示すように、Cuポスト各々の頂上のマスク58Aと側面のマスク58Bは残したまま、新たに形成されたCuポスト各々の側面36Cにマスク58Cを形成する。図7(F)に示すように、マスク58Aとマスク58Bとマスク58Cとを用いて、銅箔56をコア材16の表面が露出するまでエッチングする。

10

【0059】

銅箔56がコア材16の表面が露出するまでエッチングされると、マスク58Aの下方に柱状の銅箔(Cuポスト)が残ると共に、他の銅箔が全部除去されて、コア材16と共にコア材16の表面に形成された電極パッド18、配線20、貫通電極28の端面が露出する。また、新たに形成されたCuポストもサイドエッチされて、その側面36Dには周方向に連続した凹部が形成される。最後に、マスク58A、マスク58B、及びマスク58Cを除去すると、端面36Aが平坦で、側面に凹凸が形成された円柱状の表面側端子36が完成する。

【0060】

完成した表面側端子36の側面には、周方向に連続した凹部が形成された側面36B、側面36C、側面36Dが頂上からこの順に形成される。このため、例えば側面36Bと側面36Cとの間には、突条(周方向に連続した凸部)が形成される。端面36Aと側面36Bとの間、側面36Cと側面36Dとの間にも、同様に突条が形成される。

20

【0061】

銅箔56のウェットエッチングを複数回に分けて行うことで、エッチングの回数に応じた個数の突条を得ることができる。本実施の形態では、銅箔56のウェットエッチングを3段階に分けて行うことで、側面に3本の突条を備えた表面側端子36を得ることができる。また、本実施の形態では、3回のエッチングを同様の条件で行う等して、側面36B、側面36C、側面36Dが略同じ形状になるようにしている。

【0062】

突条の個数は3個に限られず、2個でもよく4個以上でもよい。突条の個数が増えるほど、エッチングの回数が増えて作製工程は煩雑化するが、封止樹脂との密着性は向上する。突条の形状としては、断面が略三角形の先が尖った形状等が考えられるが、頂部が平坦な形状でもよい。また、表面側端子36の高さは $0.1 \sim 0.3$ mmとすることができる。表面側端子36の最も太い部分での径(凸部での径)は、表面側端子36の高さの約 $0.5 \sim 1.0$ 倍が好ましく、 $0.05 \sim 0.3$ mm程度とすることができる。

30

【0063】

表面側端子36の凹部での径は、凸部での径の80%程度とすることが好ましい。例えば、表面側端子36の凸部での径が $0.15$ mmであれば、凹部の径を $0.12$ mmとすることができる。突条の高さが高くなるほど、エッチングの条件設定は難しくなるが、封止樹脂との密着性は向上する。なお、円柱状の表面側端子36の径とは、表面側端子36をパッケージ基板12(コア材16)表面に平行な面で切断したときの切断面の径である。円柱状の表面側端子36では、切断面は円形であり、「径」とはその直径を意味している。

40

【0064】

(半導体チップの配置工程)

次に、個々のパッケージ基板12のチップ配置領域14に、半導体チップ44を配置する。図8は半導体チップの配置工程を示す基板フレームの部分断面図である。ICチップやLSIチップなどの半導体チップ44は、同じ回路を複数形成した半導体ウェーハを、個々の回路に分割(ダイシング)して作製されている。半導体チップ44の表面には、図

50

示はしていないが、複数の電極が設けられている。

#### 【 0 0 6 5 】

パッケージ基板 1 2 中央のチップ配置領域 1 4 に、チップ固定用のダイボンド材 4 6 を貼り付ける。ダイボンド材 4 6 は、絶縁性の接着材であり、例えば、粘着シートなどを用いることができる。このダイボンド材 4 6 を用いて、半導体チップ 4 4 の裏面をパッケージ基板 1 2 に接着する。これにより、半導体チップ 4 4 がパッケージ基板 1 2 の表面に固定される。図 5 に示すように、基板フレーム 6 0 には複数のパッケージ基板 1 2 が形成されている。これら複数のパッケージ基板 1 2 の各々について、半導体チップ 4 4 を固定する。

#### 【 0 0 6 6 】

次に、例えばワイヤーボンダー等のボンディング装置を用いて、半導体チップ 4 4 の表面に設けられた電極と電極パッド 1 8 とを、金属ワイヤ 4 8 によりワイヤボンディングする。金属ワイヤ 4 8 としては、金 (Au) の細線を用いることができる。図 8 に示すように、金属ワイヤ 4 8 は、半導体チップ 4 4 と電極パッド 1 8 との間に、ループ状に架け渡される。このとき、金属ワイヤ 4 8 のループ高さは、表面側端子 3 6 の高さより低くする。

#### 【 0 0 6 7 】

(半導体チップの封止工程)

次に、半導体チップ 4 4 を封止樹脂により封止する。

図 9 (A) 及び (B) は半導体チップの封止工程を示す図である。図 9 (A) は樹脂封止された基板フレームの部分断面図であり、図 9 (B) は樹脂封止された基板フレームを表面側から見た平面図である。

#### 【 0 0 6 8 】

封止樹脂による封止は、各々のチップ配置領域 1 4 に半導体チップ 4 4 が配置された基板フレーム 6 0 を、図示しないモールド金型にセットしてトランスファー法により行う。このモールド金型内に、封止樹脂を注入、充填することにより、基板フレーム 6 0 の表面を封止樹脂 5 0 M で被覆する。

#### 【 0 0 6 9 】

複数のパッケージ基板 1 2 が形成された領域 6 2 (点線で示す) より広い範囲を、封止樹脂 5 0 M で被覆する。封止樹脂としては、エポキシ樹脂を用いることができる。封止樹脂は、半導体チップ 4 4 と基板フレーム 6 0 との隙間を埋めるように充填される。また、表面側端子 3 6 が封止樹脂 5 0 M で覆われるように、基板フレーム 6 0 の表面を封止樹脂 5 0 M で被覆する。

#### 【 0 0 7 0 】

モールド終了後に、基板フレーム 6 0 をモールド金型から取り出して、封止工程が終了する。基板フレーム 6 0 の表面を封止樹脂 5 0 M で被覆することで、半導体チップ 4 4 と共に、電極パッド 1 8、配線 2 0、及び金属ワイヤ 4 8 も同時に封止される。また、領域 6 2 より広い範囲を封止樹脂 5 0 M で被覆することで、各々のチップ配置領域 1 4 に配置された半導体チップ 4 4 が一括して封止される。

#### 【 0 0 7 1 】

(封止樹脂の研削工程)

次に、封止樹脂 5 0 M を表面側から研削する。

図 1 0 は封止樹脂の研削工程を示す図であり、研削後の基板フレームの部分断面図である。基板フレーム 6 0 の表面を封止樹脂 5 0 M で被覆した後に、グラインダー等の研削装置を用いて、表面側端子 3 6 の端面 3 6 A が露出するまで、封止樹脂 5 0 M を表面側から研削 (グラインド) する。こうして封止樹脂層 5 0 は、表面側端子 3 6 と同じ高さに形成され、封止樹脂層 5 0 の表面 5 0 A は端面 3 6 A と同一表面となる。また、表面 5 0 A は、コア材 1 6 の表面に平行となる。

#### 【 0 0 7 2 】

なお、上記では封止樹脂 5 0 M を厚めに形成した後に、形成された封止樹脂 5 0 M を表

10

20

30

40

50

面側から研削して、封止樹脂層 50 を形成する例について説明したが、トランスファー法（モールド成型）により、表面側端子 36 の端面 36 A と同じ高さの封止樹脂層 50 を形成してもよい。但し、従来のトランスファー法で薄い封止樹脂層 50 を形成するためには、高度な金型作製技術が必要になる。これに対し、モールドした封止樹脂 50 M を表面側から研削することで、薄い封止樹脂層 50 を形成することが容易になる。

#### 【0073】

いずれにしても、基板フレーム 60 の表面は、表面側端子 36 の端面 36 A を除いて封止樹脂層 50 で一様に被覆されることになる。従って、基板フレーム 60 の表面が、熱膨張率や熱収縮率の異なる複数種類の樹脂で覆われている場合に比べて、樹脂の剥離が発生し難い。

#### 【0074】

（再配線工程）

次に、封止樹脂層 50 の表面 50 A 上で再配線を行う。

図 11 は再配線工程を示す図であり、再配線後の基板フレームの部分断面図である。

#### 【0075】

封止樹脂層 50 の表面 50 A 上に、金属ナノ粒子により、所定の再配線パターンで再配線パッド 52 と配線 54 とを形成する。本実施の形態では、表面側端子 36 の端面 36 A と封止樹脂層 50 の表面 50 A とが同じ高さ（同一表面）に形成されているので、再配線パターンの形成が容易である。また、研削で得られた表面 50 A は粗面であるため、再配線パッド 52、配線 54 との接着性に優れている。

#### 【0076】

金属ナノ粒子は、粒径が 1 ~ 100 nm 程度の金属粒子である。金属ナノ粒子としては、例えば、銅ナノ粒子を用いることができる。また、再配線パターンは、金属ナノ粒子を含むインクを用いたインクジェット・プリントや、金属ナノ粒子を含むペーストを用いたスクリーン印刷により形成することができる。金属ナノ粒子を含むインクやペーストを用いた場合には、再配線パターンを形成した後に、原子状水素を用いた還元を実施して、有機溶媒等による汚れや酸化物を除去する。

#### 【0077】

（ダイシング工程）

最後に、基板フレーム 60 をダイシングして各パッケージを個片化する。

図 12 (A) 及び (B) はダイシング工程を示す図である。図 12 (A) はダイシング時の基板フレームの部分断面図であり、図 12 (B) はダイシング時の基板フレームを表面側から見た平面図である。図 12 (B) の平面図は、1 組 (9 個) のパッケージ基板 12 に対応した基板フレーム 60 の一部を図示する。

#### 【0078】

基板フレーム 60 上には、複数のパッケージ構造 64 が形成されている。本実施の形態では、図 12 (B) に示すように、基板フレーム 60 の図示された部分には、9 個の両面電極パッケージ構造 64 が 3 × 3 のマトリクス状に配置されている。図示しないブレードを矢印方向に移動させて、基板フレーム 60 を碁盤目状にソーカットして、両面電極パッケージ構造 64 の各々を個片化する。また、ソーカットにより、ブレードの通過領域 66 の基板フレーム 60 が切除される。ブレードとしては、ダイヤモンドブレード等を用いることができる。これにより、第 1 の実施の形態に係る両面電極パッケージ 10 が完成する。

#### 【0079】

以上説明した通り、本実施の形態によれば、表面側端子 36 の周囲は封止樹脂により埋められるが、表面側端子 36 が側面に複数の突条を備えているので、アンカー効果により封止樹脂との密着性が顕著に向上する。このため、表面側端子 36 と封止樹脂層 50 とが剥離しにくくなり、両面電極パッケージ 10 の耐湿信頼性が顕著に向上する。

#### 【0080】

また、封止樹脂との密着性が顕著に向上することは、両面電極パッケージ 10 が曝され

10

20

30

40

50

る環境温度が変化して、金属製の表面側端子 36 が膨張・収縮しても、封止樹脂層 50 がそれに追従することを意味する。このため、反りなどにより電氣的な接続が困難になるおそれが少なく、上部に積層されるパッケージとの接続信頼性が顕著に向上する。

【0081】

また、本実施の形態によれば、金属性の表面側端子 36 は、積層された銅箔のエッチングによりパッケージ基板 12 上に形成されるので、金属端子を半田付けして形成する場合などに比べて、熱歪みの集中する箇所がないので、環境温度の変化に対する耐久性が高い。

【0082】

また、本実施の形態に係る両面電極パッケージ 10 は、パッケージ基板 12 に形成された表面側端子 36 の周囲を埋めるように封止樹脂層 50 が形成されるシンプルな構造を有しているので、パッケージ基板のザグリ加工や多数の貫通孔のレーザ加工など複雑な加工を行うことなく、両面電極パッケージ 10 を簡易且つ低コストに製造することができる。

【0083】

また、本実施の形態では、封止樹脂層 50 の表面は平坦で、両面電極パッケージ 10 の表面において再配線パッド 52 を任意のレイアウトで配置（再配線）することができるので、上側に積層されるパッケージとの接続が非常に容易になる。

【0084】

また、本実施の形態では、両面電極パッケージ 10 の再配線前の表面は、一種類の封止樹脂層 50 で覆われており、熱膨張率や熱収縮率の異なる複数種類の樹脂で覆われている場合に比べて、樹脂の剥離が発生し難く、耐湿信頼性が高い。即ち、基板実装時のリフロー（半田付け）等の熱による樹脂の剥離を防止することができる。これにより、パッケージ内部への水分の浸入や、再配線パターンの剥離による断線を防止することができる。

【0085】

また、本実施の形態では、封止樹脂 50 M を厚めに形成した後に、形成された封止樹脂 50 M を表面側から研削して、封止樹脂層 50 を形成するので、高度な金型作製技術を用いることなく、薄い封止樹脂層 50 を容易に形成することができる。また、研削面は粗面であり、再配線パターンとの接着性に優れている。このため、再配線パターンの剥離による断線が発生し難い。

【0086】

また、本実施の形態では、電極パッド 18 や表面側端子 36 を、複数列に配列したり、千鳥状に配列することで、配線を容易にして配列する電極パッド 18 や表面側端子 36 の個数を増やしている。これにより、半導体チップ 44 の多ピン化にも対応できるようになる。特に、配列する表面側端子 36 の個数を増やすことで、表面側端子 36 と封止樹脂層 50 とをより強固に接着することができるようになる。

【0087】

< 第 2 の実施の形態 >

[両面電極パッケージ]

図 13 は本発明の第 2 の実施の形態に係る両面電極パッケージの構成を示す概略断面図である。第 2 の実施の形態に係る両面電極パッケージ 10 B は、配線 20 と電氣的に接続される表面側端子 36 S の一端側（ポストの根元部分）が、他端側より細くなっている以外は、第 1 の実施の形態に係る両面電極パッケージ 10 と同じ構造であるため、同じ構成部分には同じ符号を付して説明を省略する。

【0088】

本実施の形態でも、第 1 の実施の形態と同様に、表面側端子 36 S の各々は複数の突条を備えている。この複数の突条により、柱状の表面側端子 36 S の側面には、波打つような凹凸が形成されている。表面側端子 36 S が側面に凹凸を備えることで、封止樹脂との密着性が顕著に向上する。また、両面電極パッケージ 10 が曝される環境温度が変化して、金属製の表面側端子 36 S が膨張・収縮しても、封止樹脂層 50 がそれに追従するので、上部に積層されるパッケージとの接続信頼性が顕著に向上する。

10

20

30

40

50

## 【0089】

また、上述した通り、図2(A)及び(B)は、パッケージ基板12におけるレイアウトの一例を示すに過ぎない。パッケージ基板12の電極パッド18、配線20、貫通電極28、及び表面側端子36Sの個数や配置は、半導体チップ44の電極(ピン)の数や、半導体チップ44の大きさなどに応じて、適宜変更することができる。特に、本実施の形態では、表面側端子36Sの根元部分が細く形成されているので、半導体チップ44の多ピン化による基板配線のファインピッチ化にも対応することが可能になる。

## 【0090】

例えば、図3は第1の実施の形態の表面側端子36の形状を説明する図である。図3では、外側配線20<sub>out</sub>の端部は、表面側端子36の断面(略円形)よりひとまわり大きいドロップ状のパターンに形成されており、円柱状の表面側端子36は、配線20のドロップ状の端部上に略垂直に立てられている。これに対し、本実施の形態では、表面側端子36Sの根元部分が細く形成されているので、外側配線20<sub>out</sub>の端部を他の部分と同じ幅で形成することができる。微細な配線が可能になるのである。この通り、半導体チップ44の多ピン化に対応して、より多数の表面側端子36Sと、より多数の外側配線20<sub>out</sub>とを形成することが可能になる。

## 【0091】

一方、表面側端子36Sの他端側(ポストの頂上部)は、第1の実施の形態と同じ太さで形成されているので、表面側端子36Sの端面36Aは、第1の実施の形態と同じ大きさ(面積)となる。このため、封止樹脂層50の表面での再配線に支障をきたすことはなく、上部に積層されるパッケージとの接続信頼性が維持される。

## 【0092】

なお、配線20と電氣的に接続される表面側端子36Sの一端側を、第1の実施の形態のポスト根元部分より細くすると共に、表面側端子36Sの他端側を、第1の実施の形態のポスト頂上部分より太くしてもよい。表面側端子36Sの端面36Aの面積、即ち、上部に積層されるパッケージとの端子接合面積を大きくすることで、上部に積層されるパッケージとの接続信頼性が更に向上する。

## 【0093】

## [両面電極パッケージの製造方法]

次に、上述した両面電極パッケージ10Bの製造方法について説明する。両面電極パッケージ10Bは、表面側端子36Sの形成工程以外は、第1の実施の形態に係る両面電極パッケージ10と同様にして製造できるため、相違点以外は説明を省略する。

## 【0094】

表面側端子36Sの形成工程は、第1の実施の形態と同様に、図7(A)~(F)に示す3段階のウェットエッチング工程からなっている。ポストの根元部分が細くなった表面側端子36Sも、これと略同じ方法で作製される。但し、図7(F)に示すように、銅箔56がコア材16の表面が露出するまでエッチングする際に、エッチング液の濃度を上げる、エッチング時間を長くする等、前回よりもサイドエッチが大きくなる条件で、エッチングを行うことで、新たに形成されたCuポストの側面36Dを深くえぐる。新たに形成されたCuポストは略円錐状となる。

## 【0095】

表面側端子36Sの側面には、周方向に連続した凹部が形成された側面36B、側面36C、側面36Dが頂上からこの順に形成され、3本の突条が形成される。本実施の形態では、第1の実施の形態と同様に、銅箔56のウェットエッチングを3段階に分けて行い、側面に3本の突条を備えた表面側端子36を得ているが、コア材16を露出させるための第3回目のエッチングを、第1回目と第2回目のエッチングよりも、サイドエッチが大きくなる条件で行うことで、側面Dが、側面36B及び側面36Cよりも深くえぐり取られ、表面側端子36Sの根元部分が細くなる。

## 【0096】

なお、表面側端子36Sの端面36Aの面積を大きくしたい場合には、図7(A)に示

10

20

30

40

50

すマスク 58A の形成工程で、マスク 58A の面積を大きくする。

【0097】

以上説明した通り、本実施の形態によれば、表面側端子 36S の周囲は封止樹脂により埋められるが、表面側端子 36S が側面に複数の突条を備えているので、アンカー効果により封止樹脂との密着性が顕著に向上する。このため、表面側端子 36S と封止樹脂層 50 とが剥離しにくくなり、両面電極パッケージ 10B の耐湿信頼性が顕著に向上する。

【0098】

また、封止樹脂との密着性が顕著に向上することは、両面電極パッケージ 10B が曝される環境温度が変化して、金属製の表面側端子 36S が膨張・収縮しても、封止樹脂層 50 がそれに追従することを意味する。このため、反りなどにより電気的な接続が困難になるおそれが少なく、上部に積層されるパッケージとの接続信頼性が顕著に向上する。

【0099】

また、本実施の形態によれば、金属性の表面側端子 36S は、積層された銅箔のエッチングによりパッケージ基板 12 上に形成されるので、金属端子を半田付けして形成する場合などに比べて、熱歪みの集中する箇所がないので、環境温度の変化に対する耐久性が高い。

【0100】

また、本実施の形態に係る両面電極パッケージ 10B は、パッケージ基板 12 に形成された表面側端子 36S の周囲を埋めるように封止樹脂層 50 が形成されるシンプルな構造を有しているため、パッケージ基板のザグリ加工や多数の貫通孔のレーザ加工など複雑な加工を行うことなく、両面電極パッケージ 10B を簡易且つ低コストに製造することができる。

【0101】

特に、本実施の形態では、表面側端子 36S の根元部分が細く形成されているので、半導体チップ 44 の多ピン化による基板配線のファインピッチ化にも対応することが可能になる。例えば、表面側端子 36S の根元部分を接続する配線 20 の幅を細くする等して、半導体チップ 44 の多ピン化に対応して、より多数の表面側端子 36S と配線 20 とを形成することが可能になる。即ち、半導体チップのピンの数に応じて、任意のレイアウトで内部配線を形成することができる。また、配列する表面側端子 36S の個数を増やすことで、表面側端子 36S と封止樹脂層 50 とをより強固に接着することができるようになる。

【0102】

また、以下の点でも第 1 の実施の形態と同様である。(1) 両面電極パッケージ 10B の表面において任意のレイアウトでの再配線が可能で、上側に積層されるパッケージとの接続が非常に容易になる。(2) 両面電極パッケージ 10B の再配線前の表面が、一種類の封止樹脂で覆われており、樹脂の剥離が発生し難く、耐湿信頼性が高い。(3) 高度な金型作製技術を用いることなく、研削で薄い封止樹脂層 50 を容易に形成することができる。(4) 電極パッド 18 や表面側端子 36S を、複数列に配列したり、千鳥状に配列することで、配線を容易にして配列する電極パッド 18 や表面側端子 36S の個数を更に増やすこともできる。

【0103】

< 第 3 の実施の形態 >

[両面電極パッケージ]

図 14 は本発明の第 3 の実施の形態に係る両面電極パッケージの構成を示す概略断面図である。第 3 の実施の形態に係る両面電極パッケージ 10C は、配線 20 と電気的に接続される表面側端子 36W の一端側（ポストの根元部分）に段差部 36P を備え、段差部 36P が半導体チップ 44 を接続するためのボンディングパッド（図 1 の外側電極パッド 18<sub>out</sub>）の役目を果たす以外は、第 1 の実施の形態に係る両面電極パッケージ 10 と同じ構造であるため、同じ構成部分には同じ符号を付して説明を省略する。

【0104】

10

20

30

40

50

本実施の形態では、表面側端子 36 W の段差部 36 P が、半導体チップ 44 を接続するためのボンディングパッドの役目を果すので、第 1 の実施の形態のように、外側の電極パッド（図 1 の外側電極パッド 18<sub>out</sub>）を設ける必要はない。また、ボンディングパッドが表面側端子 36 W と一体化しているので、表面側端子 36 の一端と接続される外側配線 20<sub>out</sub> もパッド状に形成することができる。

#### 【0105】

図 15 は 1 個の表面側端子 36 W を斜め上から見たときの斜視図である。外側配線 20<sub>out</sub> は、表面側端子 36 W の下部断面（鍵穴形状）よりひとまわり大きいドロップ状のパターンに形成されている。表面側端子 36 W の各々は、配線 20 上に略垂直に立てられている。また、表面側端子 36 W の各々は、側面に周方向に沿って全周にわたり形成された複数の突条（周方向に連続した凸部）を備えている。

10

#### 【0106】

また、本実施の形態では、表面側端子 36 W の各々は、その下部に段差部 36 P を備えている。段差部 36 P の頂上は平坦であり、表面側端子 36 W は階段状である。段差部 36 P は、円柱状のポストの根元部分から半導体チップ 44 が配置される方向（図 15 では、電極パッド 18 が配置されている方向）に突き出すように形成されている。段差部 36 P の高さは、表面側端子 36 W の最も下側（配線 20 に近い側）に設けられた突条と同じ高さとしてされている。段差部 36 P の高さを、電極パッド 18 と同じ高さにすれば、半導体チップ 44 とのワイヤボンディングがより容易になる。

#### 【0107】

本実施の形態でも、第 1 の実施の形態と同様に、表面側端子 36 W の各々は複数の突条を備えている。この複数の突条により、柱状の表面側端子 36 W の側面には、波打つような凹凸が形成されている。表面側端子 36 W が側面に凹凸を備えることで、封止樹脂との密着性が顕著に向上する。また、両面電極パッケージ 10 C が曝される環境温度が変化して、金属製の表面側端子 36 W が膨張・収縮しても、封止樹脂層 50 がそれに追従するので、上部に積層されるパッケージとの接続信頼性が顕著に向上する。

20

#### 【0108】

また、上述した通り、図 2（A）及び（B）は、パッケージ基板 12 におけるレイアウトの一例を示すに過ぎない。パッケージ基板 12 の電極パッド 18、配線 20、貫通電極 28、及び表面側端子 36 W の個数や配置は、半導体チップ 44 の電極（ピン）の数や、半導体チップ 44 の大きさなどに応じて、適宜変更することができる。

30

#### 【0109】

特に、本実施の形態では、表面側端子 36 W の段差部 36 P がボンディングパッドの役目を果すので、第 1 の実施の形態のように、外側の電極パッドを設ける必要はなく、配線 20 も簡単になる。従って、表面側端子 36 W の配置領域を第 1 の実施の形態と同様にすると、電極パッド 18 はより外側に配置することができ、表面側端子 36 W の近くまで半導体チップ 44 の搭載エリアが広がる。これにより、より大きな半導体チップ 44 を搭載することができるようになる。

#### 【0110】

例えば、第 1 の実施の形態では、パッケージ基板 12 の大きさは 13 mm × 13 mm であり、パッケージ基板 12 の外周より約 1.3 mm の範囲に複数の表面側端子 36 を配置し、パッケージ基板 12 の外周より約 2 mm 内側に電極パッド 18 を配置する例について説明している（図 2 参照）。これに対して、本実施の形態であれば、パッケージ基板 12 の外周より約 1.3 mm 内側に電極パッド 18 を配置することができ、その内側の領域を総て半導体チップ 44 の搭載エリアとすることができる。

40

#### 【0111】

#### [両面電極パッケージの製造方法]

次に、上述した両面電極パッケージ 10 C の製造方法について説明する。両面電極パッケージ 10 C は、表面側端子 36 W の形成工程以外は、第 1 の実施の形態に係る両面電極パッケージ 10 と同様にして製造できるため、相違点以外は説明を省略する。また、電極

50

パッド18及び配線20の個数や配置は、第1の実施の形態に係る両面電極パッケージ10とは異なるが、電極パッド18及び配線20の個数や配置は製造工程で適宜変更できるので、ここでは説明を省略する。

【0112】

表面側端子36Wの形成工程は、第1の実施の形態と同様に、3段階のウエットエッチング工程からなっている。段差部36Pを備えた表面側端子36Wも、これと略同じ方法で作製される。第1の実施の形態と同様にして、図7(A)~(D)に示すように、2回のエッチングを行う。なお、電極パッド18及び配線20の個数や配置が異なる点は上述した通りである。

【0113】

図7(D)で銅箔56が約2/3dの深さまでエッチングされると、各マスク58Aの下方に柱状の銅箔(Cuポスト)が残ると共に、同じ深さで銅箔56の他の部分が除去されて、銅箔56の新たな表面56Cが露出する。また、新たに形成されたCuポストもサイドエッチされて、その側面36Cには周方向に連続した凹部が形成される。

【0114】

次に、図16(A)に示すように、Cuポスト各々の頂上のマスク58Aと側面のマスク58Bは残したまま、新たに形成されたCuポスト各々の側面36Cにマスク58Cを形成すると共に、表面56C上にCuポストからチップ配置領域の方向に延びる矩形のマスク58Dを形成する。図16(B)に示すように、マスク58Aとマスク58Bとマスク58Cとマスク58Dとを用いて、銅箔56をコア材16の表面が露出するまでエッチングする。

【0115】

銅箔56がコア材16の表面が露出するまでエッチングされると、マスク58A及びマスク58Dの下方に柱状の銅箔(Cuポスト)が残ると共に、他の銅箔が全部除去されて、コア材16と共にコア材16の表面に形成された電極パッド18、配線20、貫通電極28の端面が露出する。また、新たに形成されたCuポストもサイドエッチされて、その側面36Dには周方向に連続した凹部が形成される。最後に、マスク58A、マスク58B、マスク58C及びマスク58Dを除去すると、頂上が平坦な端面36Aと頂上が平坦な段差部36Pとを備え、側面に凹凸が形成された円柱状の表面側端子36Wが完成する。

【0116】

完成した表面側端子36Wの側面には、周方向に連続した凹部が形成された側面36B、側面36C、側面36Dが頂上からこの順に形成される。側面36Dには、段差部36Pの側面も含まれる。側面36Bと側面36Cとの間には、突条(周方向に連続した凸部)が形成される。隣接する側面間にも同様に突条が形成される。こうして、表面側端子36Wの側面には、3本の突条が形成される。

【0117】

本実施の形態では、銅箔56のウエットエッチングを3段階に分けて行うことで、側面に3本の突条を備えた表面側端子36Wを得ることができる。また、本実施の形態では、銅箔56が約2/3dの深さまでエッチングされて露出した表面56C上に、Cuポストからチップ配置領域の方向に延びる矩形のマスク58Dを形成し、このマスクを用いて第3回目のエッチングを行うことで、円柱状のポストの根元部分から突き出した段差部36Pを形成することができる。

【0118】

以上説明した通り、本実施の形態によれば、表面側端子36Wの周囲は封止樹脂により埋められるが、表面側端子36Wが側面に複数の突条を備えているので、アンカー効果により封止樹脂との密着性が顕著に向上する。このため、表面側端子36Wと封止樹脂層50とが剥離しにくくなり、両面電極パッケージ10Cの耐湿信頼性が顕著に向上する。

【0119】

また、封止樹脂との密着性が顕著に向上することは、両面電極パッケージ10Cが曝さ

10

20

30

40

50

れる環境温度が変化して、金属製の表面側端子 36W が膨張・収縮しても、封止樹脂層 50 がそれに追従することを意味する。このため、反りなどにより電氣的な接続が困難になるおそれが少なく、上部に積層されるパッケージとの接続信頼性が顕著に向上する。

【0120】

また、本実施の形態によれば、金属性の表面側端子 36W は、積層された銅箔のエッチングによりパッケージ基板 12 上に形成されるので、金属端子を半田付けして形成する場合などに比べて、熱歪みの集中する箇所がないので、環境温度の変化に対する耐久性が高い。

【0121】

また、本実施の形態に係る両面電極パッケージ 10C は、パッケージ基板 12 に形成された表面側端子 36W の周囲を埋めるように封止樹脂層 50 が形成されるシンプルな構造を有しているため、パッケージ基板のザグリ加工や多数の貫通孔のレーザ加工など複雑な加工を行うことなく、両面電極パッケージ 10C を簡易且つ低コストに製造することができる。

【0122】

特に、本実施の形態では、表面側端子 36W の一端側（ポストの根元部分）に段差部 36P が形成されており、この段差部 36P が半導体チップ 44 を接続するためのボンディングパッドの役目を果たすので、表面側端子 36W の近くまで半導体チップ 44 の搭載エリアが広がり、より大きな半導体チップ 44 を搭載することができるようになる。

【0123】

また、以下の点でも第 1 の実施の形態と同様である。（1）両面電極パッケージ 10C の表面において任意のレイアウトでの再配線が可能で、上側に積層されるパッケージとの接続が非常に容易になる。（2）両面電極パッケージ 10C の再配線前の表面が、一種類の封止樹脂で覆われており、樹脂の剥離が発生し難く、耐湿信頼性が高い。（3）高度な金型作製技術を用いることなく、研削で薄い封止樹脂層 50 を容易に形成することができる。（4）電極パッド 18 や表面側端子 36W を、複数列に配列したり、千鳥状に配列することで、配線を容易にして配列する電極パッド 18 や表面側端子 36W の個数を更に増やすこともできる。

【0124】

< 第 4 の実施の形態 >

第 4 の実施の形態として、2 個の両面電極パッケージを積層してマザーボード上に実装した POP モジュールの一例を示す。両面電極パッケージの構成は、第 1 の実施の形態と同じであるため、同じ構成部分には同じ符号を付して説明を省略する。

【0125】

[ POP モジュール ]

図 17 は本発明の第 4 の実施の形態に係る POP モジュールの構成を示す概略断面図である。第 4 の実施の形態に係る POP モジュール 70 は、マザーボード 72 と、両面電極パッケージ 10A と、両面電極パッケージ 10 と、で構成されている。第 1 の実施の形態で説明した通り、再配線パッド 52 と配線 54 とが形成されたパッケージが「両面電極パッケージ 10」であり、再配線パッド 52 と配線 54 とが形成される前のパッケージが「両面電極パッケージ 10A」である。

【0126】

マザーボード 72 の表面には、複数の接続パッド 74 が形成されている。マザーボード 72 上には、両面電極パッケージ 10A が積層されている。両面電極パッケージ 10A の裏面側のランド 30 は、半田ボール 76 を介して、マザーボード 72 表面の接続パッド 74 に電氣的に接続されている。両面電極パッケージ 10A 上には、別の両面電極パッケージ 10 が積層されている。電極パッケージ 10A の表面には、表面側端子 36 の端面 36A が露出している。両面電極パッケージ 10 の裏面側のランド 30 は、半田ボール 78 を介して、両面電極パッケージ 10A の表面に露出した端面 36A に電氣的に接続されている。

10

20

30

40

50

## 【 0 1 2 7 】

## [パッケージ積層工程]

両面電極パッケージ10Aの裏面側のランド30に、半田ボール76を溶接する。また、両面電極パッケージ10Aの表面に露出した端面36Aに、半田ペースト(図示せず)を塗布し、この半田ペーストを介して半田ボール76を溶接する。こうして、両面電極パッケージ10Aには、半田ボール76、78が外部端子として形成される。両面電極パッケージ10Aの半田ボール76をマザーボード72表面の接続パッド74に圧接し、半田ボール78を両面電極パッケージ10の裏面側のランド30に圧接する。これにより、マザーボード72上に、両面電極パッケージ10A及び両面電極パッケージ10が実装され、POPモジュール70が完成する。

10

## 【 0 1 2 8 】

以上説明した通り、両面電極パッケージ10と両面電極パッケージ10Aとは、側面に複数の突条を備えた表面側端子36を基板上に形成し、この表面側端子36を封止樹脂層に50に埋め込んだ構造を備えているので、アンカー効果により表面側端子36と封止樹脂との密着性が顕著に向上し、反りや剥離を生じ難く、接続信頼性及び耐湿信頼性に優れている。従って、本実施の形態では、両面電極パッケージ10A上に両面電極パッケージ10Aを積層して、信頼性の高いPOPモジュールを構成することができる。

## 【 0 1 2 9 】

## (変形例)

以下、変形例について説明する。

20

## 【 0 1 3 0 】

第1～第3の実施の形態では、両面電極パッケージの表面に再配線パッドが形成され、両面電極パッケージの裏面に電極パッドが形成される例について説明したが、これらパッド上に更に接続端子を形成することができる。例えば、パッド上に半田ペーストを塗布してLGA(Land Grid Array)型パッケージとしてもよく、パッド上に半田ボールを設けてBGA(Ball Grid Array)型パッケージとしてもよい。

## 【 0 1 3 1 】

また、第1～第3の実施の形態では、パッケージ基板を、絶縁体で構成された平板状のコア材、配線、貫通電極、電極パッド、及びソルダレジストで構成する例について説明したが、多層配線した多層有機基板で構成することもできる。多層有機基板は、複数層(例えば、2層～4層)からなる樹脂基板の各層にそれぞれ配線パターンを形成し、必要に応じて各層の配線パターンを接続するためのビアホールを形成したものである。このビアホールの内部には導体層が形成され、この導体層が下面側に形成された端面電極部であるランドと接続されている。

30

## 【 0 1 3 2 】

また、第1～第3の実施の形態では、1つの両面電極パッケージに1つの半導体チップを収容する例について説明したが、1つの両面電極パッケージに複数の半導体チップを収容することもできる。

## 【 0 1 3 3 】

また、第1～第3の実施の形態では、半導体チップをワイヤボンダ接続しているが、バンプを介してフリップチップ接続してもよい。

40

## 【 0 1 3 4 】

また、第1～第3の実施の形態では、円柱状の表面側端子を形成する例について説明したが、角柱状の表面側端子としてもよい。柱状の表面側端子を基板(コア材)表面に平行な面で切断したときの切断面の外周形状は、円、楕円、長円等の円形、四角形(正方形、長方形、平行四辺形、ひし形)、五角形、六角形、七角形、八角形等の多角形でもよい。

## 【 0 1 3 5 】

また、第4の実施の形態では、第1の実施の形態の両面電極パッケージ10と両面電極パッケージ10AとでPOPモジュールを構成する例について説明したが、第2の実施の形態の両面電極パッケージ10B(或いはその再配線前のパッケージ)や、第3の実施の

50

形態の両面電極パッケージ 10C ( 或いはその再配線前のパッケージ ) を用いて POP モジュールを構成することもできる。

【 0 1 3 6 】

従来、両面電極パッケージの表面側と裏面側を電氣的に接続する貫通電極は、スルーホールに導電性材料を充填する等して形成されていたため、貫通電極の径は略一定であり、その径の下限は外部端子として形成される半田ボールの径により制限されていた。これに対し、第 2 の実施の形態の両面電極パッケージ 10B は、表面側端子 36S の根元部分だけが細く形成されており、端面 36A の面積は変わらないので、POP モジュールを構成する場合にも、上側に積層されるパッケージとの接続性を損なうことなく、半導体チップ 44 の多ピン化による基板配線のファインピッチ化に対応することが可能になる。

10

【 図面の簡単な説明 】

【 0 1 3 7 】

【 図 1 】 本発明の第 1 の実施の形態に係る両面電極パッケージの構成を示す概略断面図である。

【 図 2 】 ( A ) は表面側端子が形成されたパッケージ基板を表面側から見た平面図である。( B ) は、( A ) の約 1 / 4 の領域の様子を示す部分平面図である。

【 図 3 】 第 1 の実施の形態で形成される表面側端子の形状を示す斜視図である。

【 図 4 】 第 1 の実施の形態に係る両面電極パッケージを表面側から見た部分平面図である。

。

【 図 5 】 複数のパッケージ基板が形成された基板フレームを表面側から見た平面図である

20

。

【 図 6 】 第 1 の実施の形態の表面側端子が形成された基板フレームの部分断面図である。

【 図 7 】 ( A ) ~ ( F ) は第 1 の実施の形態の表面側端子を形成する工程を示す部分断面図である。

【 図 8 】 半導体チップの配置工程を示す図であり、半導体チップがマウントされた基板フレームの部分断面図である。

【 図 9 】 半導体チップの封止工程を示す図である。( A ) は樹脂封止された基板フレームの部分断面図であり、( B ) は樹脂封止された基板フレームを表面側から見た平面図である。

【 図 10 】 封止樹脂の研削工程を示す図であり、研削後の基板フレームの部分断面図である。

30

【 図 11 】 再配線工程を示す図であり、再配線後の基板フレームの部分断面図である。

【 図 12 】 ダイシング工程を示す図である。( A ) はダイシング時の基板フレームの部分断面図であり、( B ) はダイシング時の基板フレームを表面側から見た平面図である。

【 図 13 】 本発明の第 2 の実施の形態に係る両面電極パッケージの構成を示す概略断面図である。

【 図 14 】 本発明の第 3 の実施の形態に係る両面電極パッケージの構成を示す概略断面図である。

【 図 15 】 第 3 の実施の形態で形成される表面側端子の形状を示す斜視図である。

【 図 16 】 ( A ) 及び ( B ) は第 3 の実施の形態の表面側端子を形成する工程の一部を示す部分断面図である。

40

【 図 17 】 本発明の第 4 の実施の形態に係る POP モジュールの構成を示す概略断面図である。

【 図 18 】 従来の POP の代表的な構造を示す概略図である。

【 符号の説明 】

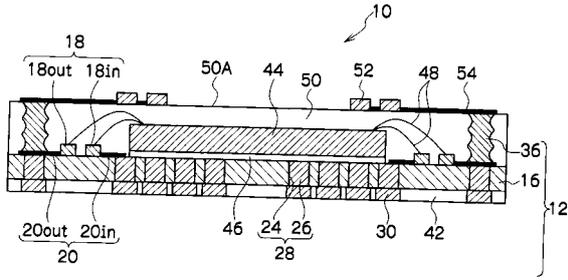
【 0 1 3 8 】

- |    |           |
|----|-----------|
| 1  | パッケージ     |
| 2  | パッケージ     |
| 3  | 半田ボール     |
| 10 | 両面電極パッケージ |

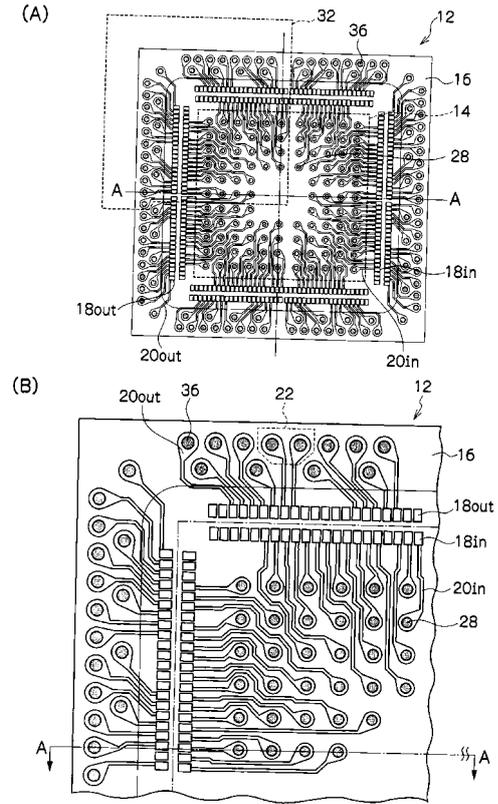
50

1 0 A	両面電極パッケージ	
1 0 B	両面電極パッケージ	
1 0 C	両面電極パッケージ	
1 2	パッケージ基板	
1 4	チップ配置領域	
1 6	コア材	
1 8	電極パッド	
1 8 <sub>in</sub>	内側電極パッド	
1 8 <sub>out</sub>	外側電極パッド	
2 0	配線	10
2 0 <sub>in</sub>	内側配線	
2 0 <sub>out</sub>	外側配線	
2 2	領域	
2 4	ビア	
2 6	導電性材料	
2 8	貫通電極	
3 0	ランド	
3 2	領域	
3 6	表面側端子	
3 6 S	表面側端子	20
3 6 W	表面側端子	
3 6 A	端面	
3 6 B、3 6 C、3 6 D	側面	
3 6 P	段差部	
4 2	ソルダレジスト	
4 4	半導体チップ	
4 6	ダイボンド材	
4 8	金属ワイヤ	
5 0	封止樹脂層	
5 0 A	表面	30
5 0 M	封止樹脂	
5 2	再配線パッド	
5 4	配線	
5 6	銅箔	
5 6 A、5 6 B、5 6 C	表面	
5 8 A、5 8 B、5 8 C、5 8 D	マスク	
6 0	基板フレーム	
6 2	領域	
6 4	両面電極パッケージ構造	
6 6	通過領域	40
7 0	POPモジュール	
7 2	マザーボード	
7 4	接続パッド	
7 6	半田ボール	
7 8	半田ボール	

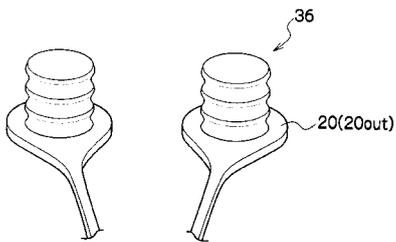
【 図 1 】



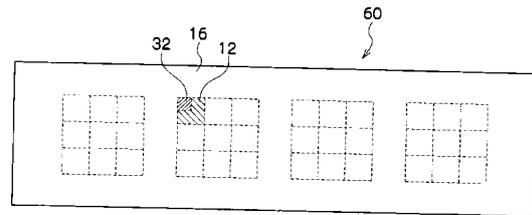
【 図 2 】



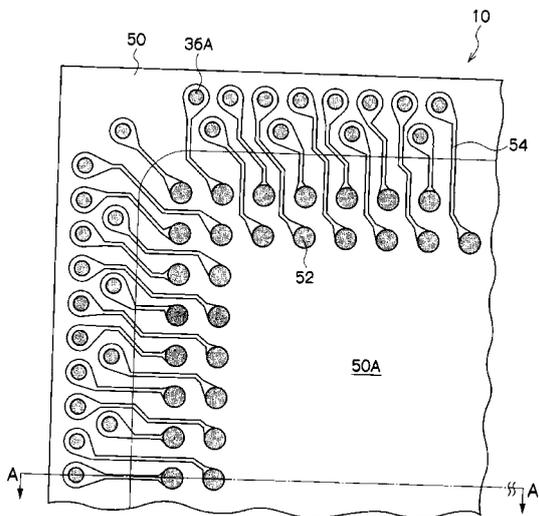
【 図 3 】



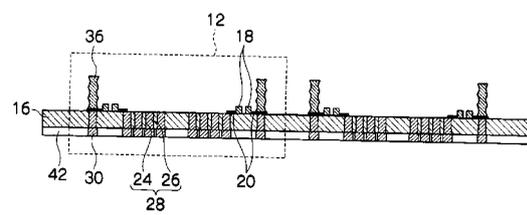
【 図 5 】



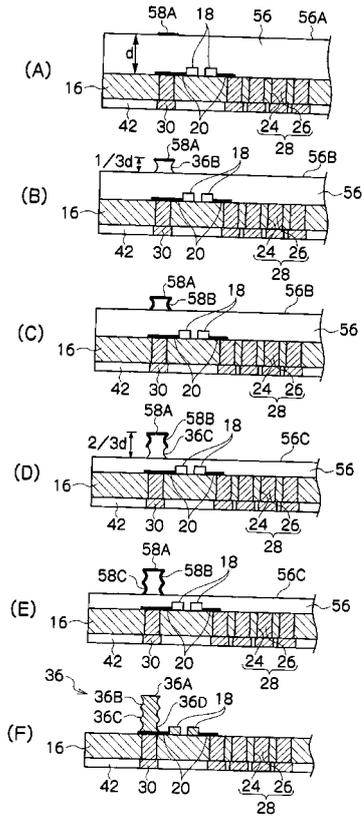
【 図 4 】



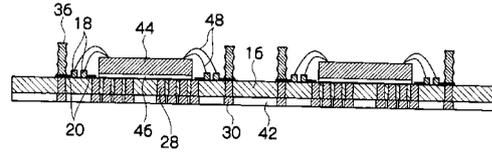
【 図 6 】



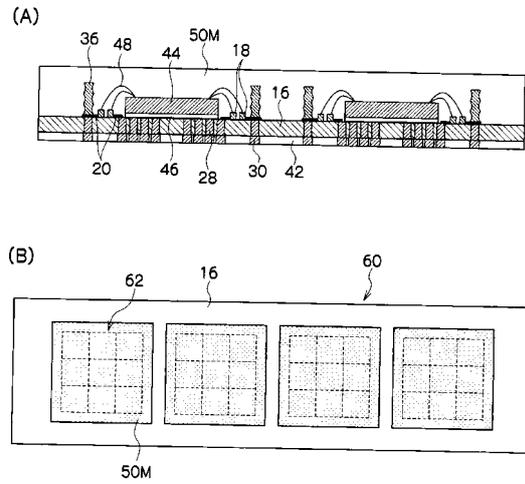
【 図 7 】



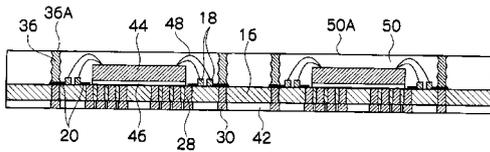
【 図 8 】



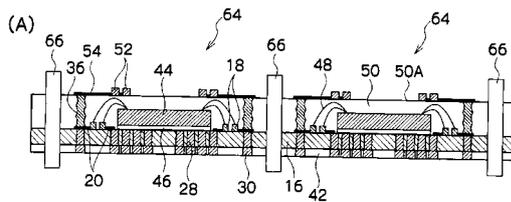
【 図 9 】



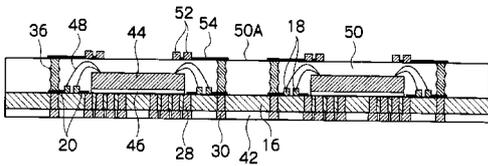
【 図 10 】



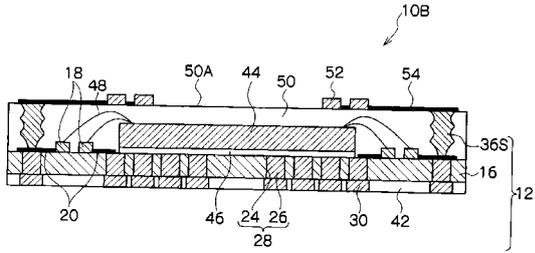
【 図 12 】



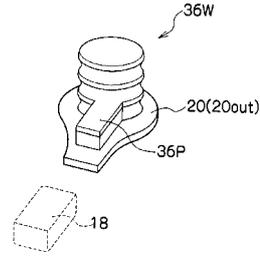
【 図 11 】



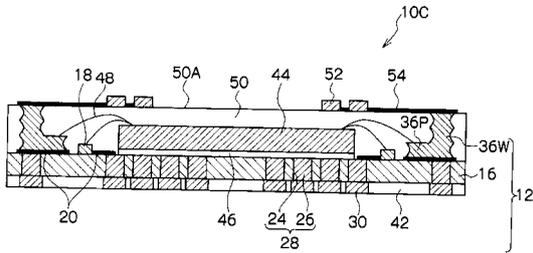
【 図 1 3 】



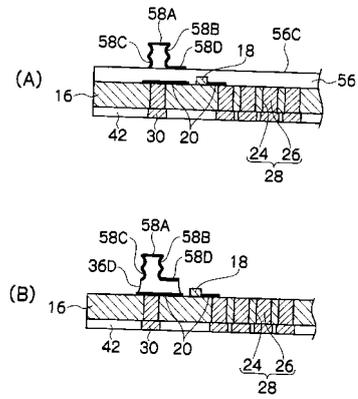
【 図 1 5 】



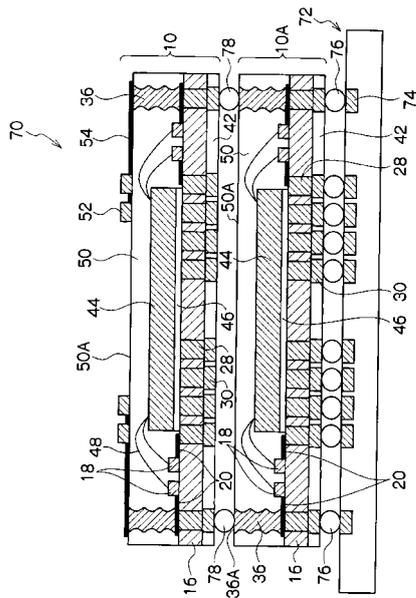
【 図 1 4 】



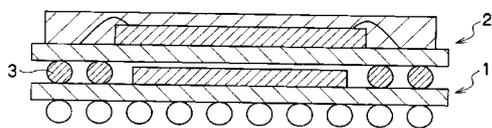
【 図 1 6 】



【 図 1 7 】



【 図 1 8 】



---

フロントページの続き

(72)発明者 猪野 好彦

宮崎県宮崎郡清武町大字木原727番地 宮崎沖電気株式会社内

審査官 宮本 靖史

(56)参考文献 特開2000-183283(JP,A)

特開2006-114604(JP,A)

特開2007-335464(JP,A)

特開2002-026048(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00 - 25/18

H01L 23/12 - 23/15